

ロードマップ 2001

システム分野 (A1-1: 最先端システムLSIアーキテクチャ技術)

年 代		2002	03	04	05	06	07	08	09	10	11	12
プロセス技術 (実用)		0.10 μ m			0.07 μ m			0.05 μ m			0.035 μ m	
マイクロ プロセッサ	ハイエンド	2 GHz, 16 GIPS			4 GHz, 32 GIPS			8 GHz, 64 GIPS				
	低消費電力	500 MHz, 1 GIPS, 100mW			750 MHz, 2.0 GIPS, 100mW			1GHz, 2.5 GIPS, 50mW				
A101 携帯端末用低電力プロセッサアーキテクチャ		10 GOPS, 100mW	30 GOPS, 100mW		100 GOPS, 100mW		100 GOPS, 20mW		100 GOPS, 10mW			
A102 画像 圧縮技術	MPEG2 MP@ML Codec	100mW			50mW			10mW			5mW	
	MPEG2 MP@HL Codec				300mW			50mW			25mW	
		MPEG4 Core-Pro ~ 2Mbps, Codec 3-5GOPS 30mW			MPEG4 Main-Pro ~ 4Mbps, Codec 15-20GOPS 20mW			MPEG4 Main-Pro ~ 6Mbps, Codec 30-40GOPS 10mW				
		MPEG2 MP@ML Soft Codec Real time	MPEG2 MP@HL Soft Codec	Non Real time or Parallel		Real time						
A103 3Dグラフィックス		50 Mpoly/s, 10 GFLOPS	200 Mpoly/s, 40GFLOPS		800 Mpoly/s, 200GFLOPS		3.2 Gpoly/s, 800GFLOPS			(Polygon Graphics)		
A104 3次元画像処理		3次元画像取込、コンピュータビジョン技術			3次元動画画像処理技術							
		マルチテクスチャリング			マルチパス・レンダリング			イメージベース・レンダリング				
A105 プロセッサ・メモリ 混載アーキテクチャ		5 M Gates 128Mbits	10 M Gates 256Mbits		20 M Gates 512Mbits		50 M Gates 1Gbits		100M Gates 2Gbits			
		注) 上段: ロジック規模、下段: DRAM換算MEM容量 (DRAM, FLASH, FRAM等)										
A106 通信・ ネットワーク 処理技術	DWDM(波長多重 処理技術)	40Gbps x 128波			40Gbps x 512波			80Gbps x 1024波				
	次世代移動通信 処理技術	~ 384 Kbps		~ 2 Mbps		~ 20 Mbps			50 ~ 100 Mbps			
	高速IP処理技術	~ 40 Gbps						~ 160 Gbps		~ 320 Gbps		
	通信用DSP	200MHz(10mA)			400MHz(10mA)			800MHz(10mA)			1GHz(10mA)	
	ネットワーク用プロセッサ 処理性能: 基幹系/アクセス系	~ 20GOPS 10Gbps/0.1Gbps			~ 100GOPS 40Gbps/0.5Gbps			~ 500GOPS 100Gbps/1Gbps				

ロードマップ 2001

システム分野 (A1-2: 最先端システムLSIアーキテクチャ技術)

年 代	2002	03	04	05	06	07	08	09	10	11	12	
プロセス技術 (実用)	0.10 μ m		0.07 μ m				0.05 μ m			0.035 μ m		
A107 ヒューマン インタフェース/ 認識技術	大語彙認識 / 特定分野自動翻訳・非定常ノイズ認識 / 自動翻訳											
	不特定話者音声認識 認識単語数制限なし、小メモリスペース											
	視線認識											
	限定環境下動画像認識	実時間動画像認識										
A108 OS/コンパイラ 及びそれらと協調 したプロセッサ アーキテクチャ	超高速RTOS・モバイル向けOS・コンパイラ自動生成・オンチップ マルチプロセッサ向けOS											
	低消費電力OSレベル並列化OS			メモリ最適化OS				システムLSI向き資源最適化OS				
	低消費電力化 / 動的最適化・バイナリ変換 / 並列化・スケーラブルコンピューティング対応技術											
	エミュレーション向けVLIWアーキテクチャ (同等性能)						ランタイムコンパイル指向アーキテクチャ (限界打破 ~ 数倍性能向上)					
	1チップマルチマイクロプロセッサ	4プロセッサ/チップ			16プロセッサ/チップ				64プロセッサ/チップ			
A109 組み込み用 ソフトウェア技術	組込用ソフトウェア技術: 分散処理 / エージェント技術 / データ圧縮 (可逆) / 電子認証 / 暗号セキュリティ 高度再利用技術・高信頼化技術 / リアルタイムシステム向け開発技術											
	ローカル小規模システム				広域中規模システム				マンマシン融和型大規模システム			
A110 リンフィギュラブル 技術	粒度最適化セルアレイ					進化型セルアレイ						
	ダイナミック リンフィギュラブル ロジック			ダイナミック リンフィギュラブル プロセッサ			自律的 リンフィギュラブル技術			自律・分散型 リンフィギュラブル技術		
A111 組み込みメディア プロセッサ 注) MT: マルチスレッド												
	1GIPS / 5-10GOPS 150mW MT(4-8), LIW(3-4), SIMD(8)				2GIPS / 20-30GOPS 100mW MT(8-16), LIW(4-8DeCoupled), SIMD(16)				4GIPS / 40-60GOPS 50mW MT, LIW(16), SIMD(32), 新構造			

ロードマップ 2001

システム分野 (A2: 最先端LSI回路技術)

年 代		2002	03	04	05	06	07	08	09	10	11	12			
プロセス技術 (実用)		0.10 μ m			0.07 μ m			0.05 μ m			0.035 μ m				
電源電圧 (Volts)	Desktop	1.5		1.2		1.0		0.8		0.5					
	Portable	1.2-0.9		0.9-0.5		0.5		0.5		0.5					
A201 超低消費電力 デジタル回路		超低電力回路: 0.1 μ W/G@0.5-1.0V, 500MHz 同期/非同期、パルク/SOI													
		低電力回路: 0.01 μ W/G@0.5-1.0V, 800MHz 同期/非同期/低電力/低電圧アーキ/SOI													
		超低電圧回路 0.6V以下 (パルク/SOI)													
		エネルギーリサイクル回路 100pW/G													
A202 超低消費電力 アナログ回路		映像用低消費電力ADC 10bit, 20MS/s, 2mW													
		8bit, 1GHz, 150mW						8bit, 1GHz, 50mW							
超高速ADC															
音声ADC (モジュール)		16bit, 50KHz, 0.5mW						18bit, 100KHz, 0.2mW			18bit, 100KHz, 0.1mW				
		低電圧広帯域フィルター技術 ダイナミックレンジ 80-90dB 1.8~0.9Volt 帯域1-10MHz													
HDTV用低電力ADC		10bit, 100MS/s, 10mW				12bit, 200MS/s, 10mW				12bit, 500MS/s, 10mW					
A203 超高周波 アナログ回路 (通信用)		5GHz		10GHz		40GHz		80GHz							
フルCMOSトランシーバー CMOSダイレクト コンバージョン 共振IF Filter		2GHz		5GHz		10GHz		40GHz				80GHz			
CMOS低ノイズアンプ回路		2GHz, Q>30 SAW/MEMS/LC active				4GHz, Q>30 SAW/MEMS/LC active									
		5GHz		10GHz		20GHz		40GHz							
A204 超高周波 デジタル回路		2GHz				3GHz				5GHz				10GHz	
PLLを含むクロック 手法/SOI回路 クロックリカバリー 回路 CMOS Mux/Demux		10GHz		5GHz X 8CH				10GHz X 8CH							
I/Oインターフェース回路		4GHz		10GHz				15GHz		20GHz					
		10GHz				40GHz				160GHz					
A205 アナデジ 混載回路		5GHz RF Base Band 1 chip						10GHz RF Base Band 1 chip							
		HPA, スイッチ等混載 CMOS RF													
リードチャネル		1Gbps		1.5Gbps		2.0Gbps		3.0Gbps							
ノイズ分離技術/ノイズモデリング		0.13 μ mレベル						0.10 μ mレベル		0.07 μ mレベル					
A206 I/O インタフェース 回路 (CMOS)		5Gbps (2.5GS/s)		10Gbps (2.5GS/s)		20Gbps (5GS/s)		40Gbps 階層構造アーキテクチャでバンド幅低減							
短距離接続 メタル伝送 中長距離接続光 モジュール駆動		10Gbps		40Gbps		80Gbps									

ロードマップ 2001

システム分野 (A3-1: 最先端LSI設計技術)

年 代	2002	03	04	05	06	07	08	09	10	11	12	
プロセス技術 (実用)	0.10 μ m			0.07 μ m			0.05 μ m			0.035 μ m		
ASIC LSI 設計仕様	50M Tr., 400MHz, 1.2V				100M Tr., 500MHz, 1.0V			200M Tr., 1GHz, 0.8V				
設計手法	IPベース設計/プラットフォームベース設計					IPネットワーク設計			一貫DA手法			
A301 HW/SW コデザイン	システム記述言語					システムレベルシミュレーション						
	HW/SW性能推定・評価・最適分割			HW/SW機能分割			HW/SW自動分割					
A302 高速低電力LSI設計法	同期・非同期アーキテクチャ・RTL低電力合成手法					ビヘイビアレベル低電力合成						
A303 高位論理合成	動作レベル自動合成 (8M Gates)			制御論理の高位合成			システム合成					
	AHDL自動合成			A/D混載自動合成			機能レベルA/D混載合成					
A304 大規模論理検証技術	RTL仕様検証					機能レベルエミュレータ						
	超高速エミュレータ			アナログデジタル混載検証 (10MTr,100ns,TAT 1H)								
A305 大規模回路シミュレーション法	回路規模: 1M Tr,100ns, TAT 1H			回路規模: 10M Tr,100ns, TAT 1H								
	Gate消費電力解析誤差 5%		Gate-RTL消費電力解析誤差 5%			機能 / 動作レベル消費電力解析						
	超高速静的タイミング解析 100K Tr/hr			動的タイミング解析								
	IP対応コンパクト回路モデル、実装設計モデル (伝送線等)											
A306 タイミングドリブン設計	遅延・電力考慮合成 (論理・レイアウト統合)											
	性能ドリブン自動配置配線 10MG, 1GHz (含非同期)											
	クロック分配自動合成(含非同期)											
A307 高性能・高集積レイアウト手法	動作記述フロアプラン					システムレベル・フロアプラン						
	クロストークフリー配置配線					非同期回路レイアウト合成 (25MG, 2GHz)						
	並列処理による超高速多層配線手法					3次元デバイス構造の自動レイアウト手法						
	A/Dミックスドリブンレイアウト											
	超解像を考慮したレイアウト生成											
	Trレベル回路合成 / レイアウト合成											
A308 3次元レイアウト検証法	パターン抽出 3次元容量インダクタンス抽出	1,000導体				10,000導体				100,000導体		
		2MG/hr				10MG/hr				50MG/hr		

ロードマップ 2001

システム分野 (A3-2: 最先端LSI設計技術)

年 代	2002	03	04	05	06	07	08	09	10	11	12
プロセス技術 (実用)	0.10 μ m		0.07 μ m				0.05 μ m			0.035 μ m	
A309 大規模 LSIテスト +故障Sim	10MGates			25MGates				50MGates			
	新故障モデルによるテスト容易化診断(0.1 μ m縮退モデル限界)										
	A/D混載テスト手法										
	高位合成でのテスト容易化										
	高速故障Sim			テストフリー設計環境							
	配線レベルでの故障箇所推定 リーク: 1 μ A										
A310 IP再利用技術	ハードIP再利用・ソフトIP再利用・動作レベルIP再利用・検証技術・テスト技術										
A311 リンコンフィギュラブル用DA技術及び開発環境	動的再編成					進化型再編成					
	粒度最適化コンパイラ					進化型再編成コンパイラ					
A312 システム設計可視化技術	システム最適化パラメータ抽出					システム最適化パラメータ動的制御システム					
	コード最適化技術										

ロードマップ 2001

システム分野 (A4: 最先端システムデバイス技術)

年 代	2002	03	04	05	06	07	08	09	10	11	12
プロセス技術 (実用)	0.10 μm		0.07 μm			0.05 μm			0.035 μm		
A401 システム・イン・パッケージ (SiP) 技術						Z方向3次元複合実装 (球状半導体)		XYZ方向3次元複合実装 (球状半導体)			
Low-Power/Cost	同一パッケージ積層 (TCP等) チップレベル3次元積層モジュール					ウェハレベル3次元積層モジュール					
High-Performance					光電気実装		高速伝送配線基盤へのチップ貼り付け				
A402 マイクロ・エレクトロメカニカル・システム (MEMS) 技術	バルク / 表面マイクロマシニング (通信用フィルタ、光スイッチ、光導波路、DMD、センサー、カテーテル等)						ナノマシニング (分子レベル軸受け・シャフト、バイオモレキュラモータ、単分子DNAシーケンシング)				
A403 特殊形状 L S I	球状LSI、柱状LSI、湾曲可能フィルム上LSI、電気計測型バイオチップ、生体インプラントLSI										