

2003 年度 STARC 研究テーマ 募集要項

2002 年7月 24 日
(株)半導体理工学研究センター

目 次

1. サマリー	2
2. 事業の目的	3
3. 募集研究テーマの分野、具体的テーマ例及び成果指標	3
A. システム分野	4
B. プロセス・デバイス分野	6
4. 研究の規模	8
5. 1次提案書の記述内容	9
6. 応募資格	10
7. 提出方法	10
8. 審査	11
9. 研究テーマの進め方と研究報告	11
10. 契約の条件	12
11. 2002 年度研究テーマ一覧	12
12. 研究分野コード表	13
13. 書式例	15

1. サマリー

ご提案時には研究カテゴリー、PG または PJ いずれかを明記して頂きます。研究計画については、研究開始後、2 年度半ばに継続の可否も含め見直しを行います。それ以降は毎年見直しを行います。詳しくは 4 章「研究の規模」及び 9 章「研究テーマの進め方と成果報告」をご参照下さい。

1) 研究カテゴリー

研究プログラム(PG)

PG は、研究期間終了後に研究成果が産業界に技術移管され実用化されることを目指した研究テーマです。期間 5 年以内、研究予算 2000 万円／年以下。総額 1 億円以下。研究グループの構成は 5 人以上。客員研究員による研究計画立案検討への協力と、サンプル提供・試作等の研究支援を産業界と相談の上実施します。

研究プロジェクト(PJ)

PJ は、アルゴリズム・方式・構造等に関するアイデアの提案と、有効性の確認・実証を目的とします。産業界での実用化は、その結果を見て判断するという考え方です。PJ の研究成果を PG へと発展出来ることを期待しています。期間 3 年以内、研究予算 1000 万円／年以下。総額 3000 万円以下。客員研究員による協力、研究計画へのアドバイス等を行います。サンプル提供・試作等の研究支援は実施しません。

2) 応募資格

研究代表者は、日本国内の大学・高専に常勤する教授、助教授または講師で、研究グループを代表する研究者とします。現在 STARC の研究テーマの代表者であっても、全く異なる研究テーマ及び研究体制であれば応募可能とします。但し、研究期間中に研究代表者の転籍・退職などが見込まれる場合は応募できません。

3) 応募締切

2002 年 9 月 9 日(月)午後 5 時 30 分

4) ロードマップ掲載場所

URL: <http://www.starc.or.jp/roadmap/>

2. 事業の目的

半導体理工学研究センター(STARC)は、シリコン半導体技術分野において日本の大学等への研究委託、あるいは共同研究を遂行することにより、半導体産業の技術基盤ならびに先端的競争力の強化を促進することを目的に、日本の半導体関連民間企業より資金を募り設立されました。

その設立の動機には、10年後、20年後においても日本の産業基盤であり続けるであろう半導体産業の将来に対する危機感があります。日本の半導体産業が今後世界的なリーダーシップを発揮していくためには、産学協同による技術基盤強化、研究・技術者層の活性化は欠かせないものと言えます。半導体産業界としては、産学協同の推進拠点として STARC を位置づけ、共同研究を通しての基礎技術力に基づく創造的で業界をリードできる研究開発の推進、及び半導体技術分野への強い関心と情熱を持つ若い研究者・技術者の育成を目指しています。

半導体産業界の大学等の研究に対する期待には大きなものがあり、将来業界標準またはその分野における主流製品となるような新規技術の研究開発を大学等と協力して実施・推進したいと考えるとともに、基礎的分野での主要な担い手である大学等において、広くかつ多くの力を集め活力ある創造的な研究活動が展開されることを強く望んでいます。なかでも10年、20年後の技術を担う現時点の若手研究者にシリコン半導体技術への関心を強めていただくことにより、研究者の質・量ともに発展拡大していくことを願っています。

3. 募集研究テーマの分野、具体的テーマ例及び成果指標

事業目的に述べた観点を踏まえ、応募いただく研究内容は、募集研究テーマ分野に合致し、かつガイドラインとして示されている具体的研究テーマ例に沿うオリジナリティとブレイクスルーを有するものとします。現時点で産業界が競争的に開発を進めているテーマの先を目指した、プリコンペティティブな内容を期待しています。具体的には、シリコン LSI 技術に関する下記7分野の研究テーマを募集します。

システム分野

- A1：最先端システム LSI アーキテクチャ技術
- A2：最先端 LSI 回路技術
- A3：最先端 LSI 設計技術
- A4：最先端システムデバイス技術

プロセス・デバイス分野

- B1：最先端デバイス関連技術
- B2：最先端プロセス関連技術
- B3：デバイス・プロセス共通技術

産業界がどのような技術で大学等と協力したいと考えているかを、別途「半導体理工学研究センターロードマップ 2002」として示していますので、技術分野と水準についてはそちらを参照下さい。このロードマップでは、各分野を細分化してコード番号(12章、研究分野コード表を参照)を付加していますので、応募の際はコード番号で主分野と関連分野を示して下さい。ロードマップではプロセス・デバイス技術を実用プロセスで示しており、その実用時期は ITRS2001 に準拠しています。

研究成果の技術水準目標につきましては、次のようにお考え下さい(応募いただいた研究の成果時点で想定するプロセス・デバイス技術は、システム分野とプロセス・デバイス分野で異なりますのでご注意下さい)。

システム分野では、研究成果に懸かる LSI を実現する時期に、その時点での実用プロセスを適用する

ことを想定しております。今回のご提案がもし 5 年間の研究期間のテーマであれば、その目標等は 65nm プロセスを用いて、ロードマップに記載されております 2008 年以降の技術水準を超えることを目指していただくことになります。

プロセス・デバイス分野では、研究最終成果の技術水準が研究終了時点での実用技術水準の少なくとも 1 世代先の水準であることを期待しています。もし今回のご提案が 5 年間の研究期間であれば、45nm レベルの技術水準を目指した研究であること、また 3 年間の研究期間であれば、65nm レベル以降の技術水準を目指した研究であることが必要です。

A. システム分野

システムオンシリコンの時代を迎え、システム分野の技術革新は、社会の発展に直接間接を問わず、今まで以上に迅速かつ大きく貢献するようになってまいりました。

このような中、IT 時代をリードするシステム LSI アーキテクチャ技術としては、ソフトウェアとハードウェアの協調・相互補完技術、専用プロセッサと汎用プロセッサの融合アーキテクチャ、プロセッサ・メモリの混載アーキテクチャ、またアプリケーション毎に最適化を図るリコンフィギュラブル技術、更には次世代ワイヤレス・デジタル情報家電・次世代インターネット技術等が最重要分野と考えられます。

LSI 回路分野では、モバイル化や省資源化の要請に応じた超低消費電力化技術はもちろんのこと、今後は GHz 帯のクロック周波数に対応する回路技術も欠かすことのできない先端技術になろうとしております。また高速、高ビットレートのチップインタフェース技術、チップ間インターコネクト技術も、独自の研究が要求される時期と言えるでしょう。アナログ技術分野では、CMOS 高周波対応アナログ技術がとりわけ重要と考えられます。

LSI 設計技術分野では、製造技術の進展に対して設計生産性の向上が追いつかない所謂「デザインクライシス」の懸念を払拭するために、自動設計技術はもとより、設計手法の改革、設計資産の再利用技術等を含む幅広い設計技術の研究・開発の重要性が高まっています。更にリコンフィギュラブルロジック・コンパイル技術やシステム設計における可視化技術も、人的・物的な省資源化を図りながら、より高性能なシステム LSI を実現するために不可欠な研究野と考えます。

システムデバイス分野では、シリコン技術とメカニカル技術とを融合させたマイクロ・エレクトロメカニカル技術をはじめとし、シリコン・デバイス技術と他分野技術との境界領域の研究開発が今後ますます重要になると考えられます。

翻って見るに日本の産業界・大学等の研究は、これらのシステム分野において米国に大きく遅れをとっていると言わざるを得ず、21 世紀のできるだけ早い時期にこのギャップを埋め世界的な高い競争力を培うことが是非とも望まれます。その実現のため STARC では 2003 年度のテーマ募集に際しても、システム関連分野に重点を置いて行きたいと考えます。

以上の観点から、2003 年度の募集分野は下記の通りと致します。各分野では具体的研究テーマ例をあげていますが、それ以外でも革新的技術であれば提案を歓迎致します。

A1) 最先端システム LSI アーキテクチャ技術

ビジョン

この分野における産業界の大学等への期待は、低電力プロセッサアーキテクチャ、画像圧縮技術、3D グラフィックス技術、3 次元画像処理技術、プロセッサ・メモリ混載アーキテクチャ、通信・ネットワーク処理技術、ヒューマンインタフェース/認識技術、OS/コンパイラ及びそれらと協調したプロセッサアーキテクチャ、組み込み用ソフトウェア技術、リコンフィギュラブルロジック技術、及び組み込みメディアプロセッサ等です。

汎用マイクロプロセッサ等は従来から産業界での競争的開発により技術進歩が図られていますが、今後より大きな技術発展が予測される高性能マイクロプロセッサ・コア、デジタル信号処理(音声・画像処理)プロセッサ、メディアプロセッサ、通信用プロセッサ、音声・画像認識等ヒューマン・マシン・インタフェース技術、プロセッサ・メモリ混載システム、更には新アルゴリズムに基づく新しいシステムアーキテクチャ等の分野は、大学等との協力を大きな期待がかけられています。

また、組み込み用ソフトウェアとハードウェアの協調・相互補完技術、超高速リアルタイム OS とそれをサポートするプロセッサアーキテクチャ、専用プロセッサと汎用プロセッサとの融合アーキテクチャ、チップレベルでのマルチマイクロプロセッサ、進化型ハードウェアを実現する新しいリコンフィギュラブル技術等の分野でも、日本から世界に向けてその特徴をアピールでき、2008 年から 2013 年頃に業界標準となりうるような画期的な提案を期待します。

具体的研究テーマ例

ロードマップ「A1：最先端システム LSI アーキテクチャ技術」に示された技術分野(A101～A111)を優先的に考えます。

成果指標例

応募の研究期間満了年度の翌年、またはそれ以降に記述されたロードマップ上の性能指標を参考にしてください。

A2) 最先端 LSI 回路技術

ビジョン

低消費電力デジタル／アナログ回路技術は、超低電力携帯情報通信機器、高性能モバイルコンピューティング技術等を実現する基礎技術として、依然この分野での最大の関心事です。具体的には、超低消費電力・超高速アナログ・デジタル変換回路(ADC)、あるいは今後ますます加速される高速化システムに対応できる高周波アナログおよびデジタル技術、I/O インタフェース技術、アナデジ混載回路技術等が特に注目されます。

また超低消費電力化の基礎技術として将来の実用化に期待のかかる超低電源電圧(0.6V 以下)駆動デジタル回路技術、エネルギーリサイクル回路技術、SOI 回路技術、Si 量子効果回路等は、新しい電子回路の基本技術にも成り得る可能性のある領域と考えられますので、大学等との協力を多大な期待がかかる分野です。これら注目する最先端 LSI 回路分野の研究は、個々の回路に限定せず、アーキテクチャレベルからチップの実現レベルまで一貫したシステム全体に係わる解決策を期待しています。

具体的研究テーマ例

ロードマップ「A2：最先端 LSI 回路技術」に示された技術分野(A201～A206)を優先的に考えます。

成果指標例

応募の研究期間満了年度の翌年、またはそれ以降に記述されたロードマップ上の性能指標を参考にしてください。

A3) 最先端 LSI 設計技術

ビジョン

21 世紀初頭のディーブサブミクロン(DSM)チップの集積度は10億素子／チップに達すると予測されますが、一方こうした集積度の増加に対して設計生産性が追いつかない、所謂「デザインクライシス」が懸念されています。今後のシステムオンチップ時代では、自動設計技術だけでなく、それらを統合する設計手法、設計資産の再利用技術、インタオペラビリティ、システムインテグレーション等による設計生産性の飛躍的向上が、「デザインクライシス」への解決策として期待されています。

自動設計システムの対象が一般的な ASIC から低電圧・低消費電力システム、非同期を含む超高速シ

システム等へと広がることに対応して、自動化技術としても設計対象の特徴を考慮した自動合成、DSM 化に伴う配線層数増加に対応する自動配線、並列プロセッサ・システム上でのインプリメントを念頭に置いた配置・配線アルゴリズム等が必要になります。

設計結果の検証としては、大規模化への対応としてレジスタ・トランスファーレベル(RTL)以上の高位での設計検証、DSM 化対応としてのレイアウトレベルでの設計検証等が重要性を増して来ます。加えて大規模テスト・診断技術も DSM チップ実用化のための必須技術として認識されており、この問題への解決策も必要です。IP 再利用技術は、今後の集積規模の増大に対する設計のキー技術となると考えられ、これから色々な技術開発が期待されます。

また、動的／進化型再構成コンパイラ技術を中心とするリコンフィギュラブルロジック開発環境技術は、大学等での研究に大きな期待がかかるものです。更に、ますます大規模化するシステム LSI の設計に有効に対処するためには、デザイン空間の効率的な探索やパラメータの最適値抽出など設計状態の可視化技術の開発・実用化が必要と考えられますが、この領域も大学等で先端的な研究を推進すべき分野と考えています。

具体的研究テーマ例

ロードマップ「A3：最先端 LSI 設計技術」に示された技術分野(A301～A312)を優先的に考えます。

成果指標例

応募の研究期間満了年度の翌年、またはそれ以降に記述されたロードマップ上の性能指標を参考にして下さい。

A4) 最先端システムデバイス技術

ビジョン

最先端システムデバイス技術はシステム分野とプロセス・デバイス分野の境界領域に位置し、その中にはシステム・イン・パッケージ(SiP)実装技術やマイクロ・エレクトロメカニカル・システム(MEMS)技術等が含まれます。日常的に使用する生活用品への装着はもとより更には体内にも組み込めるようなシステム LSI 実装形態の研究開発や、マイクロマシニング、ナノマシニング技術に関する研究を期待しています。また GHz 周波数時代の高速度インタフェース・チップのプリント基板等への実装技術開発も、大学等での研究が待たれる分野です。

具体的研究テーマ例

ロードマップ「A4：最先端システムデバイス技術」に示された技術分野(A401～A403)を優先的に考えます。

成果指標例

応募の研究期間満了年度の翌年、またはそれ以降に記述されたロードマップ上の性能指標を参考にして下さい。

B. プロセス・デバイス分野

プロセス・デバイス技術は、さらなる LSI の高密度・高速化の要請に対して、微細化は原子レベルの理解および制御が必要となってきました。そのためプロセス・デバイス技術に対してはより原理的かつ独創的な取り組みが不可欠であり、産業界では大学等からの叡智の結集および人材の育成に大きな期待を寄せています。

大学等での LSI プロセス・デバイスの研究に対しては原理的、ソフト的、分析・評価的なアプローチにより、産業界がかかえている普遍的な技術課題に挑戦していただけることを期待しています。特に要望する研究は 65nm 以降のテクノロジーで 5～10 年後に実用化が見込まれる以下の技術です。

- ・新構造ロジックデバイス・新構造メモリデバイス
- ・ゲート絶縁膜形成技術 (Si 系、High-k)
- ・配線(メタル)材料・低誘電体薄膜材料技術
- ・モニタ技術、クリーン化技術(パーティクル計測、除去など)
- ・界面評価技術及び信頼性評価技術
- ・コンタクト形成技術・浅い接合形成技術・シリサイド形成技術
- ・プラズマ、洗浄、リソグラフィ周辺技術等の新技術の提案
- ・プロセス/デバイスモデリングとシミュレーション技術
- ・PFC ガス、省資源、省エネルギー等の環境技術

以上の観点から 2003 年度の募集分野は下記の通りと致します。各分野では具体的研究テーマ例をあげていますが、それ以外でも革新的技術であれば提案を歓迎致します。

B1) 最先端デバイス関連技術

ビジョン

最先端デバイス関連技術として、産業界は、65nm 以降の時代のデバイス技術に関連した、新材料デバイス技術、新構造ロジックデバイス、新構造メモリデバイスや界面評価技術、界面の信頼性評価技術、コンタクト形成技術、浅い接合形成技術、シリサイド形成技術、等の提案に大いに期待しています。

強・高誘電体膜はセルの高集積化が可能という点で、メモリには必須の技術となり、実用化のためのさまざまな検討は産業界でも行われています。しかし、それら膜の信頼性や成膜・電極・物性など根源的課題が残されています。高誘電体膜は更に、MOSFET のゲートトンネリングを防ぐ観点からゲート絶縁膜への応用が期待され、今後重要となってきています。また界面評価技術及び信頼性評価技術としては、微細化、薄膜化に伴う界面及び絶縁膜の基礎物性解明と信頼性向上を重点としています。コンタクト形成技術・浅い接合形成技術・シリサイド形成技術に関しては微細化に伴い、新しいセルフアラインコンタクト技術の提案、高アスペクト比コンタクトホール、低コンタクト抵抗、浅い接合の形成、選択的シリサイド形成、低シート抵抗が必然となります。一方、デバイス構造に関しては、現在 65nm 以降のトランジスタ実現の報告が既にされていますが、配線、コンタクトも含む総合的な LSI 化技術の検討は充分に進んでいるとは言えません。65nm 以降のプロセスで集積化された際の機能・消費電力・速度・バラツキ・コストなどを包括的にバランス良く考慮に入れたソリューションの一環として、大学等にはデバイス構造、コンタクトの新提案および極限解析を期待します。また、新しい使い方(アーキテクチャ)の提案を伴うデバイスに関する検討も期待しています。本研究においては、LSI としての性能目標(機能、スピード、消費電力)を必ず明示して下さい。シミュレーション技術として GHz 動作のデジタル、アナログの他に RF デバイスのモデリングを期待します。

具体的研究テーマ例

ロードマップ「B1:最先端デバイス関連技術」に示された技術分野(B101~B106)を優先的に考えます。

成果指標例

ロードマップの年代に対応した性能指標、機能指標を参考にして下さい。

B2) 最先端プロセス関連技術

ビジョン

最先端プロセス関連技術は産業界として注力している領域ですが、研究には高額な設備・環境を必要とする場合が多く、その重要度にもかかわらず大学等では着手の難しい研究領域でした。STARC として

は、今後産業界の協力のもとに伸びてほしいと期待する分野であります。この分野では、65nm 以降の配線技術、プロセス要素技術、リソグラフィ周辺技術、モデリング・シミュレーション技術を対象としています。最先端 LSI ではチップのスピードが素子より配線で決まる状況となってきました。導電率の高い配線(メタル)材料と配線間容量の低減のために低誘電体膜($\epsilon < 2$ 程度)の使用が必須となってきました。プロセス要素技術では、酸化、アニール、プラズマ、エッチング、CVD、平坦化、イオン注入等に関してです。これらのテーマで大学等から新規のアプローチを期待します。リソグラフィにおいては、EB 露光補正技術や露光散乱モデル、レジスト現像モデリングやシミュレーション等のリソグラフィ周辺技術に関するテーマを期待します。プロセスシミュレーション技術では応力の効果の取り込みや表面状態と拡散の相互作用等を考慮したシミュレーションの高精度化等です。洗浄・表面クリーン化技術ではロードマップを凌駕できる新しい超洗浄法の提案等です。

特に大学等に対しては、メカニズムを解明しモデル化していくというアプローチを期待しています。また新しい概念に基づく技術の提案を歓迎します。

具体的研究テーマ例

ロードマップ「B2:最先端プロセス関連技術」に示された技術分野(B201~B204)を優先的に考えます。

成果指標例

ロードマップの年代に対応した性能指標、機能指標を参考にして下さい。

B3) プロセス・デバイス共通技術

ビジョン

微細加工技術の進展とともに、寸法、不純物濃度分布、キャリア分布、欠陥、金属汚染量等の計測技術、評価技術の重要性が益々高くなってきますが、それへの技術対応が追いついておりません。高分解能、高精度、in-situ、非破壊検査で短時間の計測、評価技術の必要性が特に重要になり、大学等からの新しい提案が大いに期待される分野です。環境・安全技術関連では、PFC ガス関連(利用効率向上、回収、代替)、汚染フリープロセス技術、環境の評価技術等に関してです。またクリーン環境における微粒子の検出と除去、プラズマに関する反応計測、in-situ モニタリングに関してなどです。ウエハ材料に関しては素子の微細化、ウエハの大口径化に伴いより高品位の結晶が必要となり、また SOI、SiGe 等の新材料基板での結晶性を高分解能、高精度に評価する技術も重要になり、期待するところです。歩留まり解析技術や、ファクトリ技術においても従来の産業界での取り組みをブレークスルーする新たな提案を期待します。

具体的研究テーマ例

ロードマップ「B3:プロセス・デバイス共通技術」に示された技術分野(B301~B306)を優先的に考えます。

成果指標例

ロードマップの年代に対応した性能指標を参考にして下さい。

4. 研究の規模

- 1) 研究費： PG 2000 万円／年以下、総額 1 億円以下
PJ 1000 万円／年以下、総額 3000 万円以下
- 2) 期 間： PG 5 年以内
PJ 3 年以内
- 3) 研究テーマ数： PG と PJ 合わせて約 10 件を採用予定。

5. 第 1 次提案書の記述内容

下記項目から成る第 1 次研究提案書を作成して下さい(書式例を 13 章に示します)。

フォーマット： 任意

文字数： 電子メールは全角 39 文字×100 行以内(英文字半角使用可)または A4 用紙 2 頁以内(ワープロで作成した文章をテキスト変換して送信する場合は、特に上記文字数にご注意下さい)。

提案書の記述に当たっては、学会での発表計画と研究成果物及びそれらのスケジュールを明記するようお願いいたします。学会での発表は、以下に例として上げるような論文誌、国際会議をターゲットとお考え下さい。

論文誌： IPSJ, IEICE, JJAP, IEEE Trans., JAP. Physical Review, ACM, IFIP 等

国際会議： ISSCC, IEDM, VLSI Symposium, DAC, ICCAD, CICC, ISCA 等

成果物は、3 年なり 5 年なりの全研究期間終了時に期待されるものだけではなく、研究の進捗に伴う途中結果、例えば評価用に作成するソフトウェアなども、産業界で活用できるものであれば、研究提案書に成果物として記載して下さい。また研究終了時に成果物が一括して産業界に渡されるのではなく、成果が得られた段階で随時、産業界へ移転するようご留意下さい。

提案書記載項目

- 1) 大学・高専名及び研究室名
- 2) 代表者氏名、研究者氏名(博士・修士学生を含む)、合計人数
- 3) 応募するカテゴリー(PG または PJ)
研究分野コード(主分野コード 1 つと関連分野コード)
- 4) 応募する研究テーマ名
- 5) 研究の目的、オリジナリティ、及びブレイクスルーのポイント、等
- 6) 研究内容の概要(箇条書き)
- 7) 研究グループ、または代表者の過去の研究実績(簡潔に)
- 8) 研究期間とスケジュール概要
(研究期間設定については、その必要性を説明してください。)
- 9) 成果物・学会発表とスケジュール、及びその技術水準(目標値)
(産業界にとって、どの時期にどのような成果が期待できるか、また定量的な成果目標値はなにかを記述して下さい。また、学会発表計画もここに記述して下さい。)
- 10) 技術移転計画
(想定する産業界への技術移転内容及びその方法について記述して下さい。)
- 11) 産業界への波及効果
- 12) 産業界への協力要望事項、その他補足事項
- 13) 本研究にかかわる STARC の株主会社、または他社との関係
(本テーマにかかわって STARC の株主会社、STARC の株主会社以外の会社・団体との間で、共同研究・委託研究などの実績または予定があれば記入して下さい。その場合、STARC テーマとのきり分けについて明記して下さい。)
- 14) 本研究にかかわる国との関係
(本テーマにかかわって国(文部科学省・経済産業省・総務省等)及び外郭団体(NEDO等)から研究助成を受けている場合は、記入して下さい。その場合、STARC とのきり分けについて

明記して下さい。)

- 1 5) 必要総研究費の概算及び研究費目／年(材料費、設備費、人件費、外注費、雑費、等)
以下に具体例を示します。

材料費：システム試作用部品、実験用試料、等

設備費：測定器、ワークステーション、等

(研究費全体の 50%以内を原則とします。)

人件費：学生アルバイト、等

外注費：チップ試作、測定用サンプル試作、サンプル測定、ソフト開発、またはシステム試作、等を外部へ発注する場合の費用。

雑 費：旅費、学会参加費、出版費、事務用備品、等その他諸々。

- 1 6) 連絡先(住所、e-mail、tel、fax 等)

6. 応募資格

研究代表者は、日本国内の大学・高専に常勤する教授、助教授または講師で、研究グループを代表するとします。現在 STARC の研究テーマの代表者であっても、全く異なる研究テーマ及び研究体制であれば応募可能とします。但し、研究期間中に研究代表者の転籍・退職などが見込まれる場合は応募できません。

7. 提出方法

- 1) 提出方法

電子メールとします。電子メールが使えない特別な事情がある場合は、郵送分も受け付けます。

- 2) 提出期限

2002 年 9 月 9 日(月)午後 5 時 30 分

(電子メールは上記時刻迄の到着分、郵送は当日配達分)

- 3) 提出先

電子メールの場合： app@starc.or.jp

郵送の場合： 〒222-0033

神奈川県横浜市港北区新横浜 3 丁目 17 番地 2 友泉新横浜ビル 6 階
(株)半導体理工学研究センター 研究推進部

- 4) 問い合わせ先

(株)半導体理工学研究センター 研究推進部

電 話：045-478-3300

E-mail: info@starc.or.jp

URL： <http://www.starc.or.jp>

- 5) ロードマップ 2002 の掲載場所

URL： <http://www.starc.or.jp/roadmap/>

8. 審査

8.1 審査基準

募集テーマ分野に合致し、研究完成時にロードマップに示される技術水準を越えるテーマを、優先的に取り上げます。カテゴリPG では、半導体技術分野に於いて産業界が要望し、研究期間終了後に研究成果が産業界に技術移管され実用化されることを目指した先進的または重要な成果をもたらすと考えられるテーマを、またカテゴリPJ では、アルゴリズム・方式・構造等の斬新なアイデアであり、実用化の前段階でその有効性を確認・実証する必要があると考えられるテーマを優先的にとりあげます。

また途中結果を含めて、研究成果とそのスケジュールが明記されているテーマを重視します。

8.2 審査手順

- 1) STARC の審査委員会に於いて、提案書につき 1 次及び 2 次審査を経て研究テーマを決定します。
手順概要：1 次提案→審査 → 通知→2 次提案→審査 → 最終決定→通知
- 2) 第 1 次審査結果は 2002 年 10 月中旬にお知らせします。
- 3) 第 2 次審査過程では、第 1 次審査結果通知と併せて研究内容の詳細を説明する第 2 次提案書作成を依頼します。また、必要に応じ研究内容の説明会を開催します。第 2 次審査説明日程は後日関係者のみにご連絡致します。
- 4) 最終的なテーマ選択は 2002 年 12 月初旬に行い、お知らせします。
- 5) 応募書類等は返却しません。機密保持には充分配慮致します。

9. 研究テーマの進め方と研究報告

STARC では、各研究テーマ毎に複数名の客員研究員を半導体産業界から選定いたします。客員研究員の役割は、大学等との技術討論を通じて産業界のニーズ・トレンドを伝えるとともに、研究テーマを産業界の将来ニーズに適ったものとするために適切なアドバイスを行うことにあります。

更に、各技術分野別に研究テーマを統括する上級研究員も選任されております。

カテゴリPG

- 1) STARC 側から客員研究員を定めて計画打ち合わせを行い、研究目標に産業界のニーズを反映させていただきます。また開始後 3 カ月以内に研究計画説明会を実施し、客員研究員と合意した計画をクライアント各社へ説明していただきます。
- 2) 客員研究員との進捗打ち合わせを綿密に行い、研究目標・成果に産業界のニーズを反映させていただきます。(年間：8～10 回)
- 3) 各年度に於ける研究報告書を提出するとともに、研究成果報告会で報告していただきます。
- 4) 最終年度末には総合研究報告書を提出するとともに、総合成果報告会で報告していただきます。
- 5) 研究計画については、研究開始後、2 年度半ばに継続の可否も含め見直しを行います。それ以降は毎年見直しを行います。
- 6) 研究テーマで必要になる、システム分野におけるチップまたはシステムの試作、プロセス・デバイス分野における新材料の LSI への適用の試み、最先端微細加工関連技術の具体的装置・プロセスへの適用の試み、素子・チップ試作、等は産業界との相談とさせていただきます。しかし、必要な費用については提案書記述内容 13) の必要総研究費概算の中へ計上して下さい。

カテゴリ-PJ

- 1) STARC 側から客員研究員を定めて計画打ち合わせを行い、研究目標に産業界のニーズを反映させていただきます。また開始後 3 カ月以内に研究計画説明会を実施し、客員研究員と合意した計画をクライアント各社へ説明していただきます。
- 2) 客員研究員との打ち合わせを年 2~3 回行い、研究進捗状況を報告していただきます。
- 3) 各年度に於ける研究報告書を提出するとともに、研究成果報告会で報告していただきます。
- 4) 最終年度年度末には総合研究報告書を提出するとともに、総合成果報告会をで報告していただきます
- 5) 研究計画については、研究開始後、2 年度半ばに継続の可否も含め見直しを行います。それ以降は毎年見直しを行います。
- 6) システムの試作、プロセスへの適用の試み、サンプルの提供・試作等の研究支援は実施いたしません。

なおカテゴリ-PJ の場合、テーマによっては客員研究員がつかないで研究が開始されるケースもあり得ますので、あらかじめご承知おき下さい(次年度以降に、あらためて客員研究員が定められる事もあります)。客員研究員がつかない場合でも、上級研究員が研究計画立案で協力するとともに、年 2~3 回、研究進捗状況等につき打合せをさせていただきます。そのほかの取扱いは通常の PJ と同等です。

10. 契約の条件

- 1) 採択決定後、STARC との契約内容について両者が合意に達することを条件に契約致します。
- 2) 契約期間は 1 年単位とし、毎年見直しを行います。
- 3) 知的所有権の取り扱いについては、別途協議のうえ決めさせていただきます。

11. 2002 年度研究テーマ一覧

A) システム関連

- 「RISC+マルチ VLIW アーキテクチャ融合マイクロプロセッサの研究」
- 「高速算術演算回路の研究」
- 「高速低消費電力並列パイプライン A/D 変換器に関する研究」
- 「自動並列化コンパイラ協調型シングルチップ・マルチプロセッサの研究」
- 「次世代リコンフィギャブルロジックとその応用」
- 「システム LSI のための再利用可能な設計資産の構築手法の実験的研究」
- 「高信頼性実時間並行システムの設計と検証に関する研究」
- 「大きなランダムアクセスバンド幅を持つスーパーコンパクト・マルチポートメモリ、及びそれを用いたシステム・オン・チップ/パッケージ向け高性能アプリケーション」
- 「低電力・信号完全性を指向した自動レイアウト手法の研究」
- 「低価格テストと連動したオンチップテストの IP 化に関する研究」
- 「スタティックスケジューリング可能なマルチプロセッサ」
- 「メディア認識処理用基本モジュールの設計と単語音声認識チップの実現に関する研究」
- 「コンポーネント間のデータ流量解析に基づくアーキテクチャ・レベル設計手法」

- 「次世代省電力チップマルチプロセッサの研究」
- 「マルチ VLIW プロセッサ向け高効率コード自動生成についての研究」
- 「アナログ・デジタル混載システム LSI 設計技術の研究」
- 「ユビキタス・コンピューティングのための低コストで低電力な短距離ワイヤレス接続技術」
- 「SpecC によるソフトウェア記述の性能検証システム」
- 「設計資産間のインタフェースに関する仕様記述と検証技術に関する研究」
- 「マルチメディアネットワーク向けデータ駆動プロセッサの研究」
- 「インターネットルータのマルチメディア QoS 制御チップの開発」
- 「画像圧縮符号化応用・低消費電力・動き検出プロセッサ LSI の設計技術研究」

B) プロセス/デバイス関連

- 「先端酸化・拡散プロセス技術の開発とそのモデリング」
- 「イオンプローブによる超高感度分析・評価技術の開発」
- 「SiO_x 超微粒子薄膜の低誘電率材料への応用」
- 「絶縁膜/シリコン界面の放射光超高分解能解析と信頼性評価」
- 「高信頼 Cu/低誘電率膜多層配線技術」
- 「次世代ゲート絶縁膜技術」
- 「超高速・低電力サブ 0.1 μm SOI-MOS トランジスタに関する研究」
- 「不揮発性メモリ用強誘電体薄膜の低温製膜プロセス技術の開発」
- 「次世代 CMOS のためのデュアルメタル/ALD 絶縁膜ゲートスタックの研究」
- 「超薄膜ゲート絶縁膜 MIS (FET) の評価技術および物理モデル構築の研究」
- 「ゲート酸化膜の薄膜限界に関する研究」
- 「原子レベル反応モデリングに基づく 3次元表面プロセスシミュレーション技術の開発」
- 「GHz 信号伝送多層配線技術」
- 「3D シミュレーションのための離散不純物モデルと分子動力学法の研究」
- 「HiSIM2 : 回路シミュレーション用 RF デバイスモデル」
- 「高精度プラズマプロセスのためのオンウエハーモニタリングシステムの開発」
- 「量子輸送理論によるナノ構造デバイス汎用シミュレータの開発」
- 「低速陽電子ビームによるシリコン関連材料の欠陥の研究」

12. 研究分野コード表

- A101 携帯端末用低電力プロセッサ
- A102 画像圧縮技術
- A103 3D グラフィックス
- A104 3次元画像処理
- A105 プロセッサ・メモリ混載アーキテクチャ
- A106 通信・ネットワーク処理技術
- A107 ヒューマンインタフェース/認識技術
- A108 OS/コンパイラ及びそれらと協調したプロセッサアーキテクチャ

- A109 組込み用ソフトウェア技術
- A110 リコンフィギュラブル技術
- A111 組込みメディアプロセッサ
- A201 超低消費電力デジタル回路
- A202 超低消費電力アナログ回路
- A203 超高周波アナログ回路(通信用)
- A204 超高周波デジタル回路
- A205 アナデジ混載回路
- A206 I/O インタフェース回路(CMOS)
- A301 HW/SW コデザイン
- A302 高速低電力 LSI 設計法
- A303 高位論理合成
- A304 大規模論理検証技術
- A305 大規模回路シミュレーション法
- A306 性能ドリブン設計
- A307 高性能・高集積レイアウト手法
- A308 3次元レイアウト検証法
- A309 大規模 LSI テスト
- A310 IP 再利用技術
- A311 リコンフィギュラブル用 DA 技術及び開発環境
- A312 システム設計可視化技術
- A401 システム・イン・パッケージ(SiP)技術
- A402 マイクロ・エレクトロメカニカル・システム(MEMS)技術
- A403 特殊形状 LSI

- B101 MOS 構造・新構造デバイス
- B102 新構造メモリデバイス
- B103 接合技術：浅い接合、コンタクト、チャネルエンジニアリング
- B104 デバイス評価技術及び信頼性評価技術
- B105 デバイスシミュレーション技術
- B106 デバイス最適化設計技術
- B201 配線技術
- B202 プロセス要素技術
- B203 プロセスシミュレーション技術
- B204 洗浄・表面クリーン化技術
- B301 計測・モニター技術
- B302 歩留まり解析技術
- B303 プロセス分析・評価技術
- B304 環境・安全技術
- B305 ファクトリー技術
- B306 ウエハー材料・評価技術

13. 書式例

STARC 研究提案書(1 次)

1. 大学・高専名及び研究室名
2. 代表者氏名、研究者氏名(博士・修士学生を含む)、合計人数
3. 応募するカテゴリー(PG または PJ)、分野コード 主分野 関連分野
(コードは A または B と 3 桁の数字、例 : A113)
4. 応募する研究テーマ名
5. 研究の目的、オリジナリティ、及びブレークスルーのポイント
6. 研究内容の概要(箇条書き)
7. 研究グループ、または代表者の過去の研究実績
8. 研究期間とスケジュール概要
9. 成果物・学会発表とスケジュール、及びその技術水準(目標値)
10. 技術移転計画
11. 産業界への波及効果
12. 産業界への協力要望事項, その他補足事項
13. 本研究にかかわる S T A R C の株主会社、または他社との関係
14. 本研究にかかわる国との関係
15. 必要総研究費の概算及び研究費目/年(単位 : 千円)

例 :

	2003 年	2004 年	2005 年	2006 年	2007 年
材料費	XXXXX	XXXXX	XXXXX	XXXXX	XXXXX
設備費	XXXXX	XXXXX	XXXXX	XXXXX	XXXXX
人件費	XXXXX	XXXXX	XXXXX	XXXXX	XXXXX
外注費	XXXXX	XXXXX	XXXXX	XXXXX	XXXXX
雑 費	XXXXX	XXXXX	XXXXX	XXXXX	XXXXX
計	XXXXX	XXXXX	XXXXX	XXXXX	XXXXX

16. 連絡先

所 属 :

氏 名 :

住 所 :

電話番号 :

FAX 番号 :

電子メール:

以上