

キーテクノロジーで世界に挑戦

2007年7月6日

株式会社半導体理工学研究センター

開発第2部長

岡村 芳雄

イノベーションで世界をめざすために

重点化
(設計メソロジー)

プロセスフレンドリ設計

ミックスシグナル

高位設計

テスト・故障解析

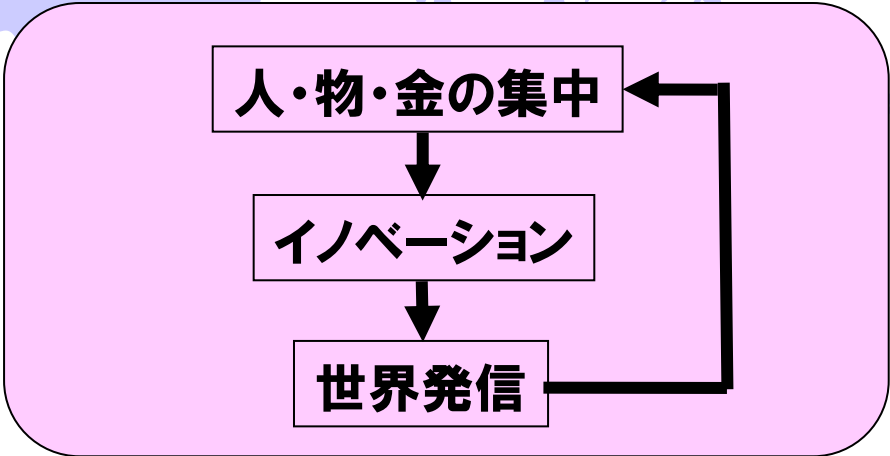
システム仕様記述



シャトルサービス
(イノベティブIP育成)

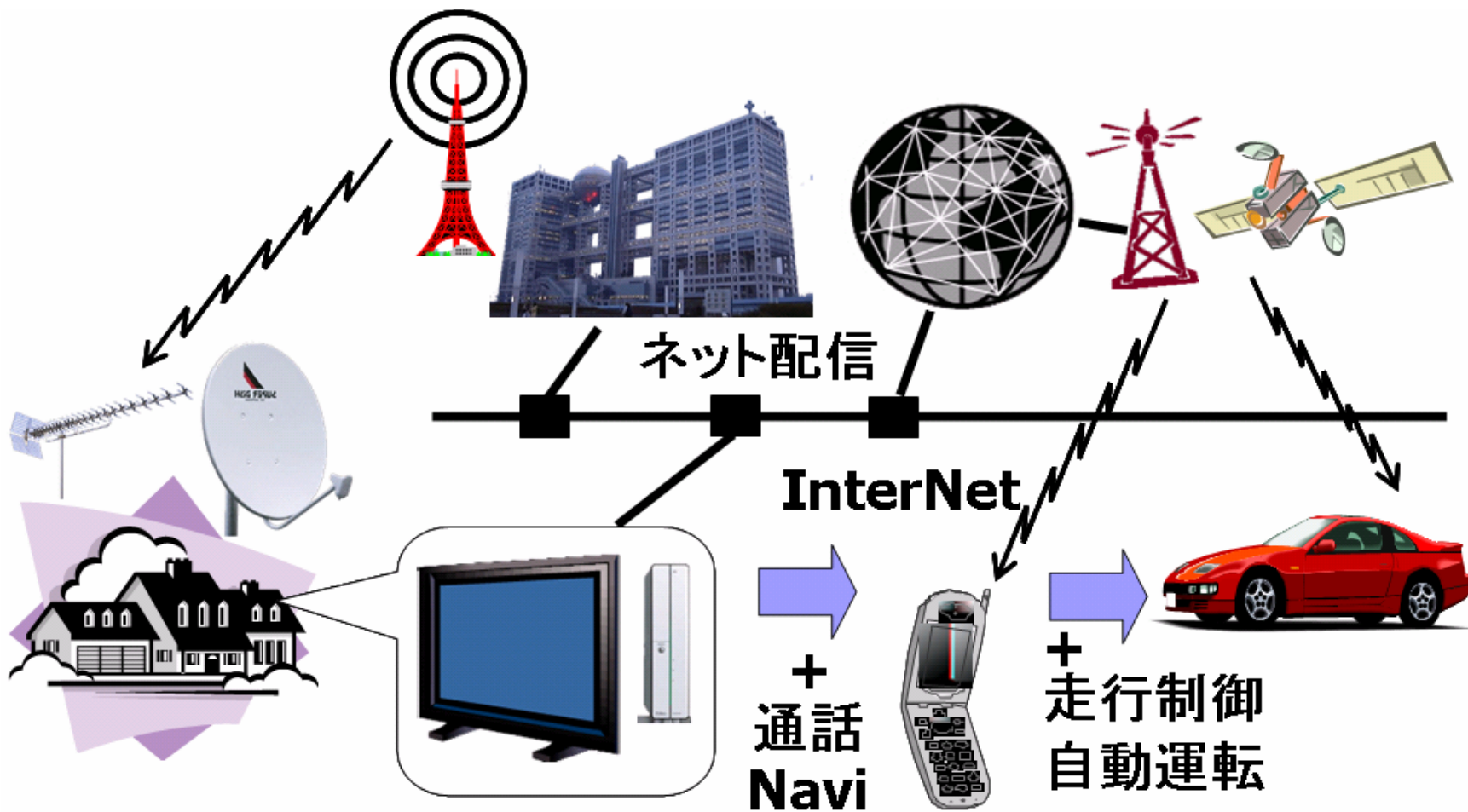
集中化
(開発拠点)

標準化
(プラットフォーム)

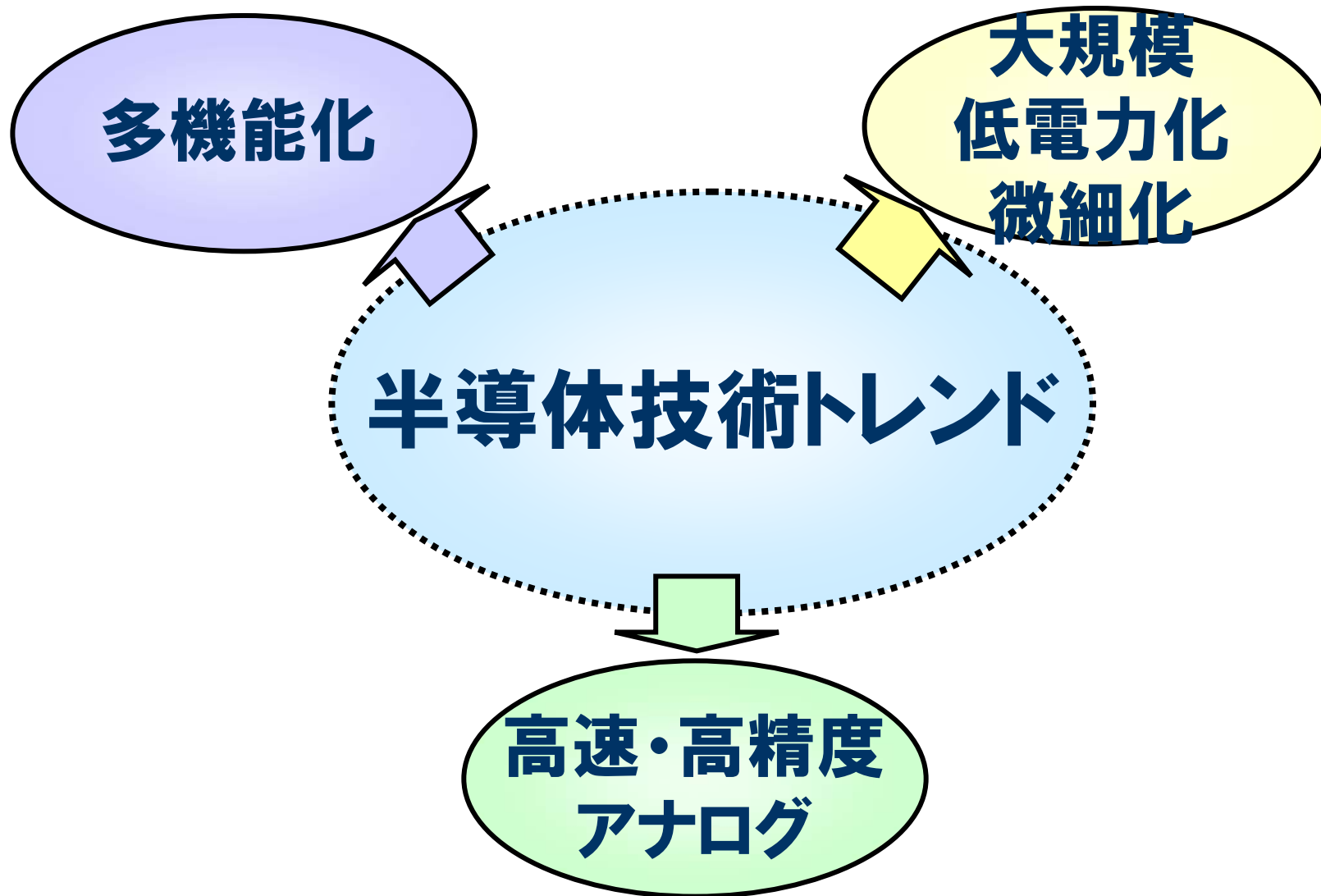


- 利点**
 - 設計コスト削減
 - 設計TAT向上
 - 欠点**
 - 性能最適化が不十分
- 利点 >> 欠点 の時代**

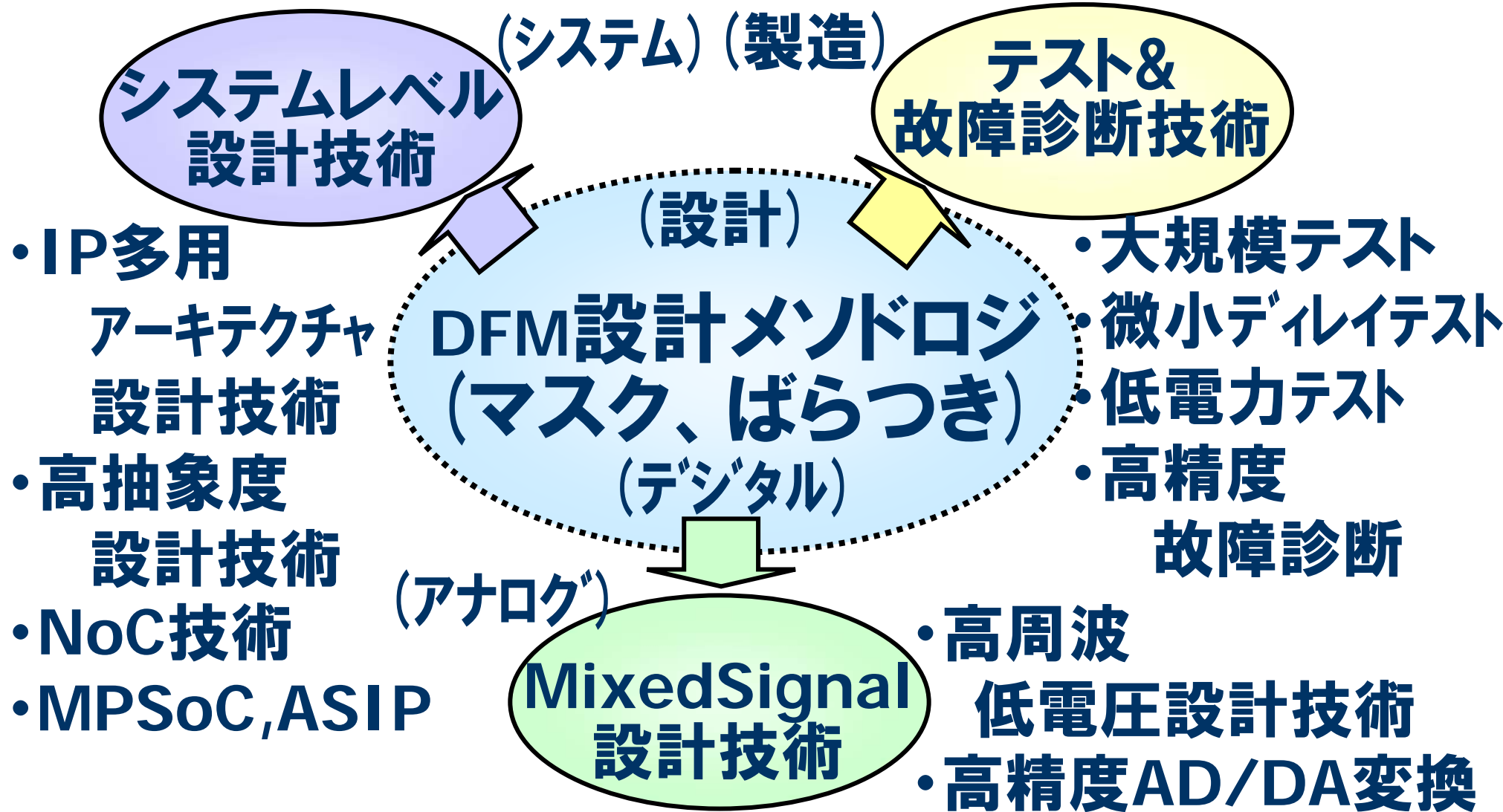
進化し続けるエレクトロニクス技術



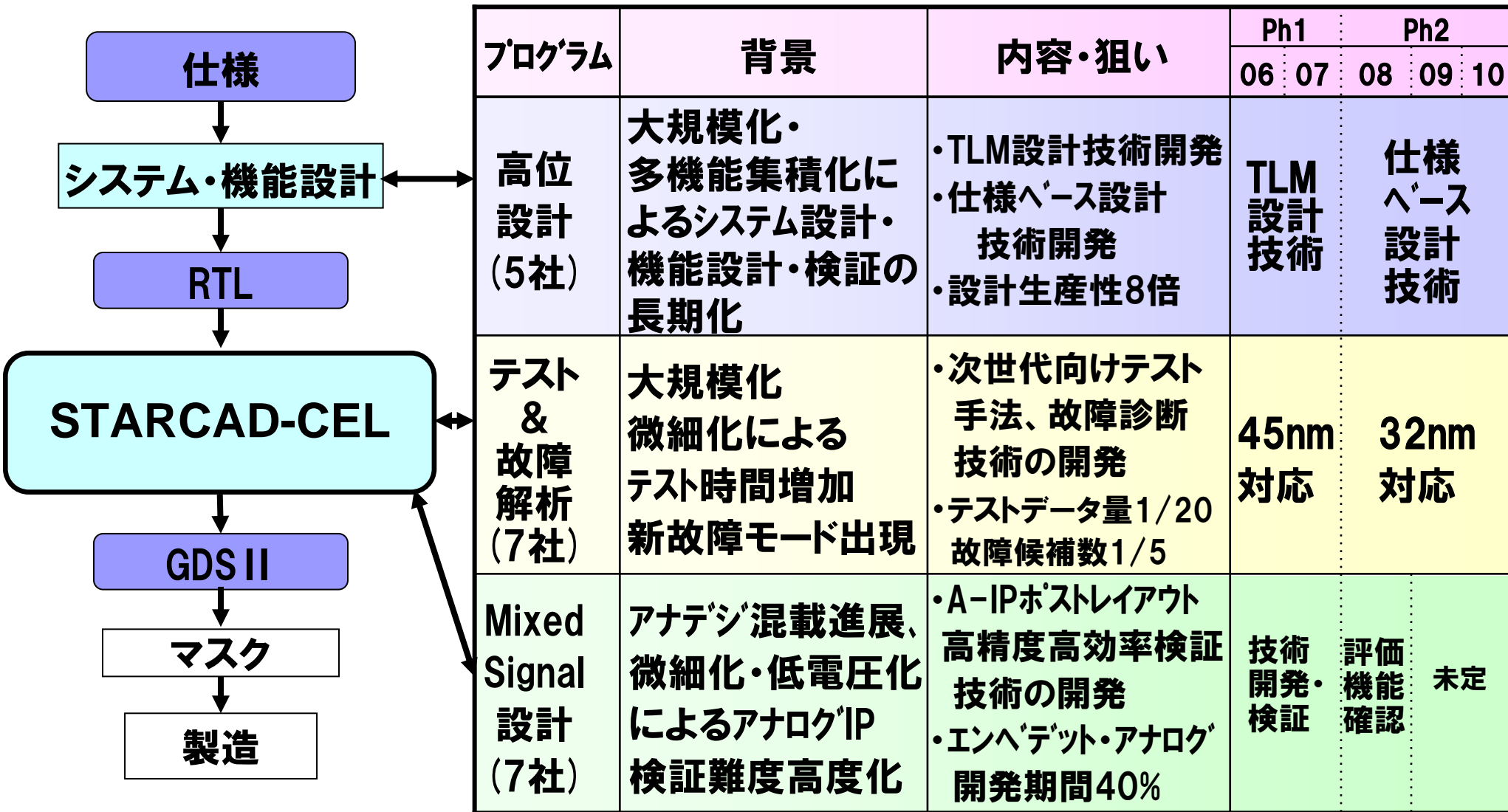
半導体技術トレンドの捉え方



トレンドを支える3つのキーテクノロジー

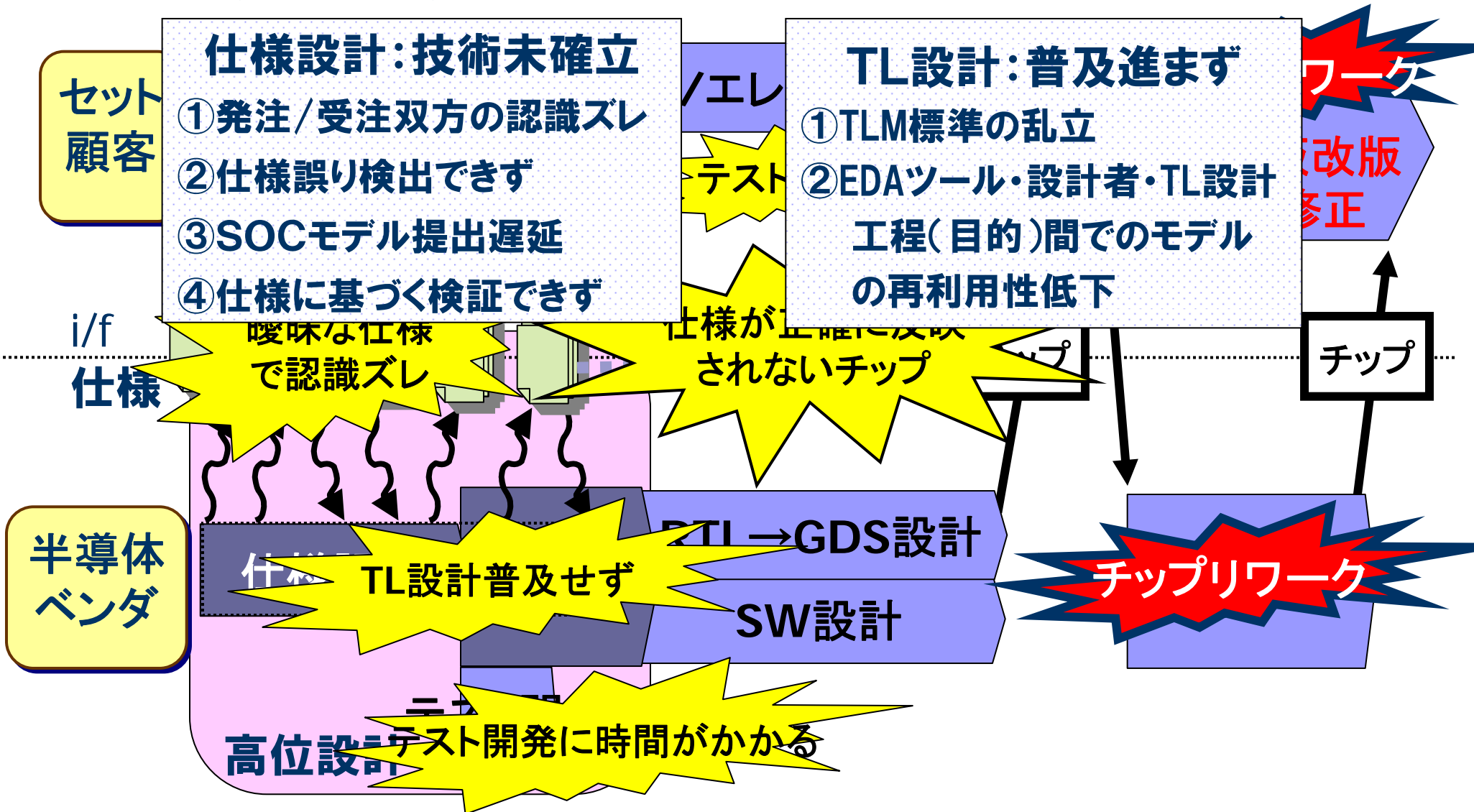


開発第2部の取組み



高位設計技術開発

高位設計の現状と問題点

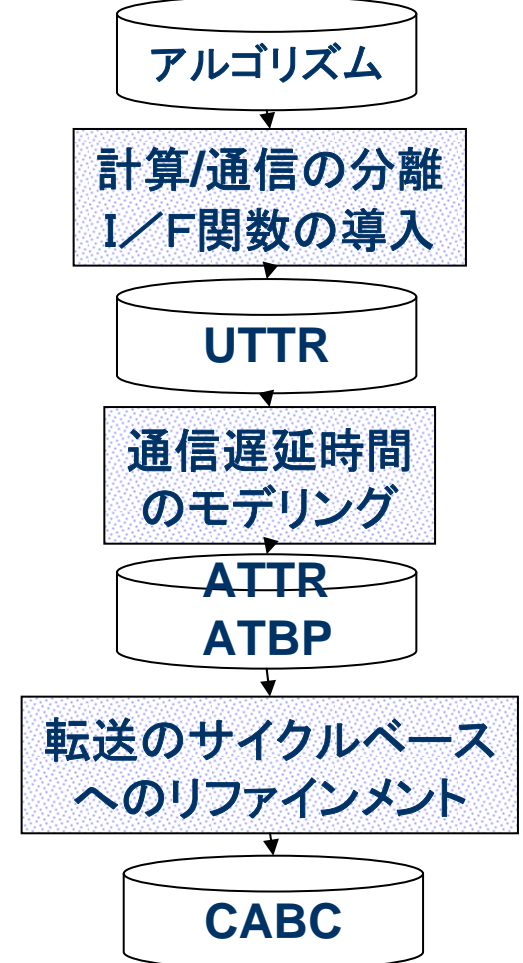
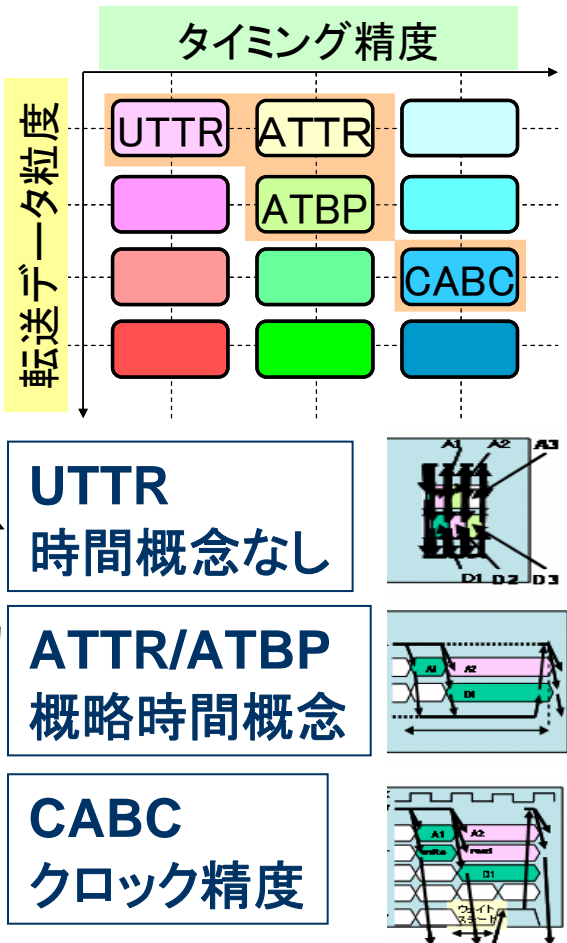
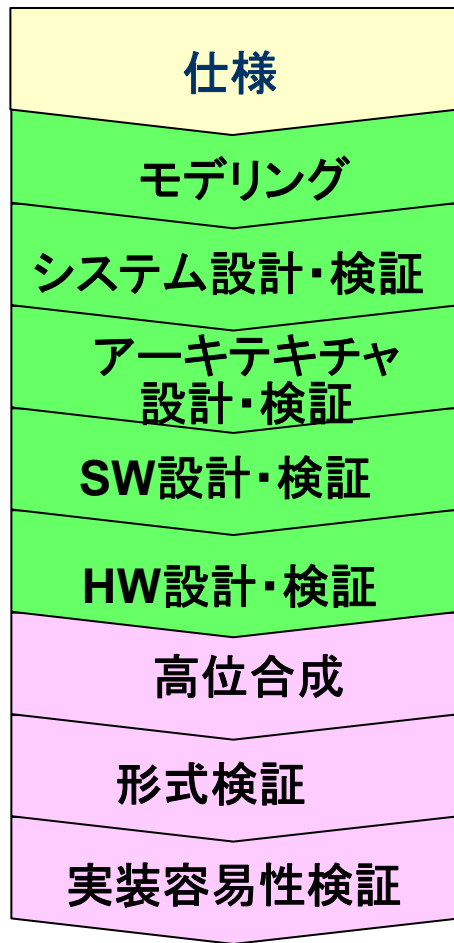


TLM(Cレベル→RTL)技術開発

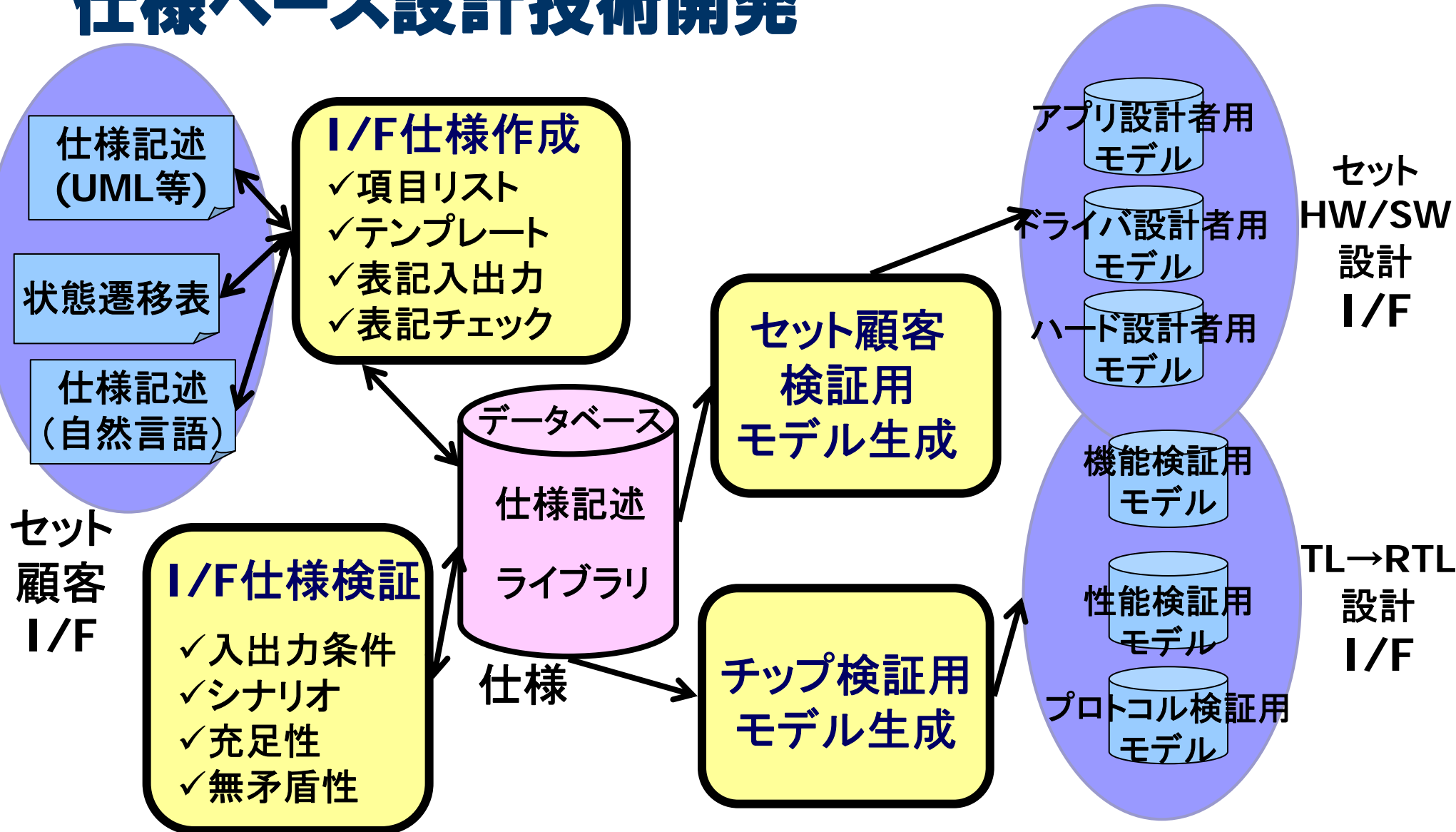
標準設計工程の定義

対応する抽象レベルの定義

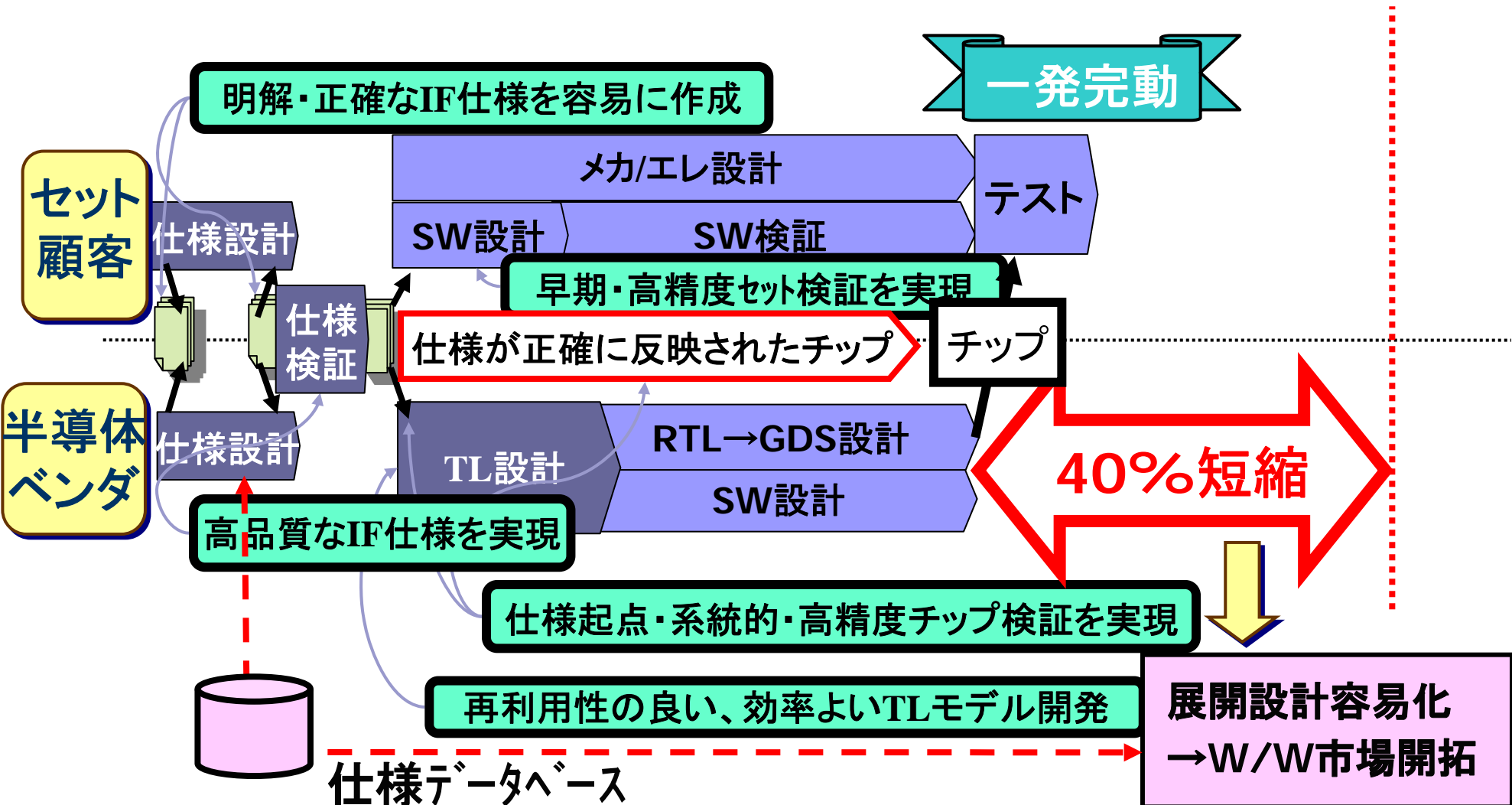
リファインメントメソドロジー



仕様ベース設計技術開発



- 目標**
- ▶ 正確、明解な仕様設計で、SOCが一発完動
 - ▶ 効率良いTL設計で、早期RTL→GDS設計着手



テスト・故障診断技術開発

次世代テスト・故障診断の課題

プロセスの
進歩

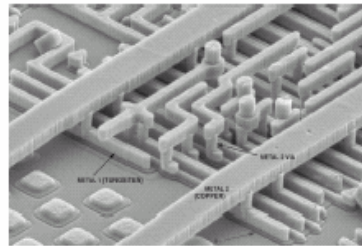
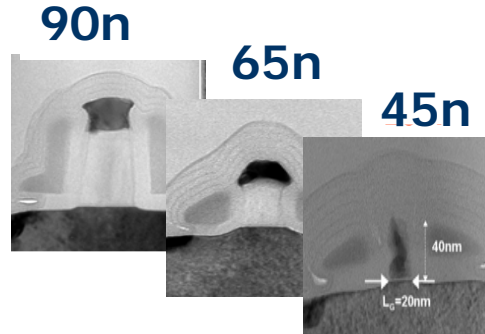
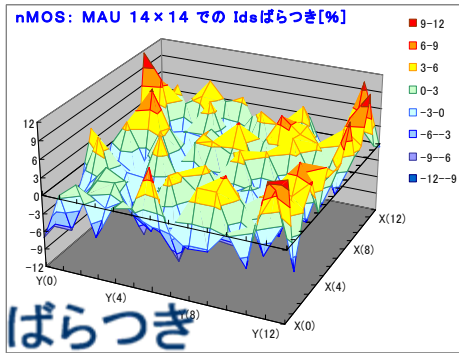


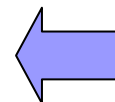
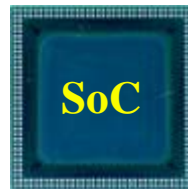
Figure. 6. First two metal layers in a microprocessor (permission of ICE Corp.).



微細化対応
大規模化対応



L = 0.1um
W = 0.4um
平均 = 203.7uA
σ = 4.4%
min = -11.4%
max = 11.4%

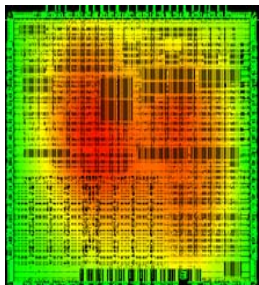


DFMに基づいた新しい
設計手法の適用

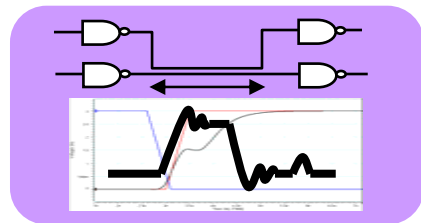
パラメトリック欠陥

従来のテスト手法では
対応できない!!

など...



低電力対応

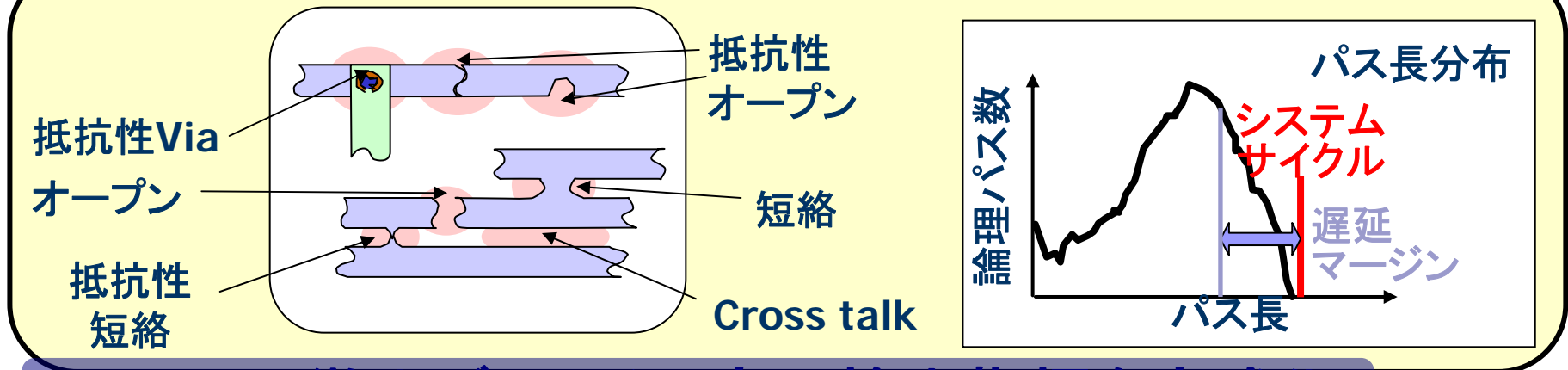


クロストーク

微小ディレイテスト・診断技術

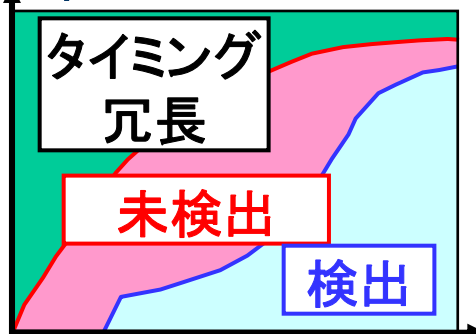
微小なディレイ欠陥起因の不良の増加

設計マージンの減少

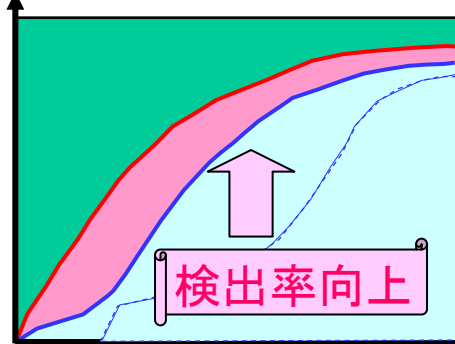


SDQM : 微小ディレイ不良の検出指標を定式化

検出率 従来



検出率 SDQM



遅延欠陥サイズ

遅延欠陥サイズ

故障診断

歩留まり向上

テスト品質向上



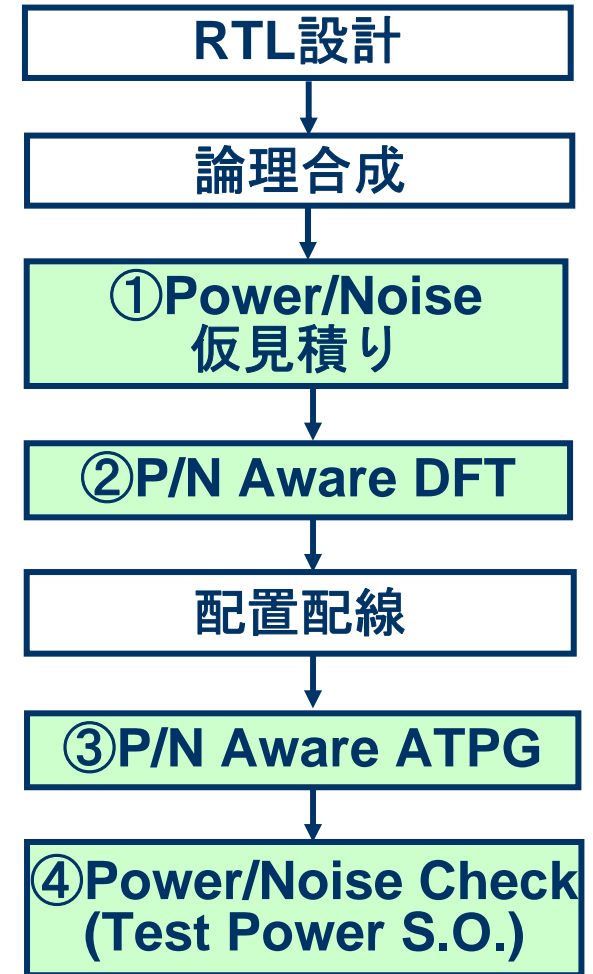
Power/Noise-Awareテスト技術

**背景: 低電力化設計技術の進展により,
テスト時の電力問題が重大化**

課題: テスト時電力・ノイズ考慮設計フロー

- ① テスト時電力・ノイズ仮見積り
- ② 電力・ノイズ考慮DFT
- ③ 電力・ノイズ考慮ATPG
- ④ テストパワー・サインオフ

効果: 量産テストでのトラブル回避

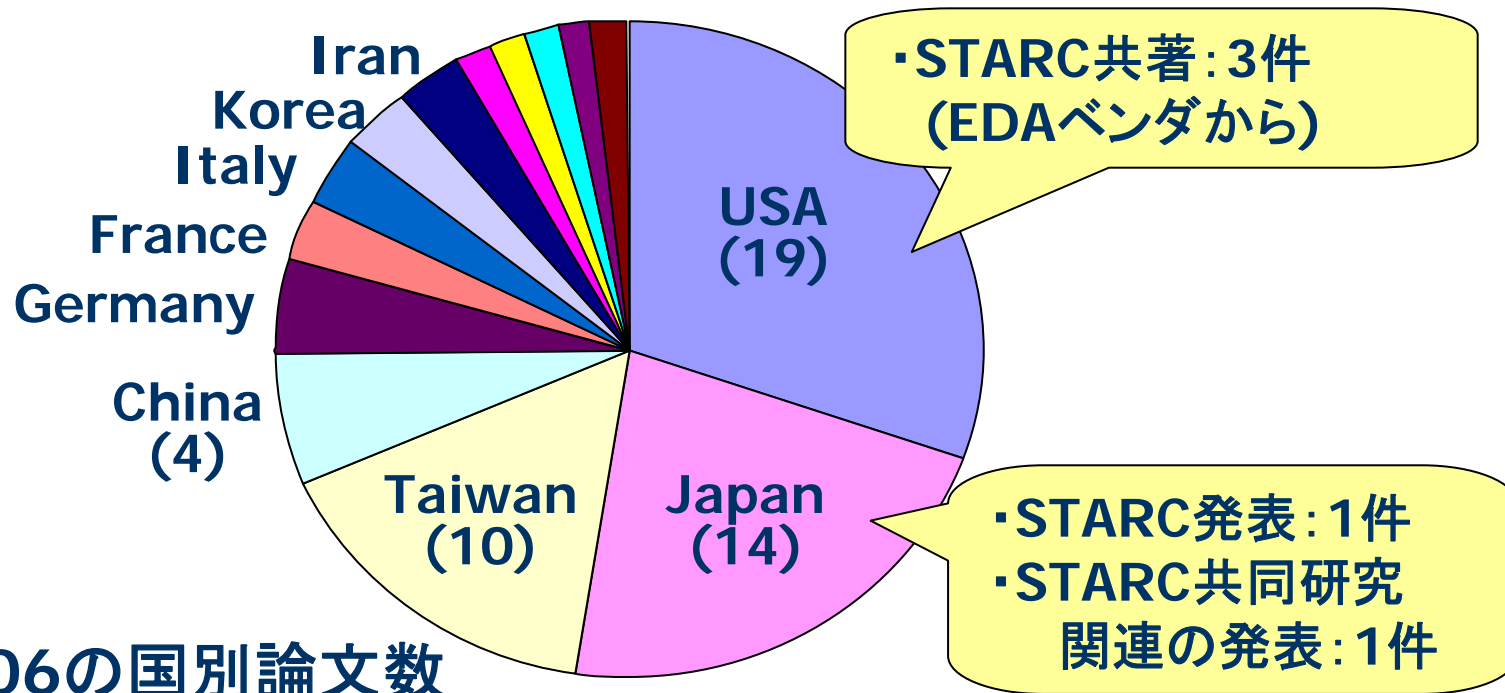


世界に挑戦するSTARCテスト技術

～主要国際会議での活発な活動('03～'07)～

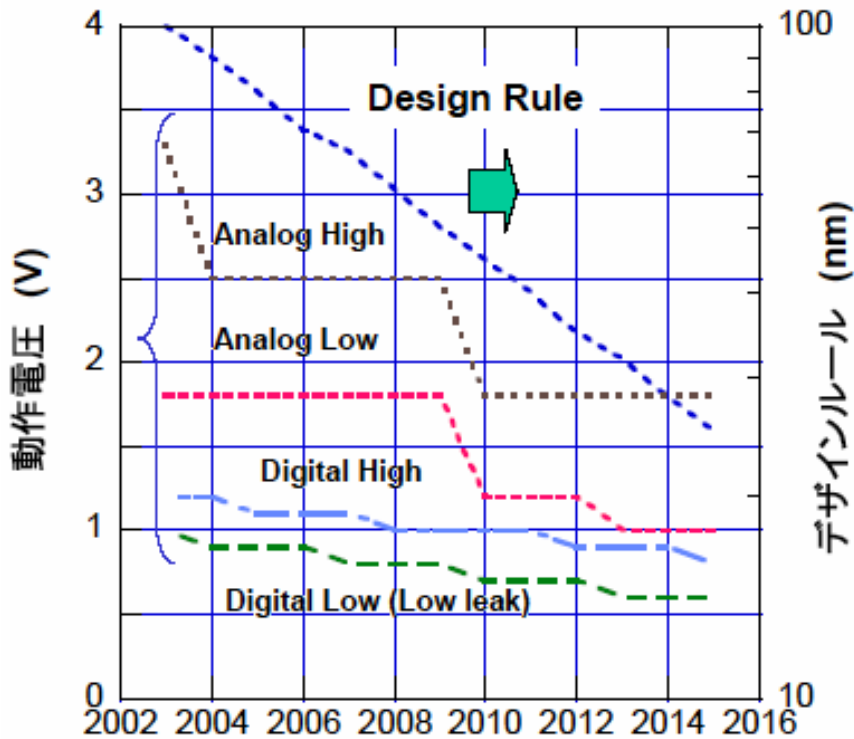
ITC, VTS, ATS, DACでの関連発表: 14件

ITC, VTS, ATS, DACでの委員としての貢献: 10件

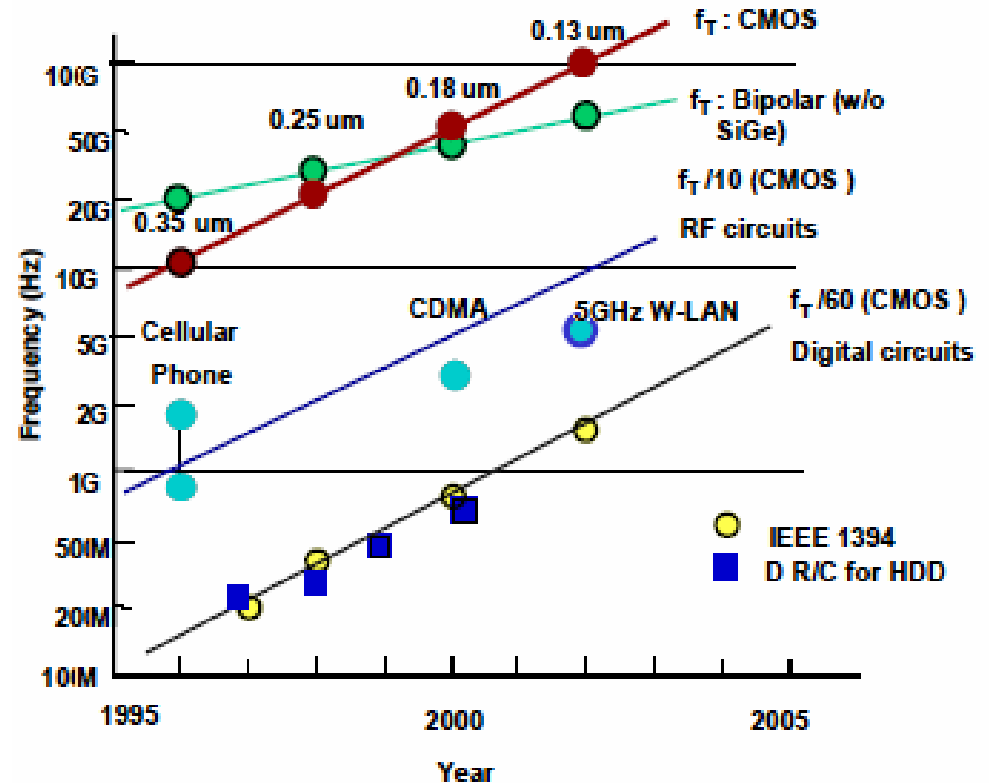


Mixed Signal 技術開発

アナログ技術予測



(ITRS 2003 より)

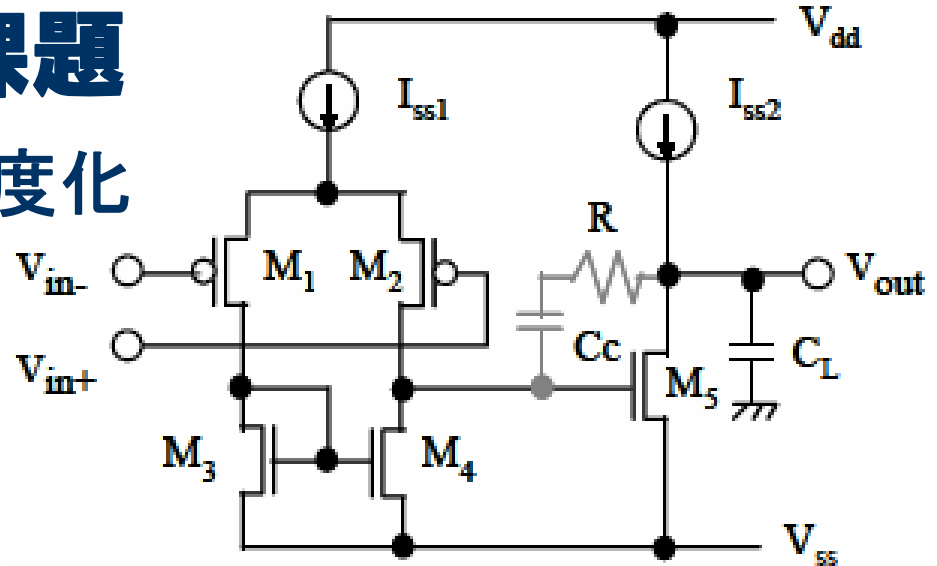


無線系通信を中心に、低電圧化・高周波動作化
 ⇒微細化対応アナログ設計技術整備が必須

アナログ設計検証の課題

1) 設計要求仕様/性能の高度化

- ① 簡単なOPアンプ回路でも多くの仕様が必要
- ② 無線通信等における高速・高精度サンプリング、高信号入力帯域、消費電力の最適化、etc.



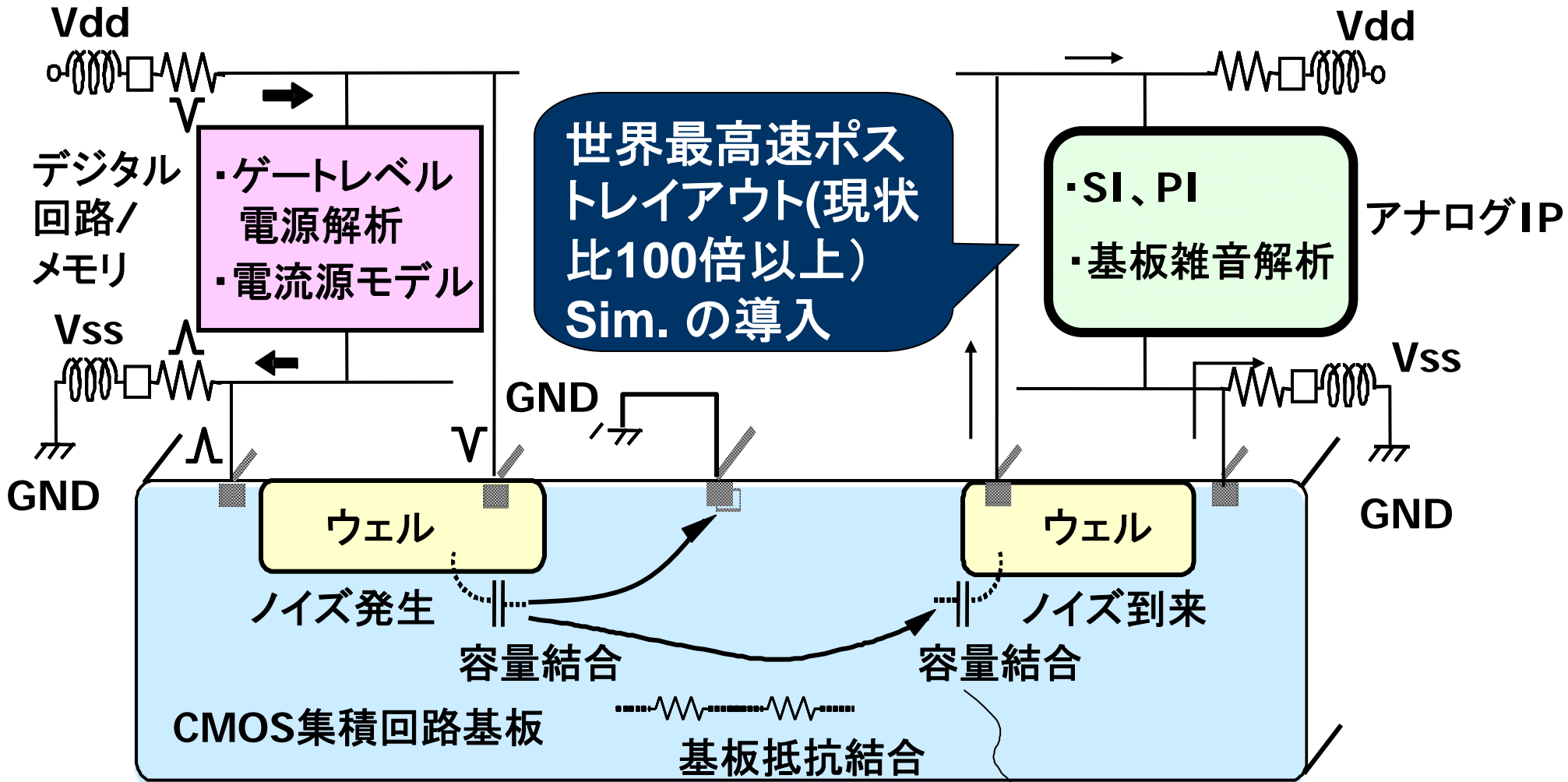
OPアンプ回路の仕様

電圧利得、入力信号レンジ、出力信号レンジ、オフセット電圧(システムティック/ランダム)、同相入力電圧除去比、電源電圧変動除去比、出力抵抗、スルーレイト、利得帯域幅積、面積、等価入力雑音電圧、最低動作電圧、消費電力etc.

2) 設計困難度の増大

- ① リーク電流の増加
- ② 素子バラツキの増大
- ③ $1/f$ ノイズの増加
- ④ デジタル規模増大に伴う電源・基板雑音の増加(Power Integrity)
- ⑤ 狭配線ピッチによる信号間干渉の増大(Signal Integrity)
- ⑥ モデリングが難しく、高速・高精度のシミュレーションが困難

電源・基板雑音解析モデル

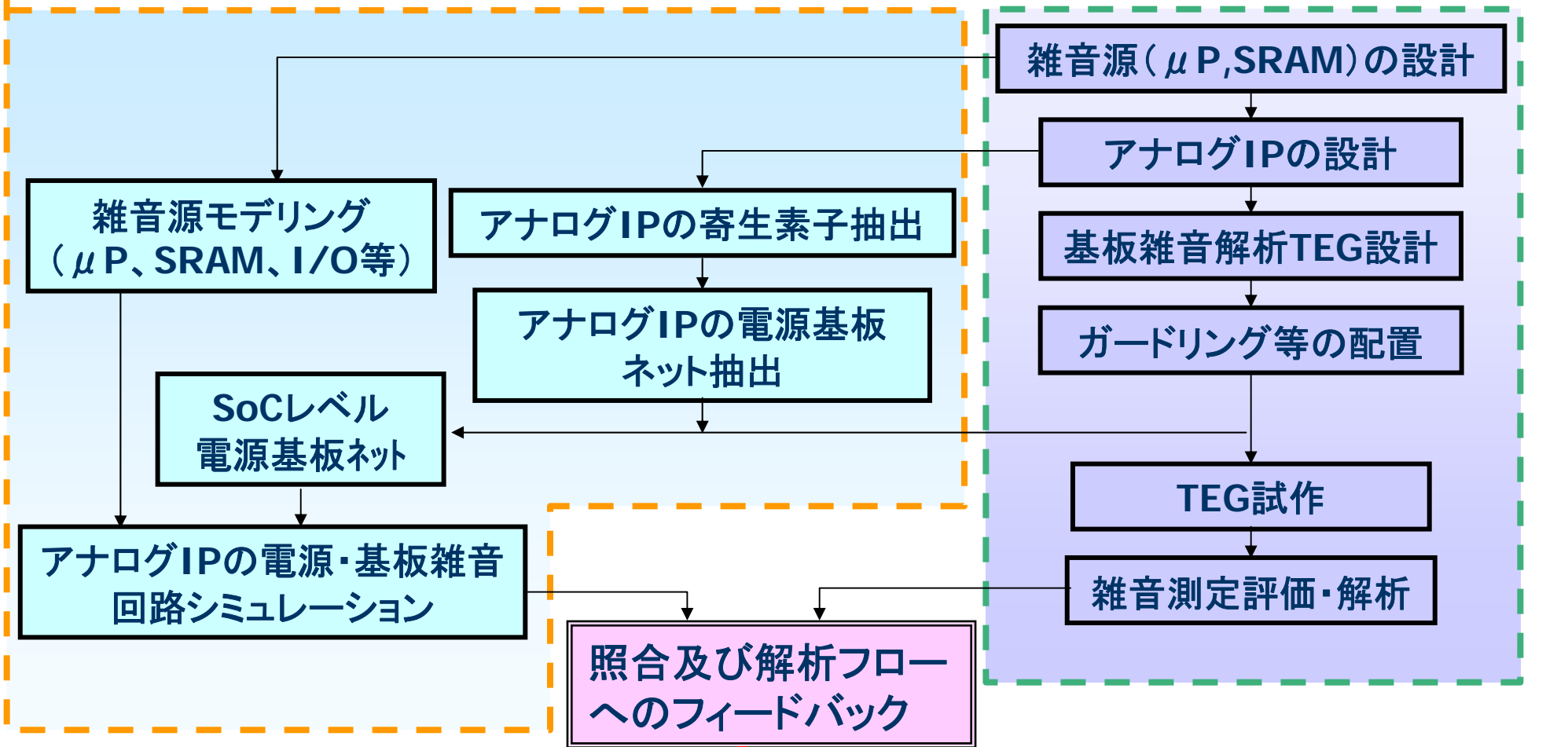


高周波ではウェル分離が不十分

電源・基板雑音解析の実現

解析フロー

TEG評価フロー



→ **【世界初のシステマティックな試み】**

まとめ

	これまでの成果	今後の計画
高位設計	TLMガイドライン開発	メソドロジ実証
	仕様ベース設計技術検討	新プロジェクト化
テスト& 故障解析	大規模LBIST技術	大規模MBIST技術
	微小ディレイテスト 高精度化技術	微小ディレイ 故障診断技術
	低電力テスト技術	メソドロジ実証
Mixid Signal	基板ノイズ考慮高精度 検証メソドロジ技術	メソドロジ実証