

STARCAD-CEL (One step ahead of DFM) が 目指すもの

株式会社半導体理工学研究センター
開発第1部長
西口 信行

本プロジェクトはNEDO技術開発機構の助成を受けて
「次世代プロセスフレンドリー設計技術開発」
として実施されています。

イノベーションで世界をめざすために

重点化
(設計メソドロジー)

プロセスフレンドリ設計

ミックスシグナル

高位設計

テスト・故障解析

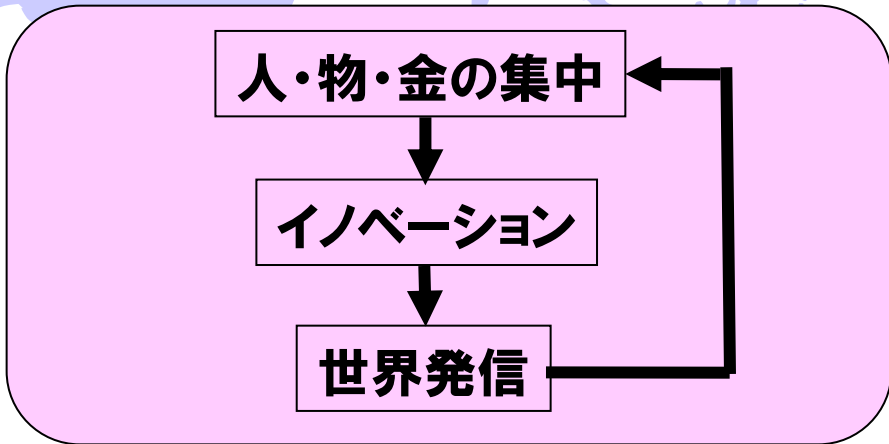
システム仕様記述



シャトルサービス
(イノベティブIP育成)

集中化
(開発拠点)

標準化
(プラットフォーム)



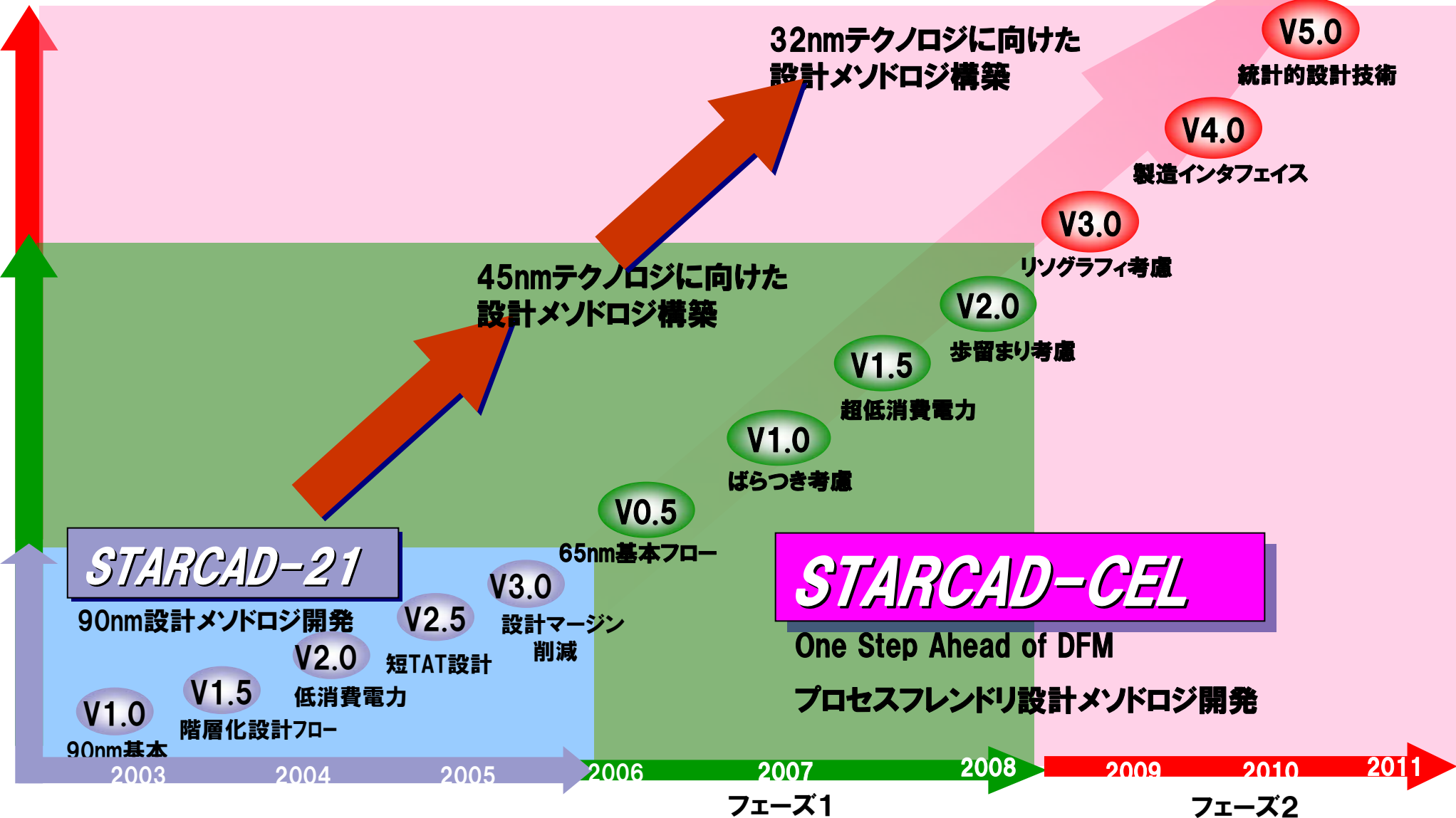
- 利点**
- 設計コスト削減
 - 設計TAT向上
- 欠点**
- 性能最適化が不十分
- 利点 >> 欠点 の時代**

STARCAD-CELの開発方針

**STARC Aid your Design
with Certified Engineering Linkage
- one step ahead of DFM →CEL**

- 最先端プロセスノードのシステムLSI設計(インプリメンテーション)において製造性を考慮した設計メソッドロジの開発
 - 界面からの最適化
 - 界面: システム設計、テスト設計、リソグラフィー、製造
 - 設計あいまいさの排除
 - 物理現象の正確な把握とその取り込み
 - コラボレーションの推進
 - DFMデータベース、設計インテンツの活用

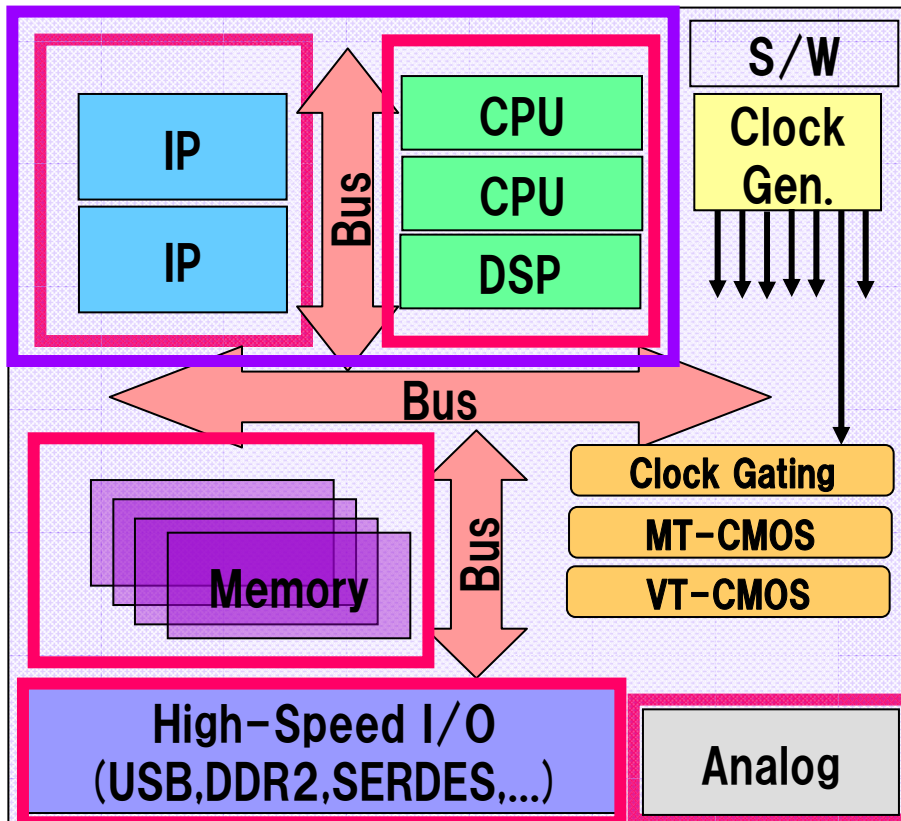
STARCAD Roadmap



ターゲットチップと必要技術

階層設計
IPベース設計
大規模ロジック
大容量・多種類
メモリ搭載

大規模設計対応
設計TAT短縮



マルチクロックドメイン
マルチパワードメイン
パワーマネージメント
(ダイナミック、スタンバイ、発熱)
電源、基板ノイズ解析
温度考慮

低消費電力対応

低消費電力

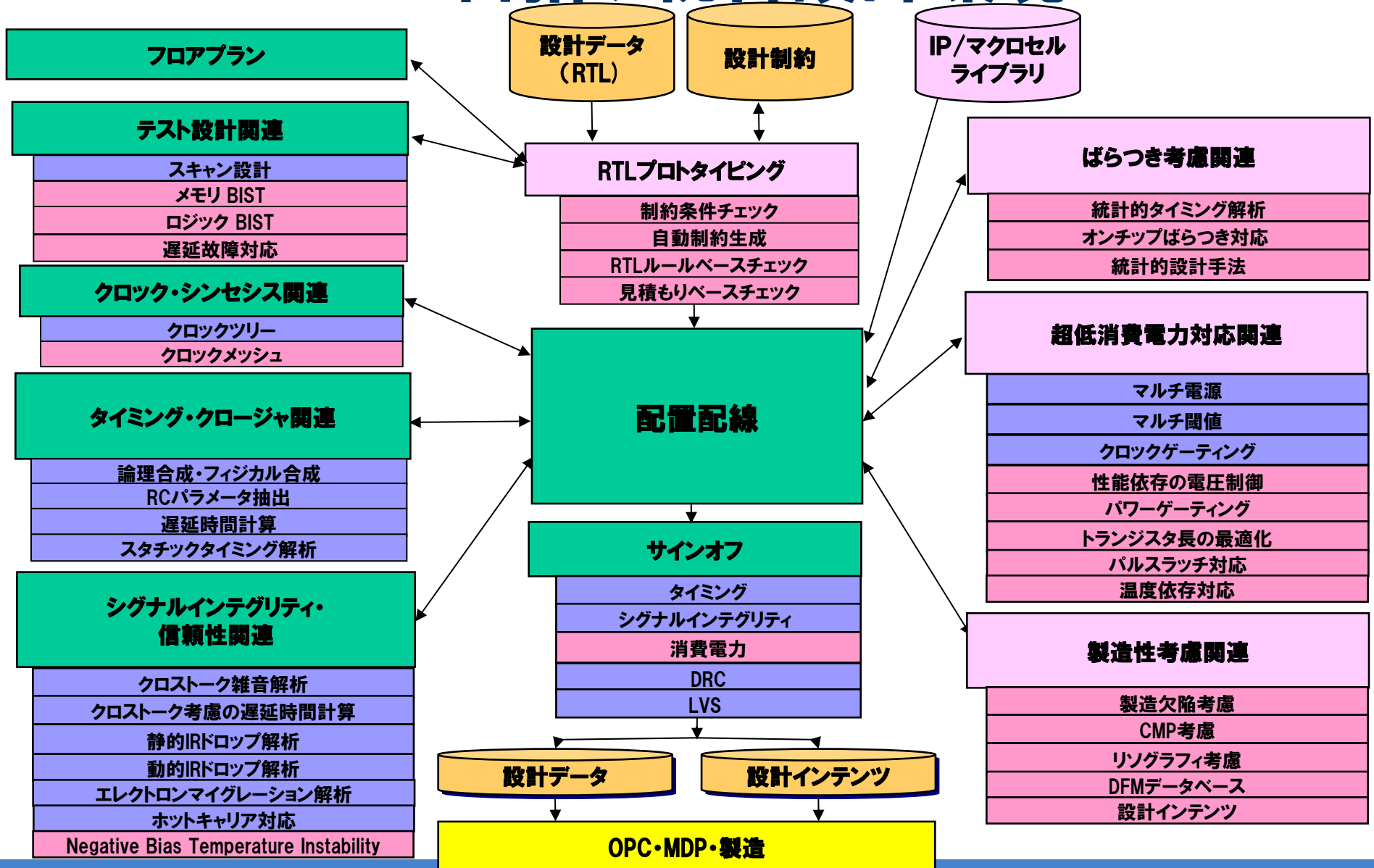
ばらつき考慮
統計的手法
製造性考慮
Litho考慮
CMP考慮
製造欠陥考慮

ばらつき考慮 DFM/DFY

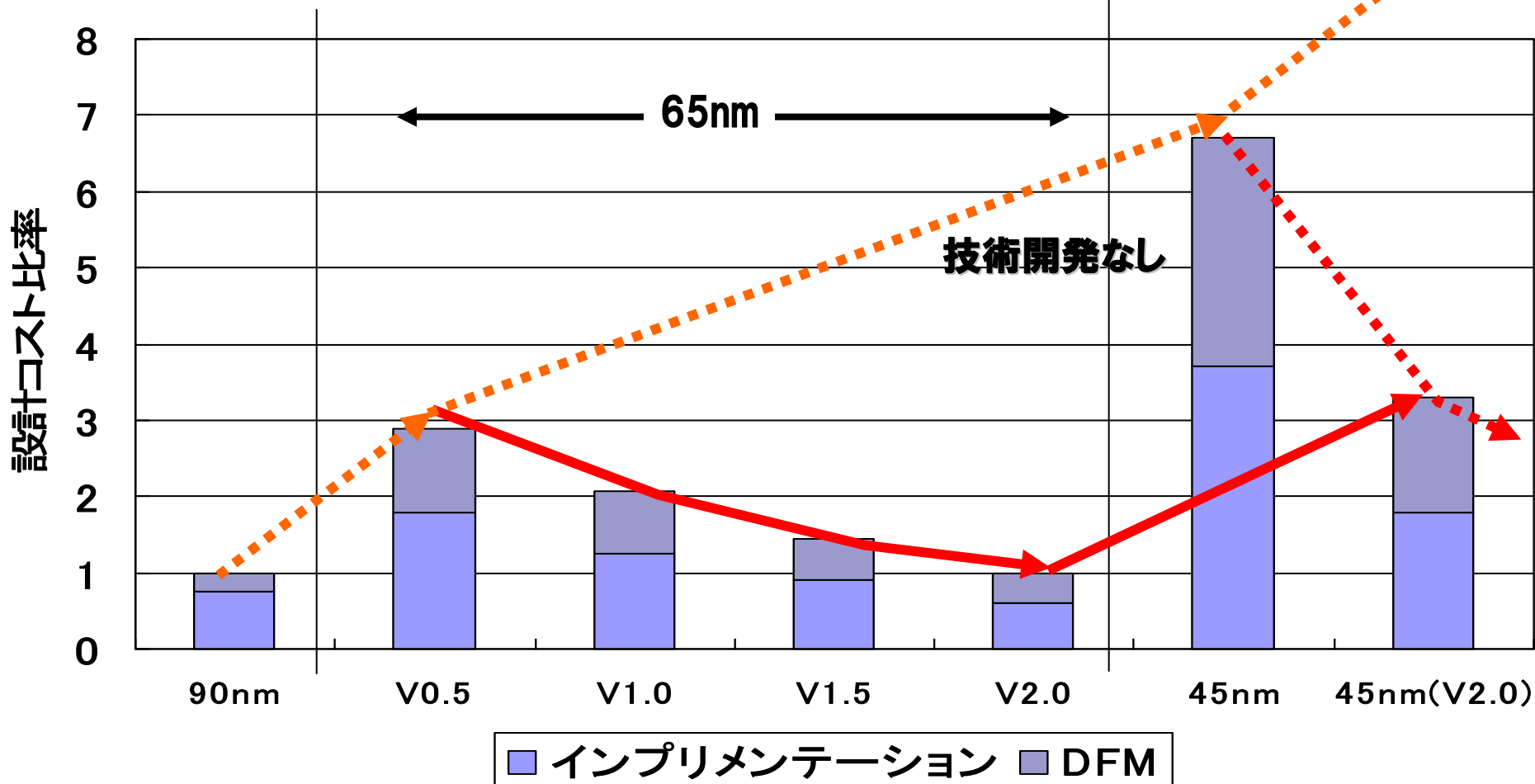
DFM対応

設計効率

STARCAD-CELの目指す統合設計環境



設計コスト(同一チップサイズ)の削減モデル



トランジスタ数: 2倍/プロセス世代
 周波数: 1.5倍/プロセス世代
 IBSのデータより推測

STARCAD-CEL V0.5(2006年度上期)の成果概要

▶ 65nmに対応した基本設計メソドロジーを開発

- 65nm対応基本設計フローの構築
- ばらつき要因・影響調査とSSTAツールの基礎評価
- Particle Yield/Litho Awareツールのフィジビリティスタディ
- DFM DB開発方針検討と設計intent仕様検討
- RTLプロトタイピングのイメージ策定

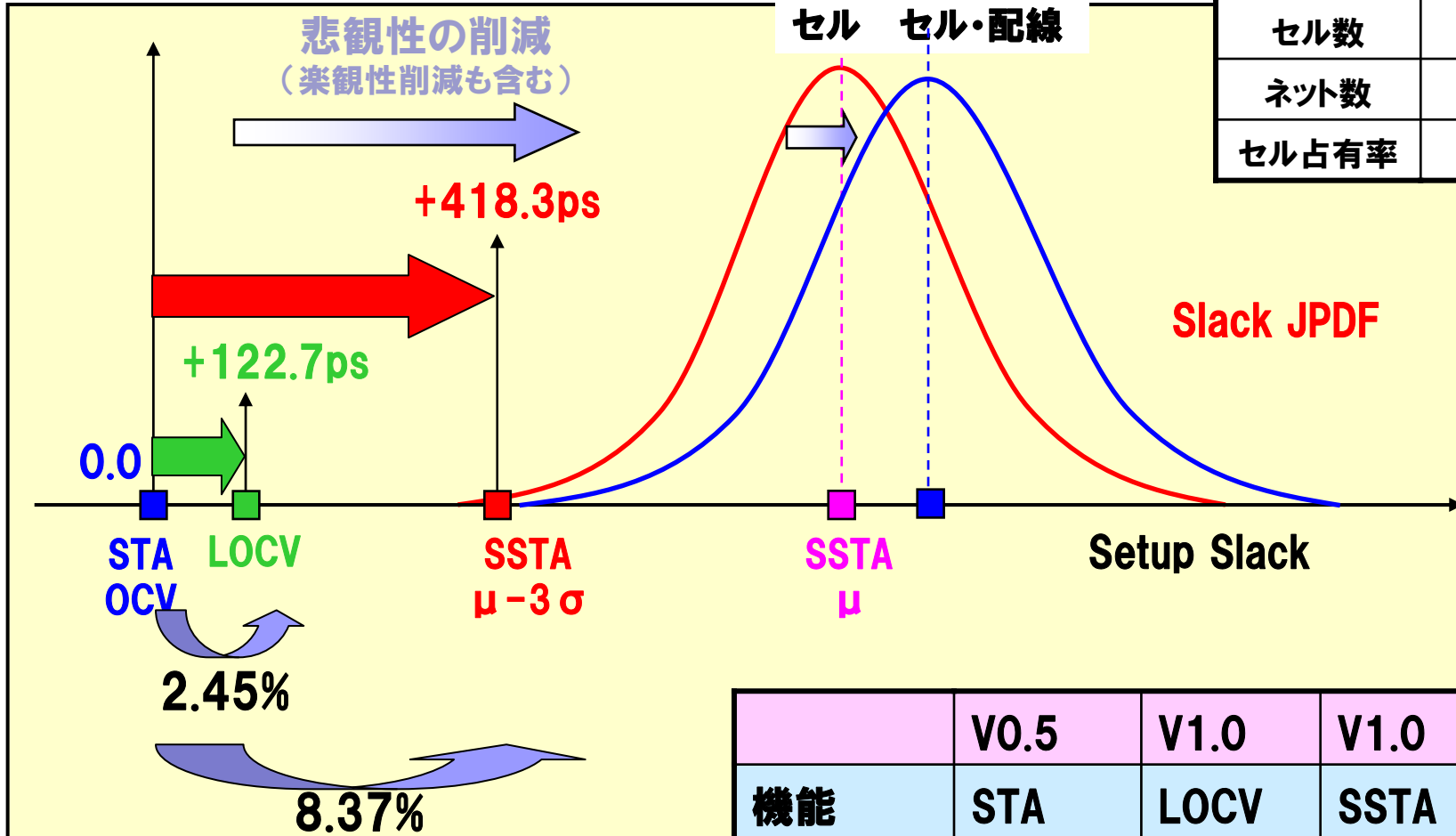
STARCAD-CEL V1.0 (2006年度下期)成果概要

▶ ばらつき考慮設計メソドロジー

- ▶ ばらつきを考慮した設計フローによる**設計マージンの削減**
 - ▶ 統計的STAツールの**効果確認**
 - ▶ ローケションベースオンチップばらつき(LOCV)考慮機能の実用化
- ▶ 製造欠陥考慮、リソ考慮、CMP考慮の**基本版フローを構築**
- ▶ 電力サインオフ**手法を確立**
- ▶ 階層サインオフフロー他の実現による設計TATの短縮
- ▶ RTLプロトタイピング**性能評価**
- ▶ 設計インテンツ活用フローの**効果測定**

統計的STAによるマージン削減効果

クロック	5.0ns (200MHz)
セル数	687kセル
ネット数	691kネット
セル占有率	56%



	V0.5	V1.0	V1.0	V1.5
機能	STA (OCV)	LOCV	SSTA (セル)	SSTA (配線)
改善目標	—	2.45%	8.37%	10.00%

TAT短縮の事例

■LOCV機能実装によるサインオフフロー搭載によるTAT改善

STARCAD-CEL V0.5 → STARCAD-CEL V1.0

マルチシナリオ非対応につき、
別ステップでサインオフ検証

設計マージン削減、
サインオフ検証ステップを削減

3.6 PHV LPE
3.9 Signoff PA
3.10 Signoff PNA
3.7 Signoff STA(MS)+IRD
3.8 Timing ECO
3.9 Signoff PA
3.10 Signoff PNA
3.11 LOCV Signoff STA+IRD
3.12 Signoff FV
3.13 Signoff NC

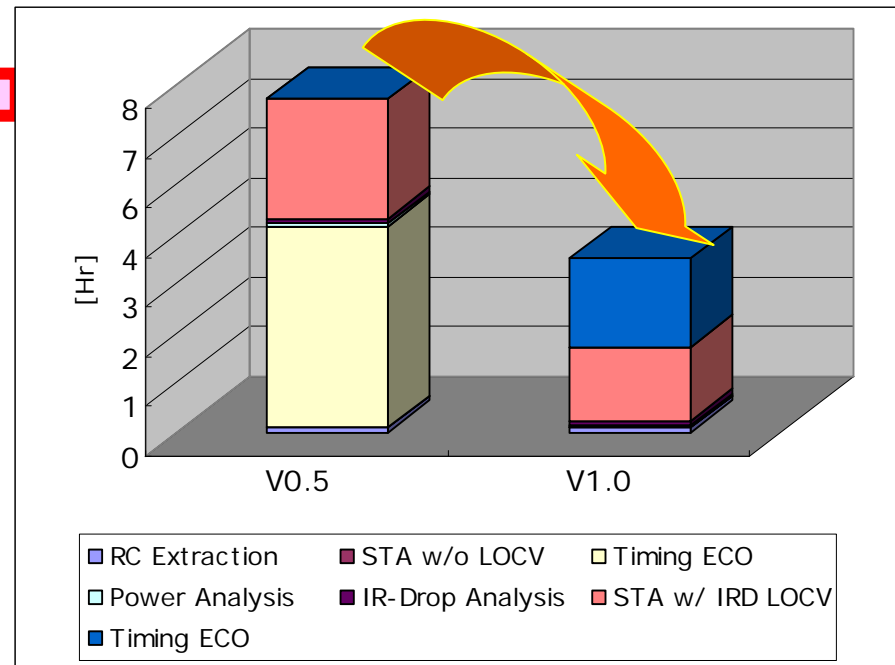
3.6 PHV LPE
3.7 Signoff PA
3.8 Signoff PNA
3.9 Signoff STA(MS)+IRD +LOCV
3.10 Timing ECO
3.11 Signoff FV
3.12 Signoff NC



設計TAT短縮

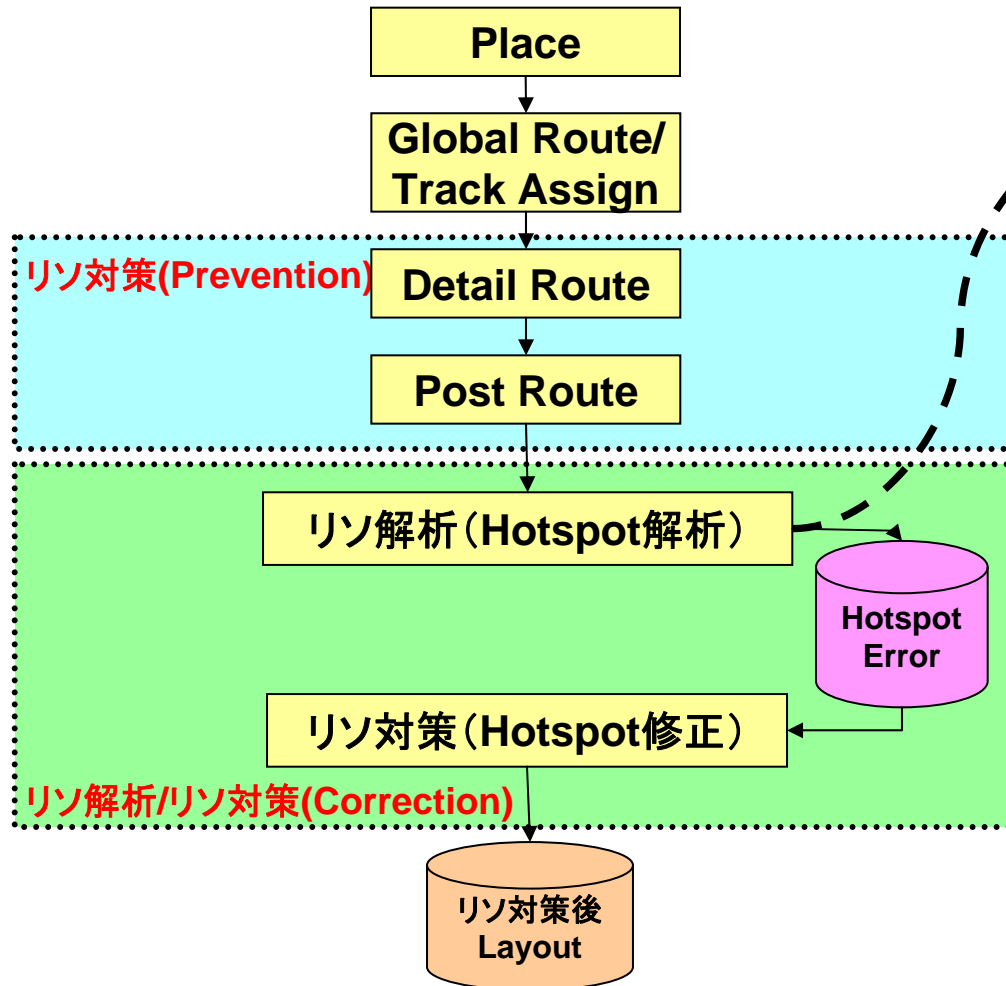
(タイミングクローズまでのTAT短縮)

52%短縮!

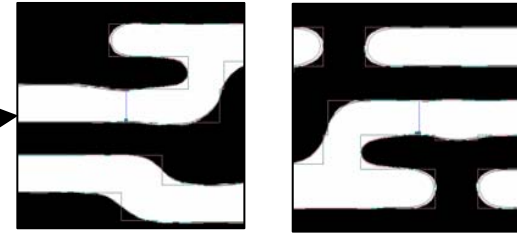


Litho考慮基本フローの確認

- Hotspot解析/修正フロー



Contour Image



修正前 Hotspot数

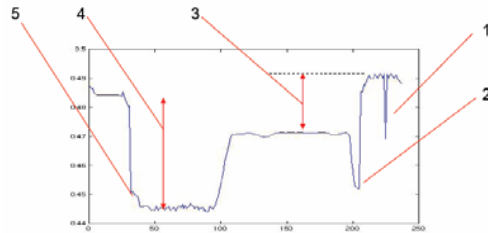
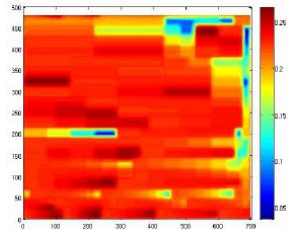
	M2	M3	M4	M5	sum
Necking	39	126	21	0	186
Bridging	136	2	0	0	138
Line end	68	11	1	0	80
sum	243	139	22	0	404

修正後 Hotspot数

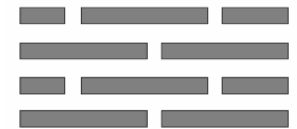
	M2	M3	M4	M5	
Necking	19	27	9	0	55
Bridging	64	0	0	0	64
Line end	36	7	0	0	43
sum	119	34	9	0	162

—60%

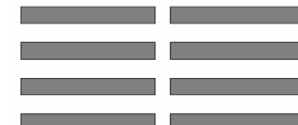
Model Base Dummy Metal Fill(Cu厚分布)



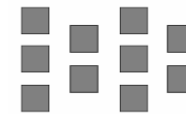
Model-based Metal Fill挿入による平坦化改善



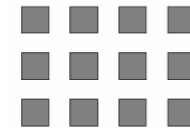
① Staggered rectangular



② Non-staggered rectangular

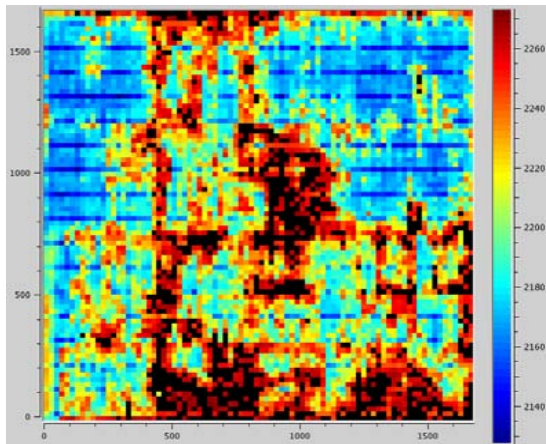


③ Staggered square

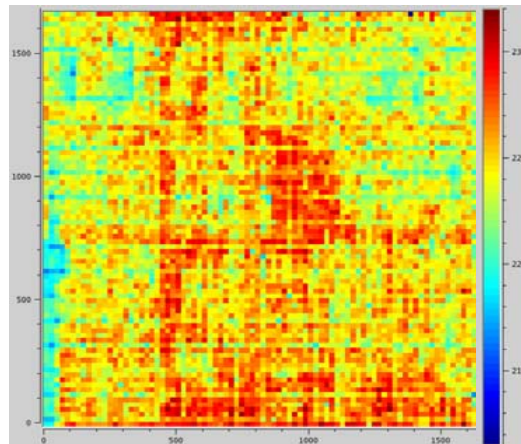


④ Non-staggered square

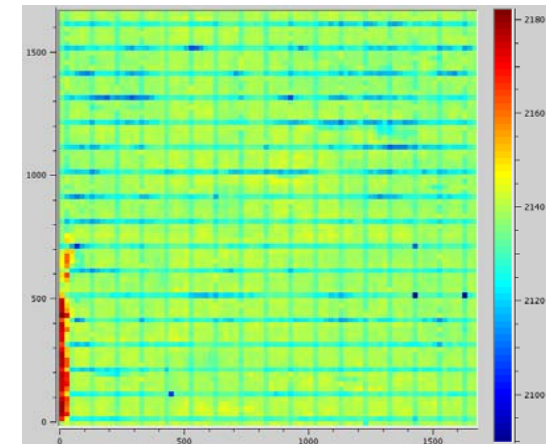
Dummy Metal 挿入例



Dummy挿入前



Rule Base Dummy挿入後

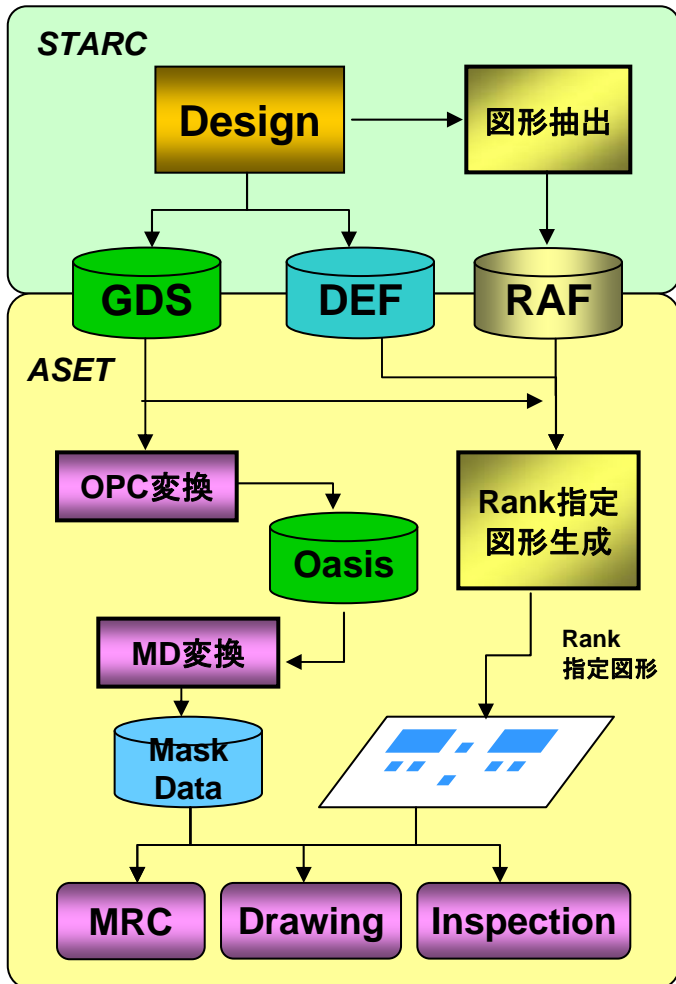


Model Base Dummy挿入後

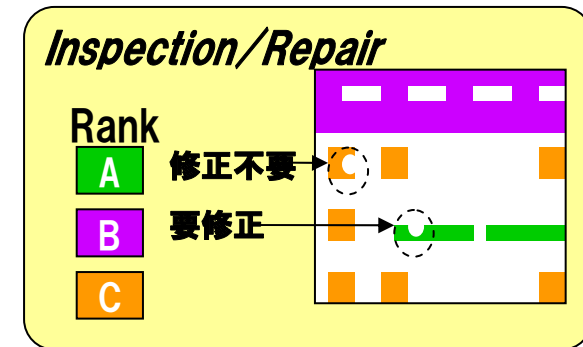
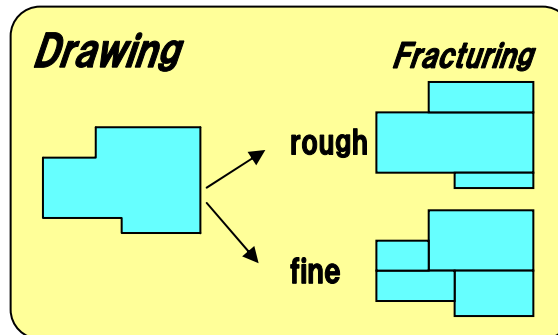
データ: 65nm, 350kgate, 1.68mm², 5層

設計インテントの活用による効果検証

設計インテント評価フロー



設計インテントのランクに応じ処理を変える



●タイミングクリティカルネットを考慮

⇒ 描画時間短縮効果:

$$\left(\frac{10985\text{sec}}{13495\text{sec}} \right) = 81\% \quad 19\%$$

	欠陥数(個)						ライブレビュー 時間
	孤立	凸	凹	アシスト	擬似	計	
全面をhp65用で検査	20	15	15	30	100	180	2時間20分
全面をhp80用で検査	15	10	10	5	10	50	30分
ランクを使用して検査	19	14	14	30	25	102	64分

検査時間短縮効果: $(64\text{分}/140\text{分} = 46\%)$ 54%

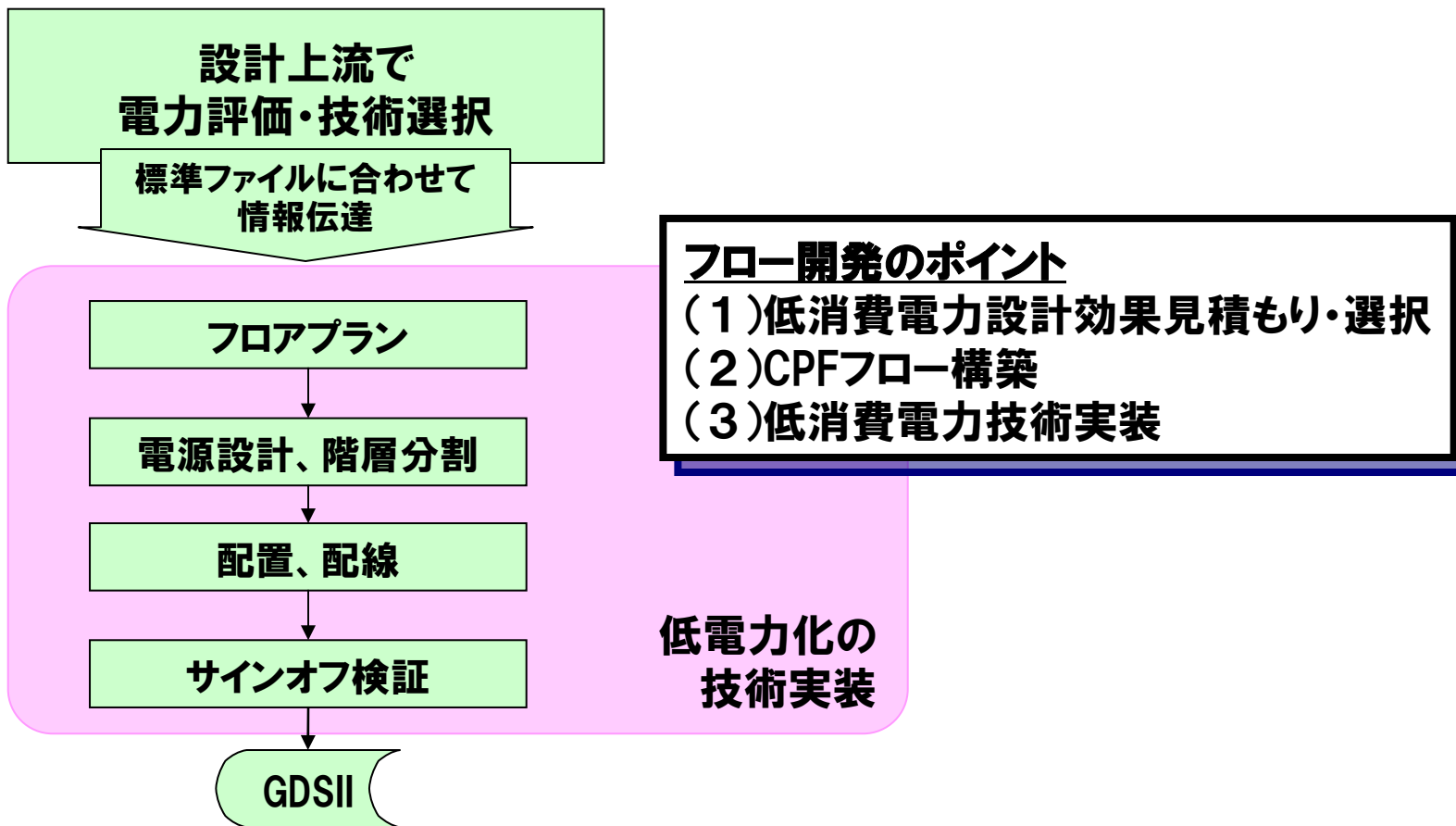
2007年度上期 (V1.5) の開発計画

▶ 超低消費電力対応設計メソッド (2007年10月5日リリース予定)

- クロックゲーティング/パワーゲーティング、トランジスタL最適化 など
を組み込んだ設計フローによる**低消費電力化**
- 階層サインオフフローによる設計効率向上
- 統計的タイミング**解析の実用化**
- RTLプロトタイピングによる**設計TAT短縮の確認**
- **製造性考慮**(製造欠陥対応、リソグラフィ対応、CMP対応)
最適化基本フローの確立
- 超低消費電力設計技術対応のライブラリ**開発手法の確立**

超低消費電力フロー構築の考え方

- ▶ 設計上流で対象回路特性に合わせた低消費電力技術を選択、インプリ・解析環境を構築。



低消費電力設計技術分類

- ▶ 技術依存で削減される電力成分が異なり、回路・信号・タイミング仕様に合わせて組み合わせることが必要

低消費電力設計技術		主に削減される電力成分			備考
		セル内部	負荷依存	リーク	
低電圧化	マルチVDD	○	○	○	実装済み
	電圧制御(DVFS等)	○	○	○	実装検討
スイッチング削減	ゲイティッドクロック	○	○	×	実装済み
リーク削減	マルチVt	×	×	○	実装済み
	VTCMOS(基板制御)	×	×	○	実装検討
	電源遮断	×	×	○	実装済み
	MTCMOS(電源遮断)	×	×	○	V1.5実装予定
	トランジスタL最適化	×	×	○	V1.5実装予定
その他	クロック(mesh等)	—	—	—	V1.5/2.0実装予定
	低振幅クロック	×	○	×	実装検討
	パルスラッチ	○	×	×	V2.0実装予定

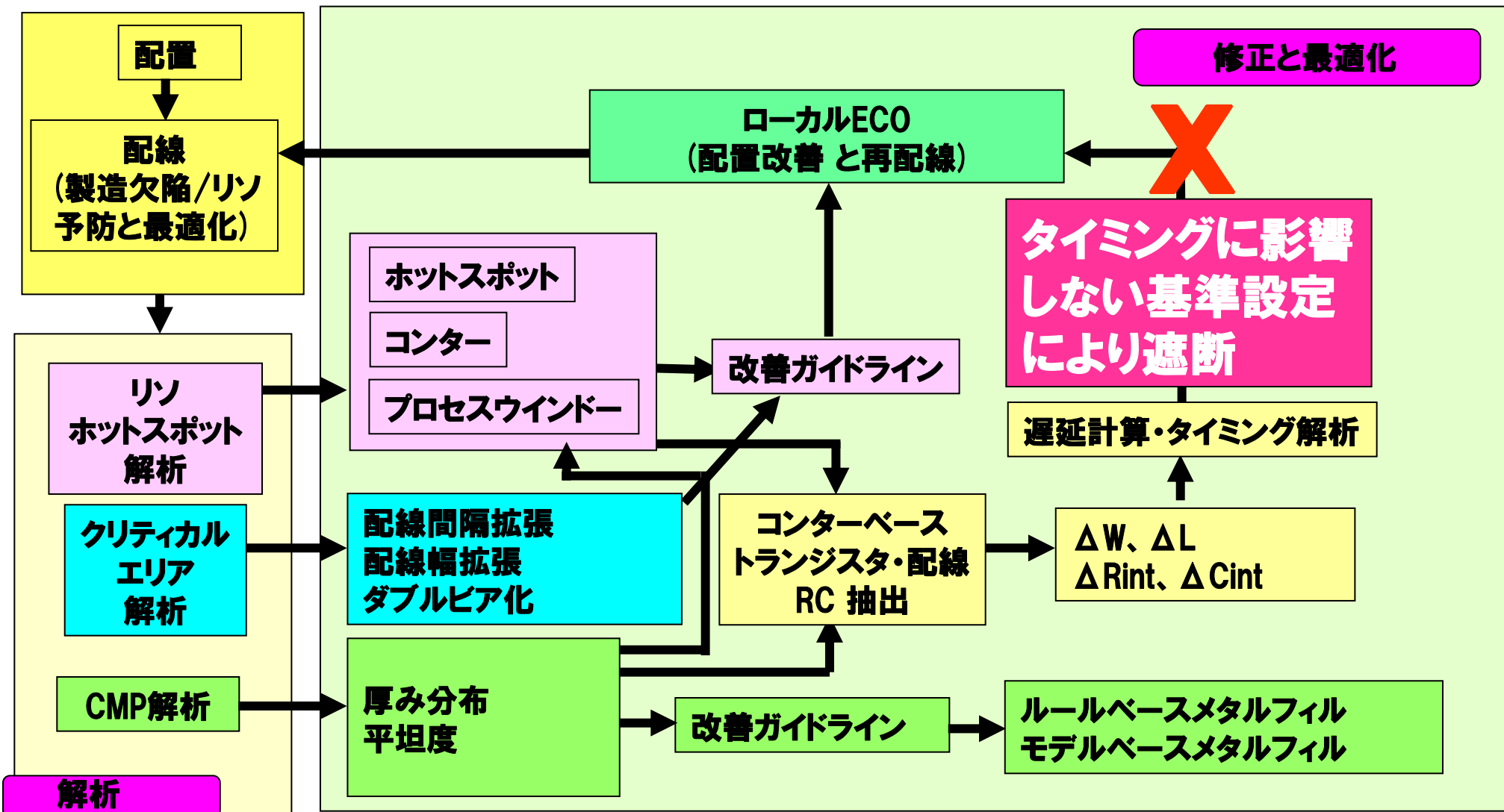
2007年度下期(V2.0)の開発計画

▶ 歩留まり考慮設計メソッド

(2008年2月15日リリース予定)

- 製造性考慮(製造欠陥対応、リソグラフィ対応、CMP対応) 最適化手法を導入した設計フローによる歩留まり向上**実用化**
- RTLプロトタイピングの**実用化**による設計TATの大幅短縮
- 統計的タイミング**最適化手法導入**による設計マージンの削減
- 低消費電力・統計的タイミング設計のサインオフ技術の**実用化**
- STARCAD-CELライブラリ仕様書、**開発・検証手順書の作成**

製造性考慮の設計手法



まとめ：プロジェクトビジョン(2008年3月)

成功のイメージ

- ▶ 65nm、45nm、32nm対応のシステムLSIインプリメンテーションにおいて製造性を考慮した設計メソッド開発が世界最先端の技術集団として行われている。
- ▶ その成果物は、クライアントカンパニーに実SOC設計に幅広く使われている。
- ▶ 半導体設計・製造業界、EDA業界、IPベンダに広くその活動がワールドワイドで認知されている。
- ▶ 開発されている設計メソッドはデファクトスタンダードである。