

VDEC利用者から見た
スターシャトル
~大学向けデジタルLSI設計フロー~

京都大学情報学研究科
小林和淑

発表概要

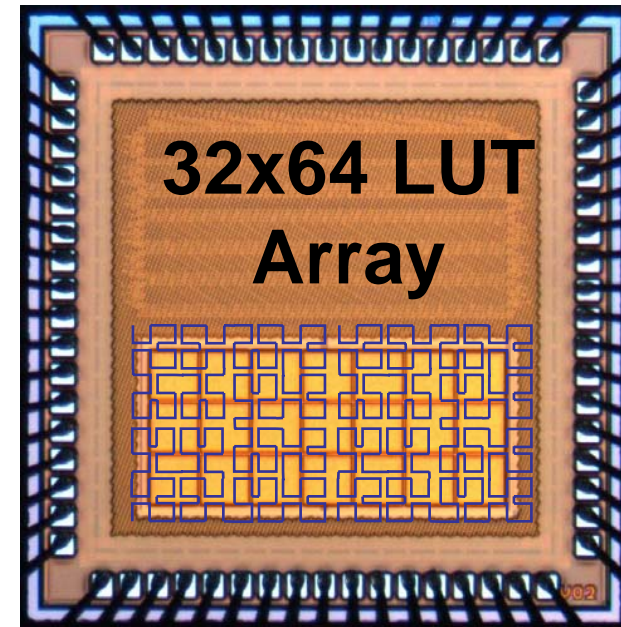
- VDEC利用者向けに, デジタル設計フローを提供
 - (ノウハウだけで, 技術的な新規性なし)
- 発表内容
 - シヤトル利用の経緯と試作LSI
 - 大学向けデジタルLSI設計フロー
 - ライブラリと各種スクリプト
 - makeでできるLSI

シヤトル利用の経緯

- 「ばらつきを利用した回路の最適化」
 - STARC共同研究に提案(2004)
 - 2005年よりSTARCとの共同研究
- 「微細プロセスにおけるチップ内の特性変化を積極的に利用するASIC向け再構成デバイス」
 - 申請とほぼ同時に90nm第1回試作(2004/09)

2004年9月試作

- LUT (Lookup Table)をフラクタル状に並べ, ばらつきを測定
 - スタンダードセルベースで設計
 - 論理設計:
 - 手設計ネットリスト+論理合成
 - レイアウト設計:
 - 自動(手動)配置配線(利用セルを限定), 手修正



試作LSIチップ写真

チップした半分にLUTが
アレイ状に配置されてい
る

第1回目試作時の問題点

- 従来のVDECの試作との相違

- ルール多数. レイヤ多数.

- 微細プロセス特有のルール

- Density

- 最大線幅

- どうやって電源線を引くか

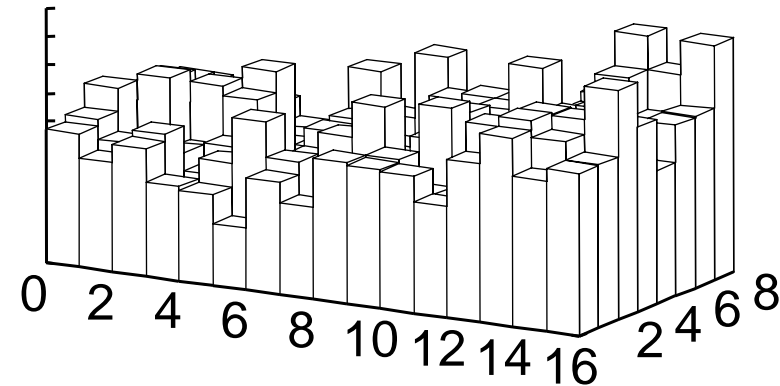
- ノウハウがないので, 試行錯誤

- LVt, HVtセル

- TATが長い

- DRCを満たしていると思って, 設計を進めていく. 最後に, ERC, Densityなどでエラーが出て, 大幅な後戻り

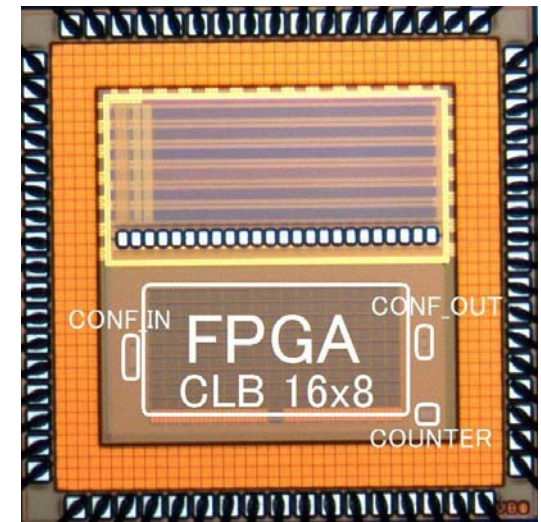
チップ内ばらつき測定結果



とりあえず完動

第2回目(2005年5月)

- 完全なFPGAを試作。
 - 手設計したセルも一部利用
- テクノロジーファイル自動生成
 - レイヤ定義をテンプレート化して, 各種テクノロジーファイルを半自動生成.
- **テスト回路による設計手法確立**
 - TATの短縮化
 - **makeコマンドでRTLからDRCまで**
- 1回目からの大きな変更点
 - 双方向バッファを改造した入力, 出力専用のIOバッファ
 - 全スタセルを利用可能に



試作LSIチップ写真

チップした半分に16x8のFPGAが載っている。

大学向けデジタルLSI設計フロー

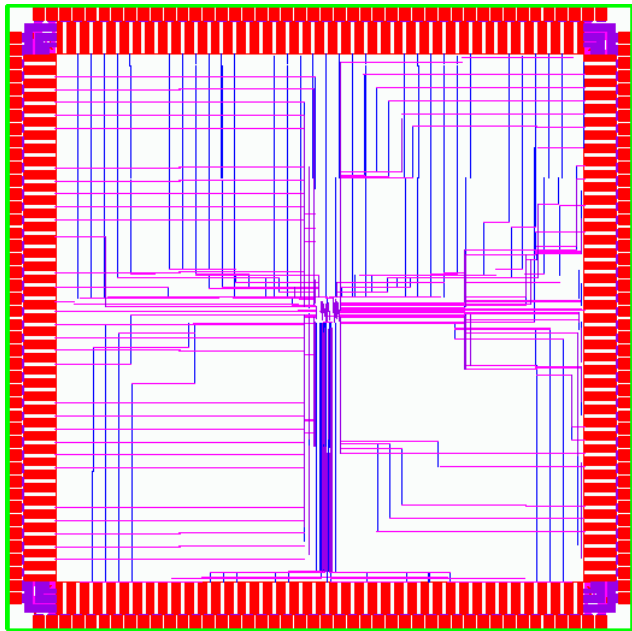
- きっかけ
 - TAT短縮のためのテスト回路, 各種Techファイルの公開要望
- 目的
 - デジタルLSI試作者に, エラーのない提出可能な設計データを提供する.
 - エラーを回避するためのノウハウを各種スクリプトで提供
- 提供するもの
 - **makefile**
 - 合成用ライブラリ(STARC提供+片方向IO用)
 - 配置配線用ライブラリ(STARC提供のテクノロジーファイルをカスタマイズ, リーフセル, IO, フレーム)
 - 各種テクノロジーファイル(Virtuoso, Astro)
 - 各種スクリプト(Design Compiler, Astro, Calibre)

makeで出来ること/出来ないこと

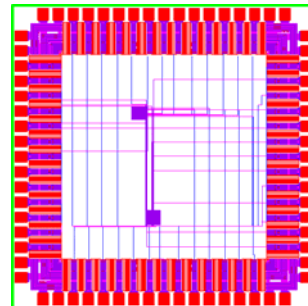
- 2.5mm角, 5mm角の提出可能なレイアウトデータ
 - 例題回路: 乗算器, メモリマクロ, (PLL+乗算器)
 - RTL合成->配置配線->DRC, LVS
 - 配置配線: クロックツリー合成, ファンアウト改善, リピータ挿入.ダミーメタル生成
 - エラー0の設計データ! (06/4提出LSIで実現)
- 本フローをそのまま使っても, competitiveなLSIはできない.
 - RTL to GDSIIを単に自動でやっているだけ
 - あくまで, エラーのないデータの例

提供フローによるレイアウト例

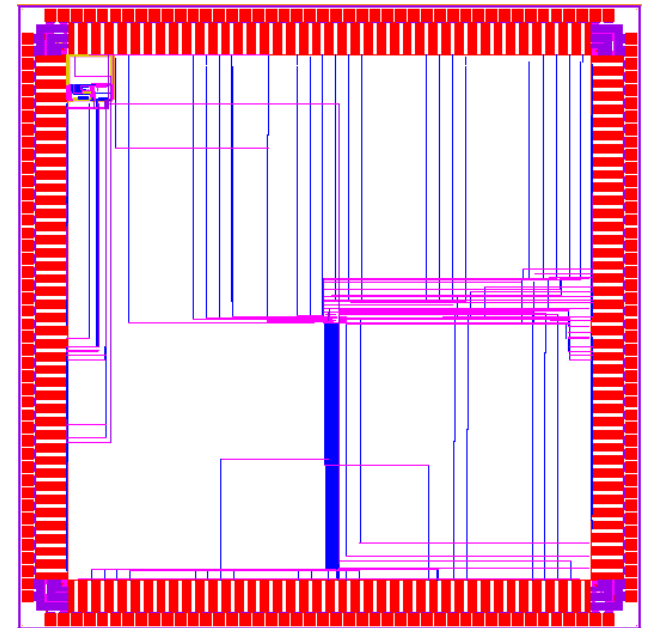
- スタANDARDセル, メモリマクロ, (PLL)を混載したデジタルLSI



スタセルのみ(5mm角)



メモリマクロ
のみ
(2.5mm角)



スタセル+PLL(5mm角)

STARCC/ファブ/CADベンダなどへの 要望

- ルールファイルのみならず，提出可能なレイアウトデータ例がほしい
 - 大学にはノウハウがない
 - デザインルールの意図・修正方法が見えにくい.
- CADがうまく動かない/DRCエラーが起こる
 - バージョンを変えると同じことしても異なる結果が.
 - 自己解決するしかない(NDAとのからみ.)
 - 例: Fillerセルが削除出来ない..
LVt, HVtのセルの混載がうまくできない.

まとめ

- スターシャトルを利用してスタンダードセルベースの2種類のLSIを試作
 - ばらつき測定のためのLUTアレイ
 - ばらつき測定機構を持つFPGA
- 設計フロー開発のためのテスト回路をVDEC利用者(ほぼ初心者の学生)向けに公開
 - make一発で提出可能なデータ