

スターシャトルにおける VDEC－STARCコラボレーション ――VDECから見たスターシャトル――

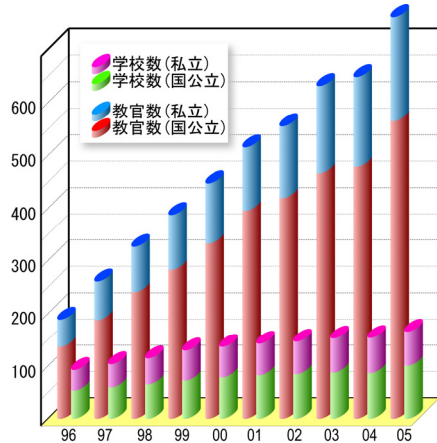
東京大学
大規模集積システム設計教育研究センター
(VDEC)
池田 誠

内容

- VDEC10周年:これまでの歩みと90nm
- スターシャトルとVDEC－STARCコラボレーション
- 今後の展望

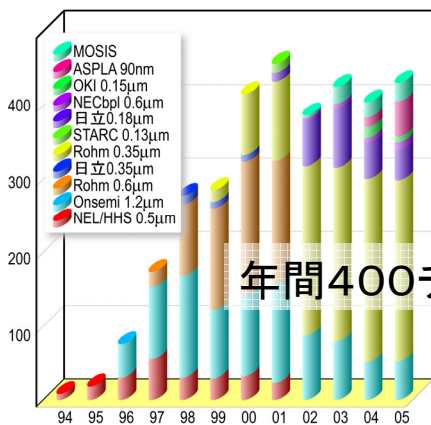
VDEC10周年

- 1996年5月10日、東京大学に全国共同利用施設として設立



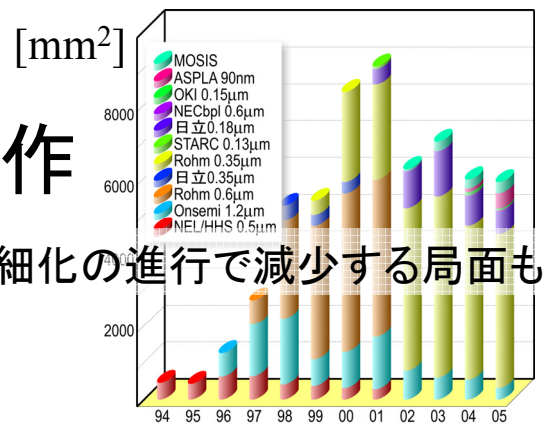
- 150大学、700を超える研究室の利用
- 利用形態:
 - チップ試作
 - CAD利用
 - 装置利用

VDEC利用教官(研究室)数、大学数



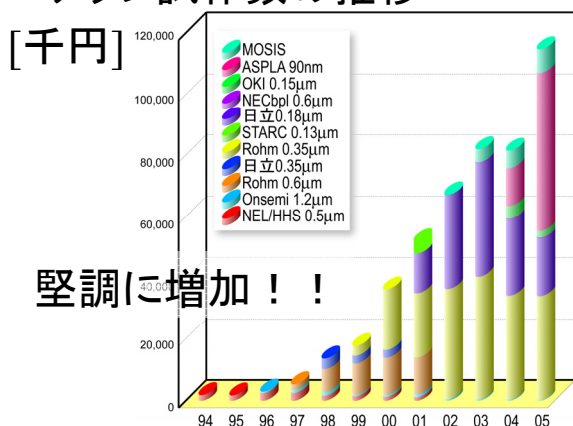
年間400チップ程度

チップ試作数の推移



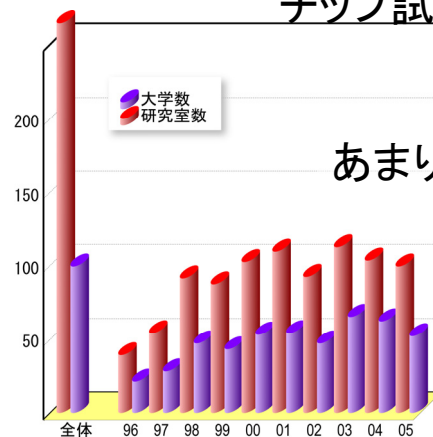
微細化の進行で減少する局面も

チップ試作面積の推移



堅調に増加！！

チップ試作費用の推移



あまり変動なし

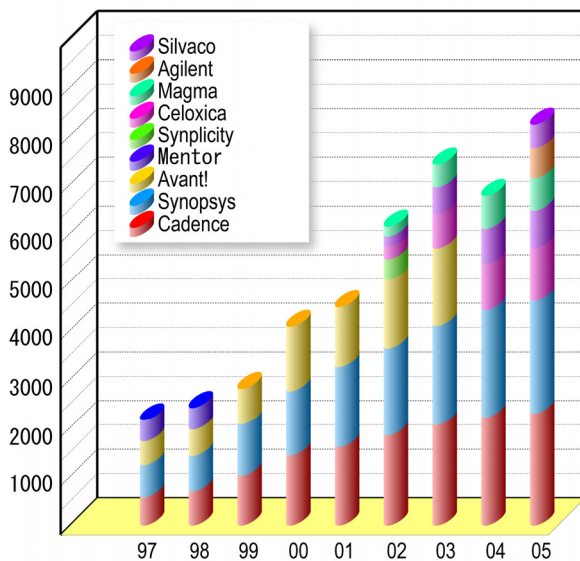
試作研究室・大学の推移



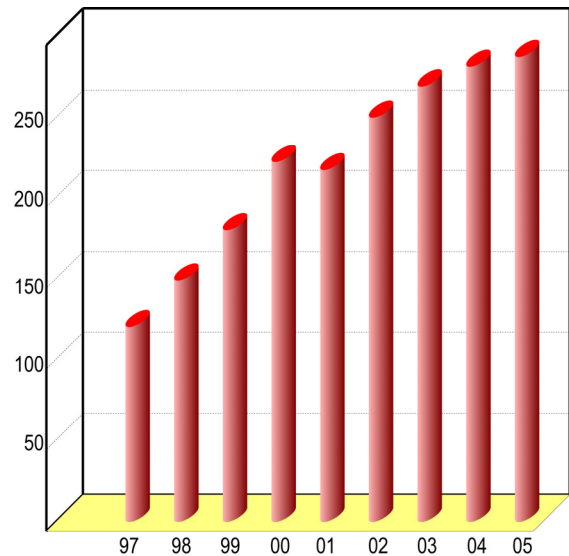
VDEC 試作技術

- 1994 NEL/Hitachi Hokkai 0.5um CMOS
- 1996 Motorola/On-Semi 1.2um CMOS
- 1997 - 2001 Rohm 0.6um CMOS
- 1998 Hitachi 0.35um CMOS
- 1999-2007 Rohm 0.35um CMOS
- 2001 Hitachi 0.18um CMOS
- 面積買 {
 - 2002 NEC 0.6um BiPolar
 - 2002 IBM SiGe 0.5um BiCMOS
 - 2002 TSMC 0.25/0.18um CMOS
- ファウンドリ方式によるチップ買 {
 - 2004 ASPLA 90nm CMOS
 - 2004 OKI SOI 0.15um CMOS
- 2005 Rohm 0.18um CMOS

CADツールの提供



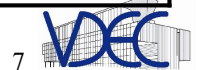
申請ライセンス数
(～ツールあたり利用者数)



利用研究室数

90nmスターシャトル利用実績

シャトル	品種数				5mm角区 画数
	2.5□	5x2.5	5□	合計	
2004年10月	8	0	1	9	3
2005年1月	3	0	0	3	1
2005年5月	0	0	1	1	1
2005年6月	8	0	0	8	2
2005年6月	8	2	0	10	3
2005年11月	9	1	2	12	4.5
2005年11月	4	1	1	6	2.5
2006年2月	6	2	0	8	2.5
2006年2月	0	1	0	1	0.5
2006年5月	5	1	1	7	3
2006年5月	0	0	1	1	1
合計	51	8	7	66	24



90nm試作へ：スターシャトル

2004年10月シャトルから開始：

当初から多数の試作

——>90nm試作に対する期待の高さ



VDEC-STARCコラボレーション

- 応募スキーム：
 - 2005年6月シャトル：2005年2月募集：
13件応募、10件採択
 - 2005年11月シャトル：2005年8月募集
9件応募、7件採択
 - 2006年8月シャトル：2006年3月募集：
12件応募、11件採択

目的：最先端CMOS90nm技術を利用した先端的
研究・教育を推進し、わが国のVLSI設計技術の
高度化を推進するとともに半導体産業の発展に
資する



9



90nm応募スキーム

- チップ試作完了後：試作完了後一定期間
後に報告会を開催：STARC開発第3部支
援5社と開催（初回2006年1月）：非公開
 - 支援社に対して応募スキームの結果の概要
をいち早く紹介することで、支援社の希望者との
新たな産学連携への発展への期待
 - 応募スキームを通じた設計ノウハウの蓄積：
動作不良チップに対しては追加での不良解析
報告
 - 次回以降は発表後の交流会を充実させる



10

90nmシャトルのオープン化

- 試作開始当初は試作情報を一般公開しない形でのClosedな試作
- 2005年11月シャトルより、試作情報をVDECのWEBに掲載し、他の試作同様にWEBでの試作申し込みの形態に移行:Open化
- 試作完成後3ヶ月以内にSTARARC開発第3部支援5社への試作報告書の提出を試作の条件とする

90nm試作を通してVDECが得るもの

- 世界的に大学でアクセス可能な最先端な試作技術への安価での試作機会
- 応募スキームを通しての、アイデアレベルの内容の試作・実証機会
- (期待)応募スキーム報告会、OpenRUN報告書への産業界からのフィードバック、特に新たな産学連携による資金援助

VDEC-STARCコラボを通して STARCが得るもの

- STARCの推進する産学連携プログラムの一層の活性化:90nmプロセスへの容易なアクセス:実際複数のSTARCプロジェクトでのチップ試作の実施。STARCプロジェクトでの90nmプロセス情報への容易なアクセス:複数プロジェクトで、試作まで至らない設計、シミュレーション情報を活用
- (期待)VDEC利用者の利用経験に基づくフィードバック
- (期待)大学からの「普通ではない」設計データへの対応を経たより柔軟なプラットフォーム:ひいてはビジネスチャンスの拡大(TSMC的モデル)

今後の展望

- 90nmシヤトルの長期的な維持・継続を！！
- 90nmシヤトルを利用したチップを前面に出した国際会議発表、論文の一層の増加による日本の大学の国際会議での発表数・質の一層の向上！！