

SoC設計とSoCテストの統合化により
QCDS向上を目指す！！

テスト環境の標準化とそのインパクト

横河電機株式会社 ATE事業部
久保 典夫

—内容—

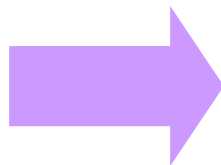
- SoC開発のQCDS*向上への新たな役割分担と
その新たなテストインフラストラクチュア
- 3年後のSoCテストの世界
- オープンコラボレーションの推進
 - STIL-Collaboration-Partnerコンソーシアム設立

* QCDS: Q; Quality C; Cost D; Delivery S; Service

SoCテスト戦略の変革



パソコン



デジタル家電・携帯製品

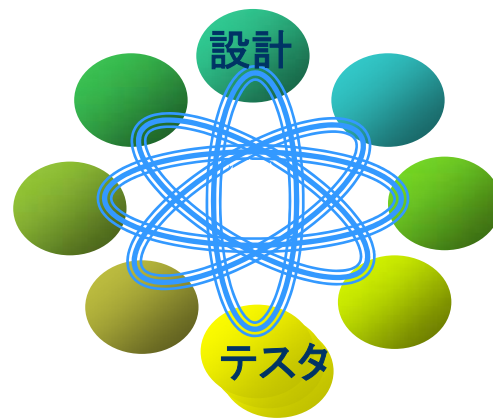
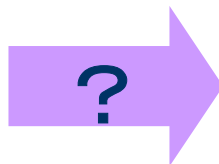


規格品・大量生産

多品種・変量生産

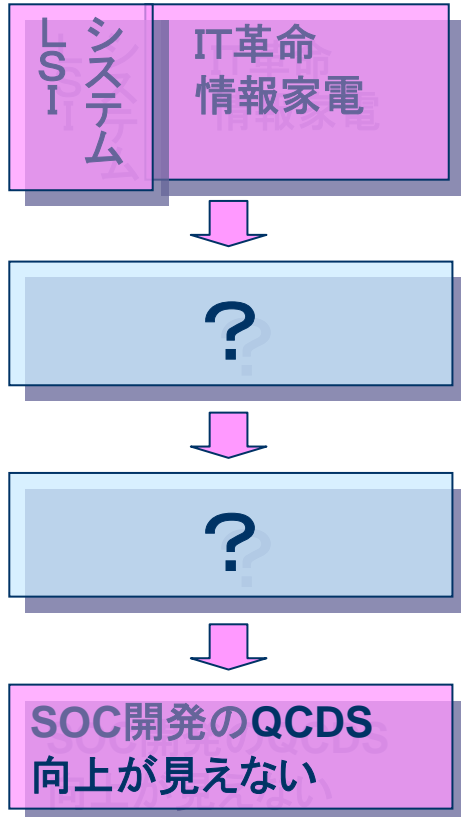


テスト

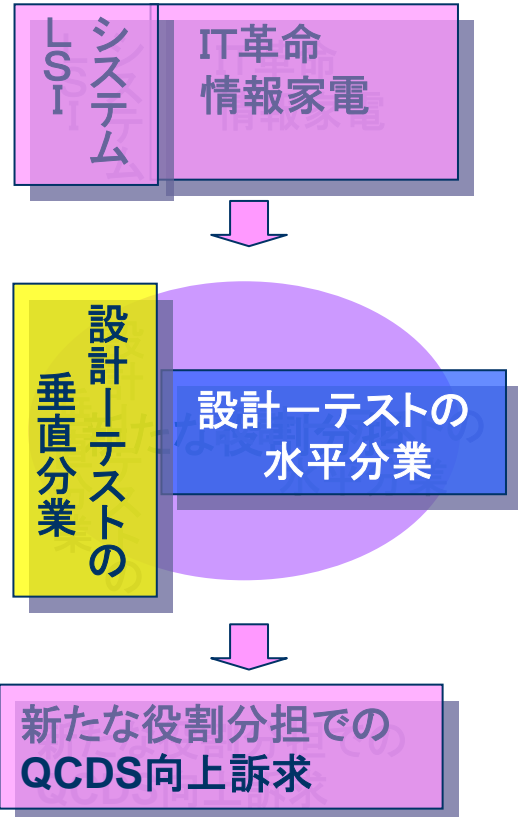


新たな役割分担へのインフラストラクチャ

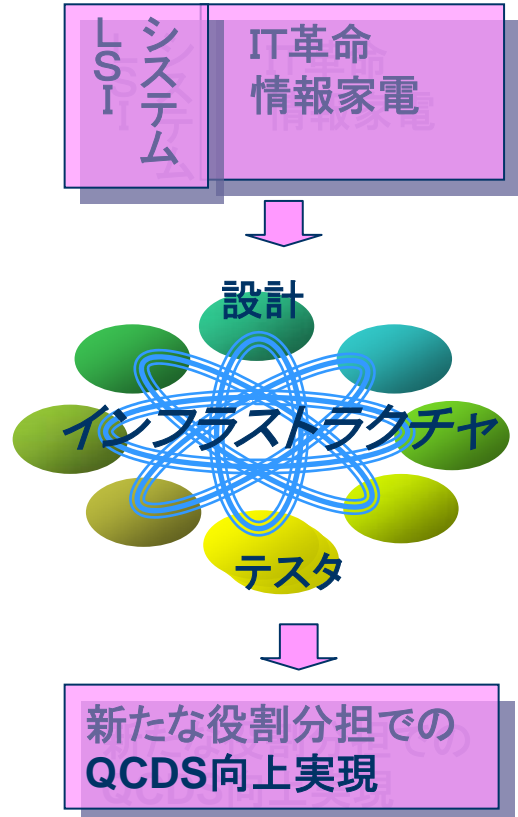
(現状)



(分析)



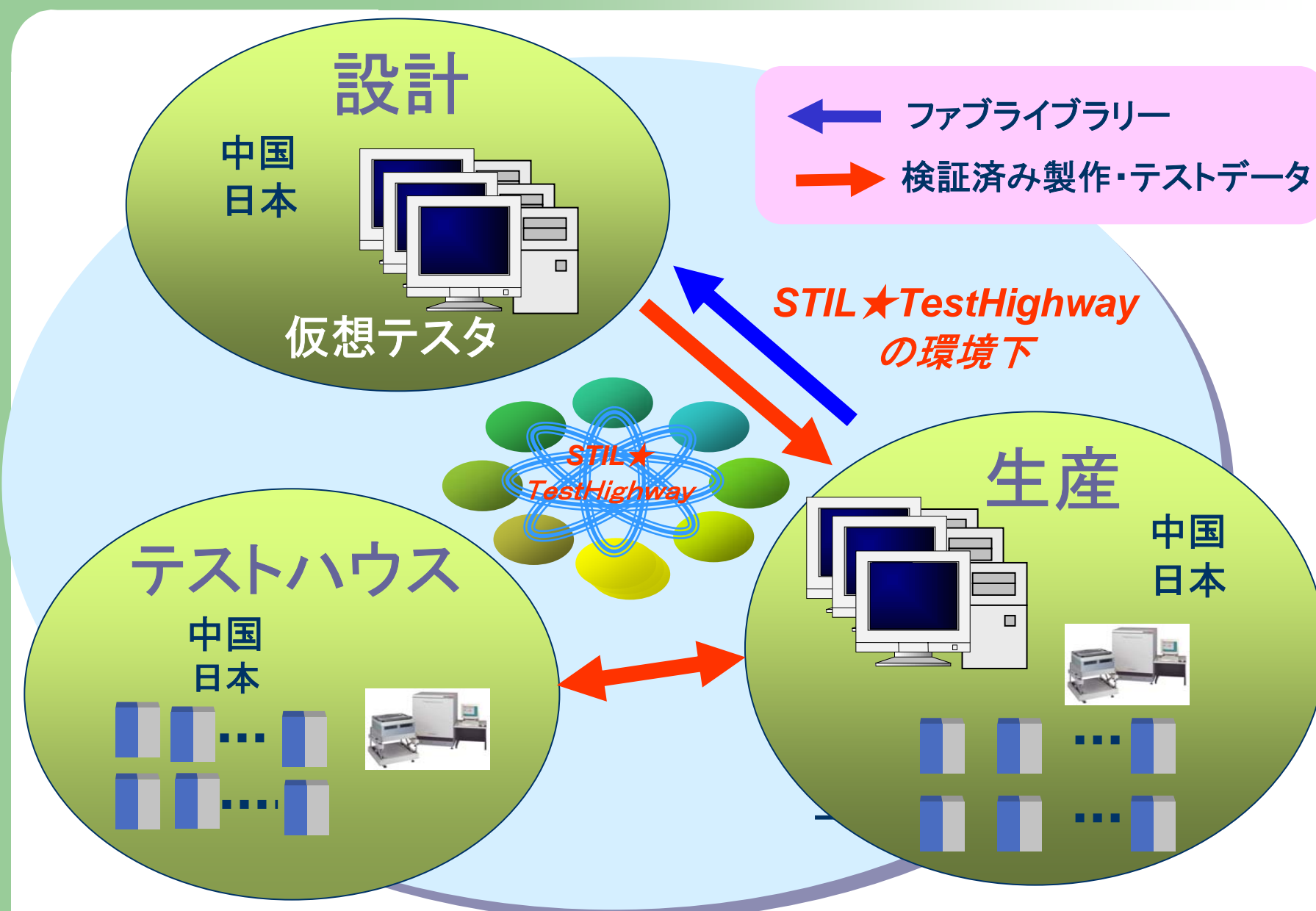
(将来)



SoC開発の設計とテストの垂直分業を支援する 新しいインフラストラクチュア



SoC開発の設計とテストの水平分業の姿



半導体業界標準テスト記述言語STIL

STILとは?

Standard Test Interface Language の略

- 1999年にIEEE でStd 1450.0 として標準化されたテストデータの記述言語で名称は「スタイル」(現在も機能拡張中)
- STILは半導体テストのための、設計, シミュレーション, ATEテスト, 故障解析の全ての環境において共通なテスト記述言語として利用可能

S
T
A
R
C
STARC
STIL標準化
委員会

1450.0 TestPattern Specification (99/3に標準化)

○ P.1 Semiconductor Design Environment

1450.2 DC Level Specification (02/12に標準化)

○ P.3 Target Tester Specification

○ P.4 Test Flow Specification

P.5 Test Method Specification

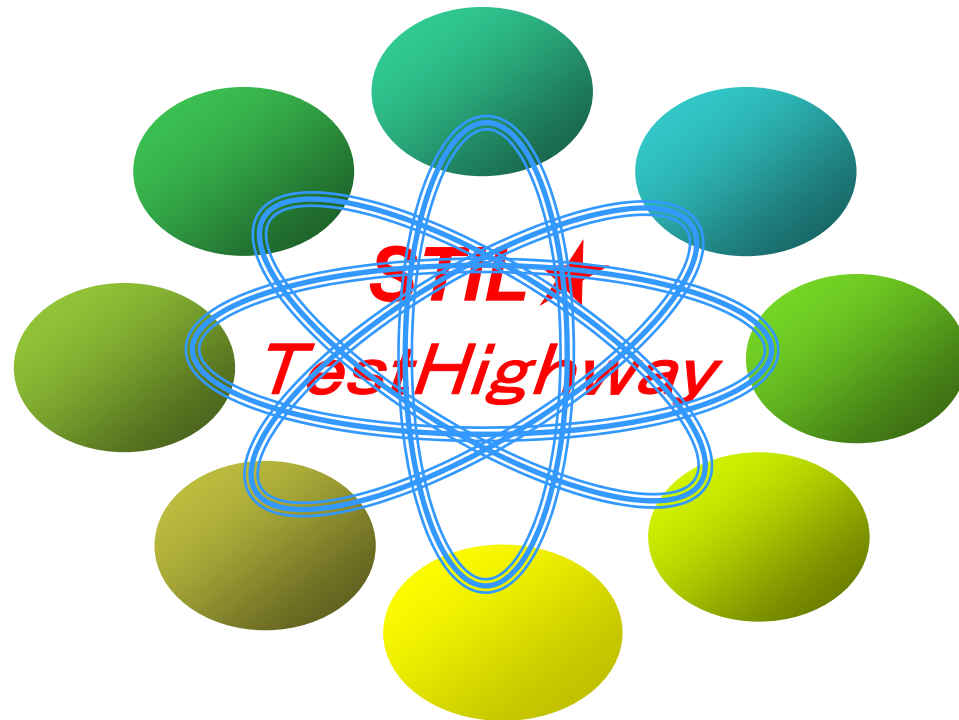
○ P.6 Core Test Language Support

○ 標準化作業進行中

STARC
STIL利用ガイド

P.1、P.6が次期標準化の見込み

3つのインパクト



3年後のSoCテストの世界へ向けて

1. テスト言語標準化、テスト財産継承

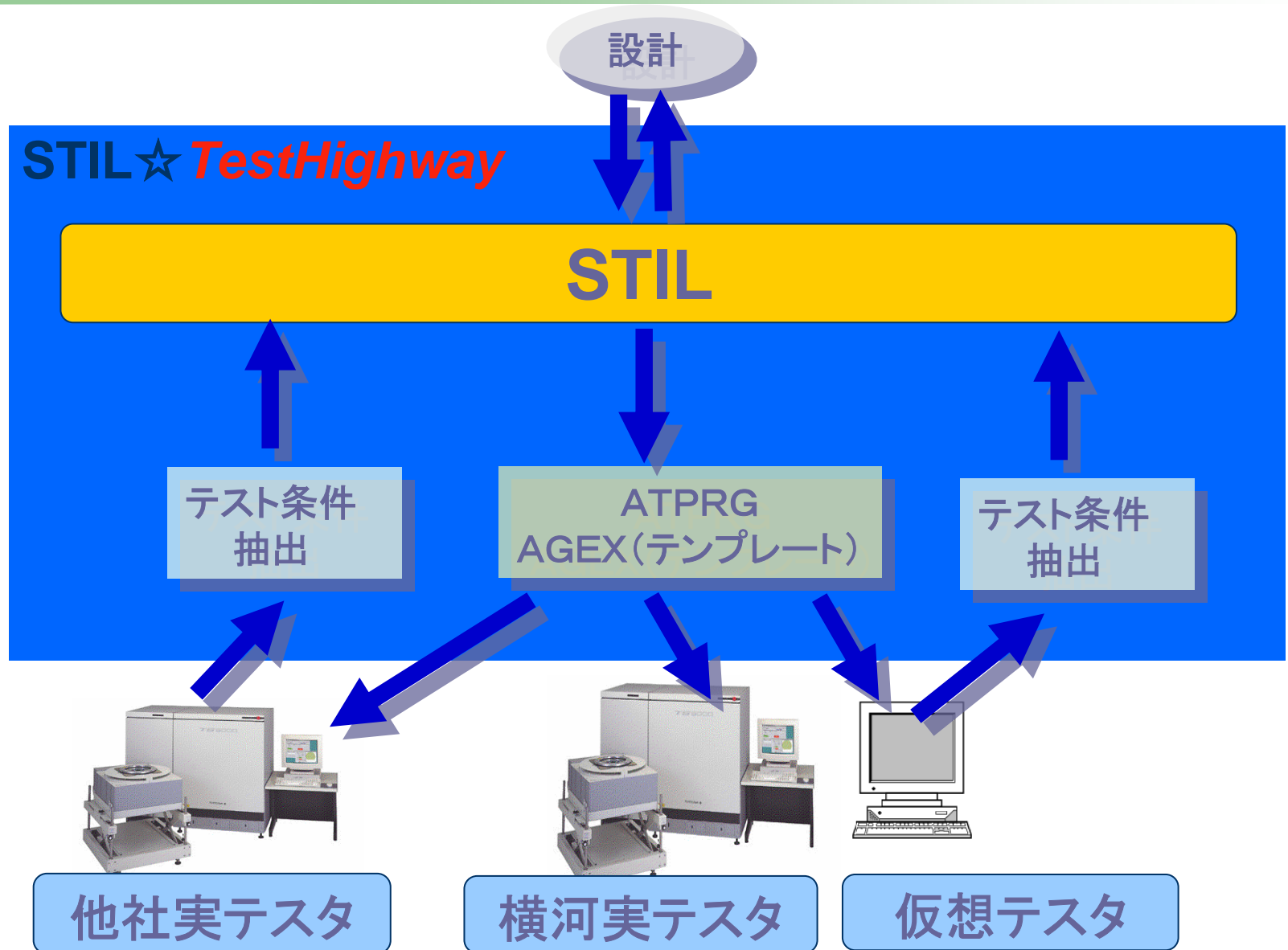
- テスタ機種に縛られないテスト開発環境
- テスタ投資の効率化とリスクヘッジ化
- 水平分業による生産性の向上

2. 事前テスト環境のフル活用

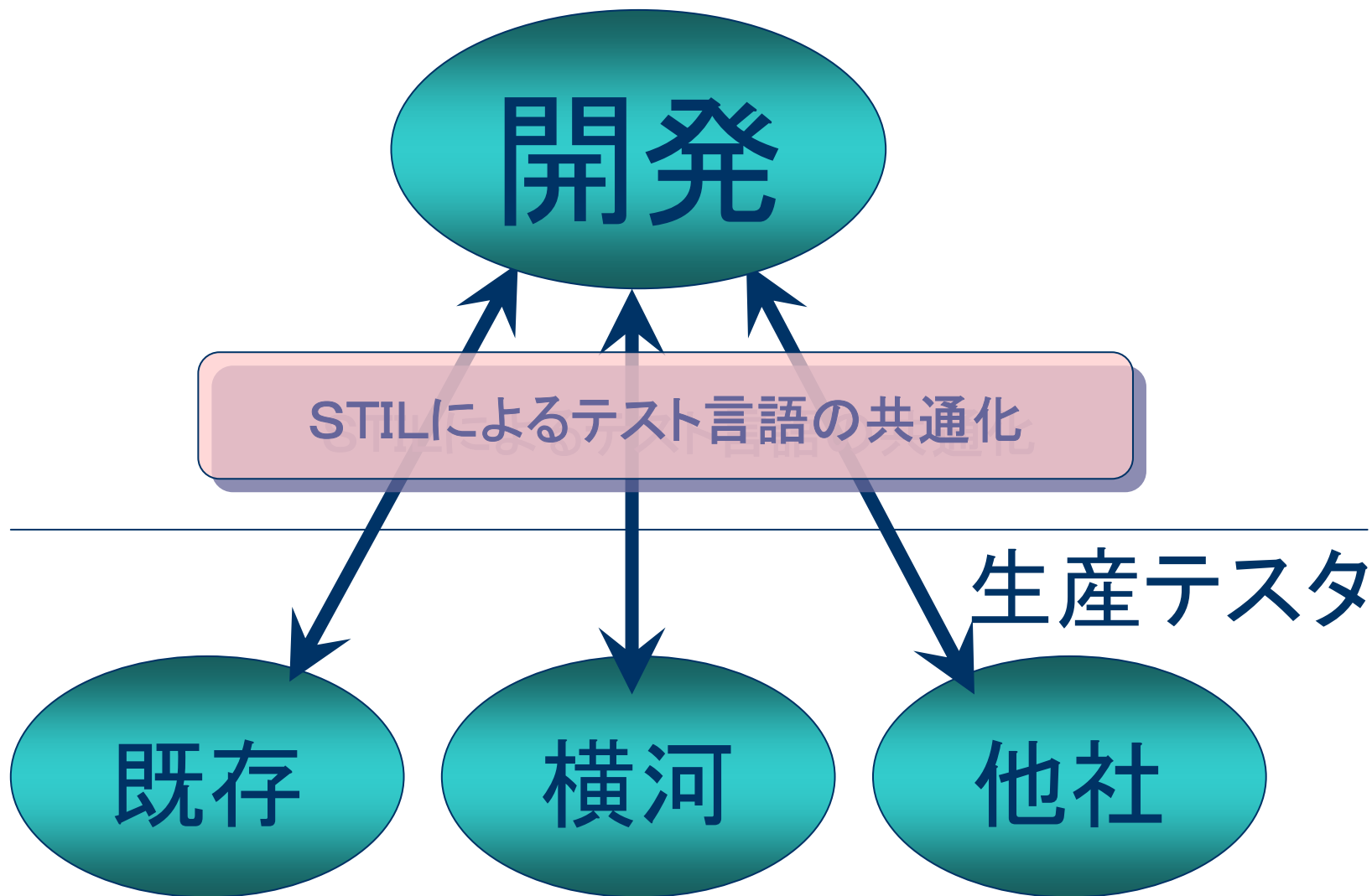
- ユーザ参加型でLSI開発のTAT短縮
- VFM (Verification For Manufacturing) への道
- 歩留まりの早期確保

3. 設計からテストのスパイラルフロー確立

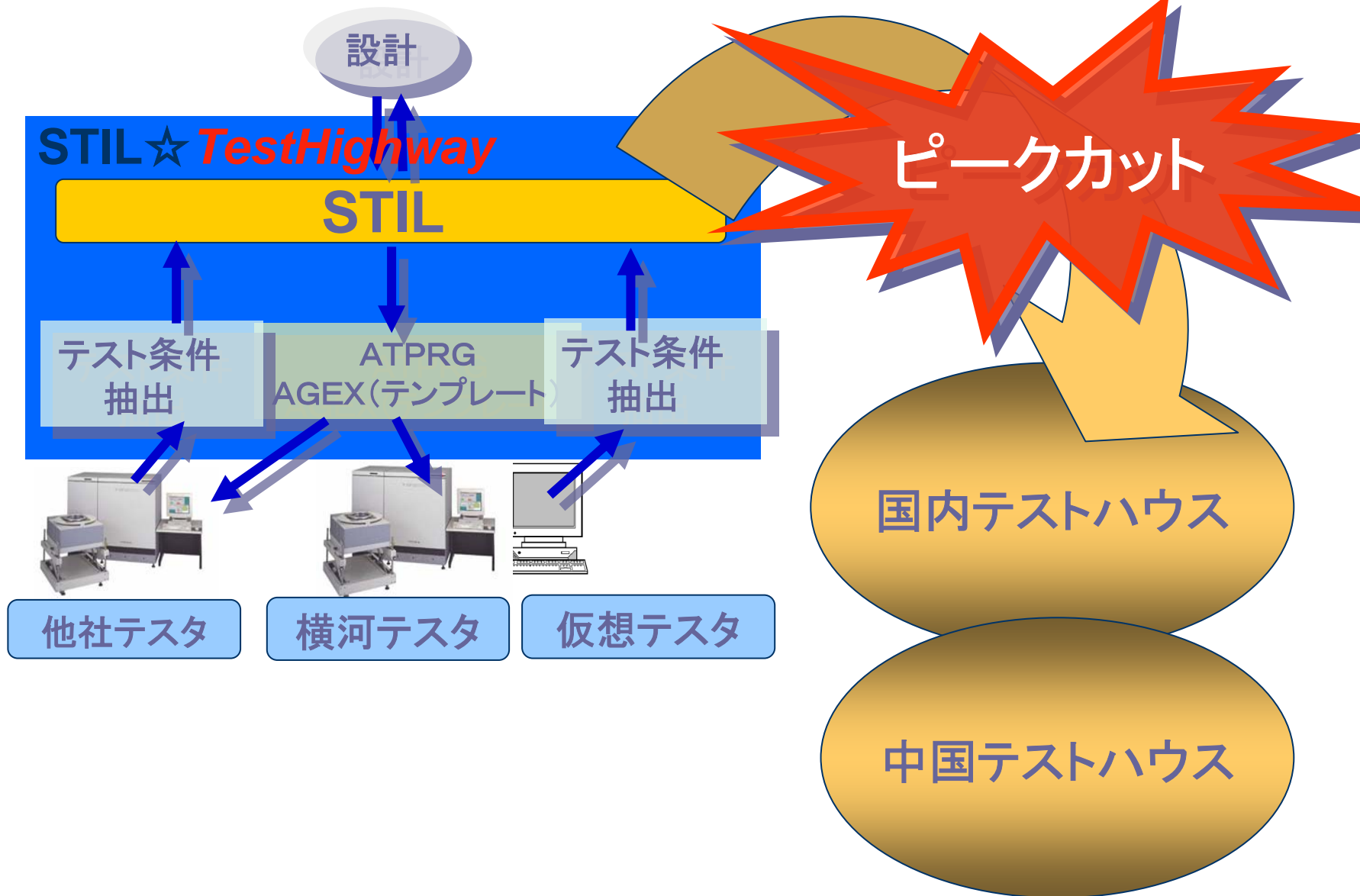
オープンテスト開発環境



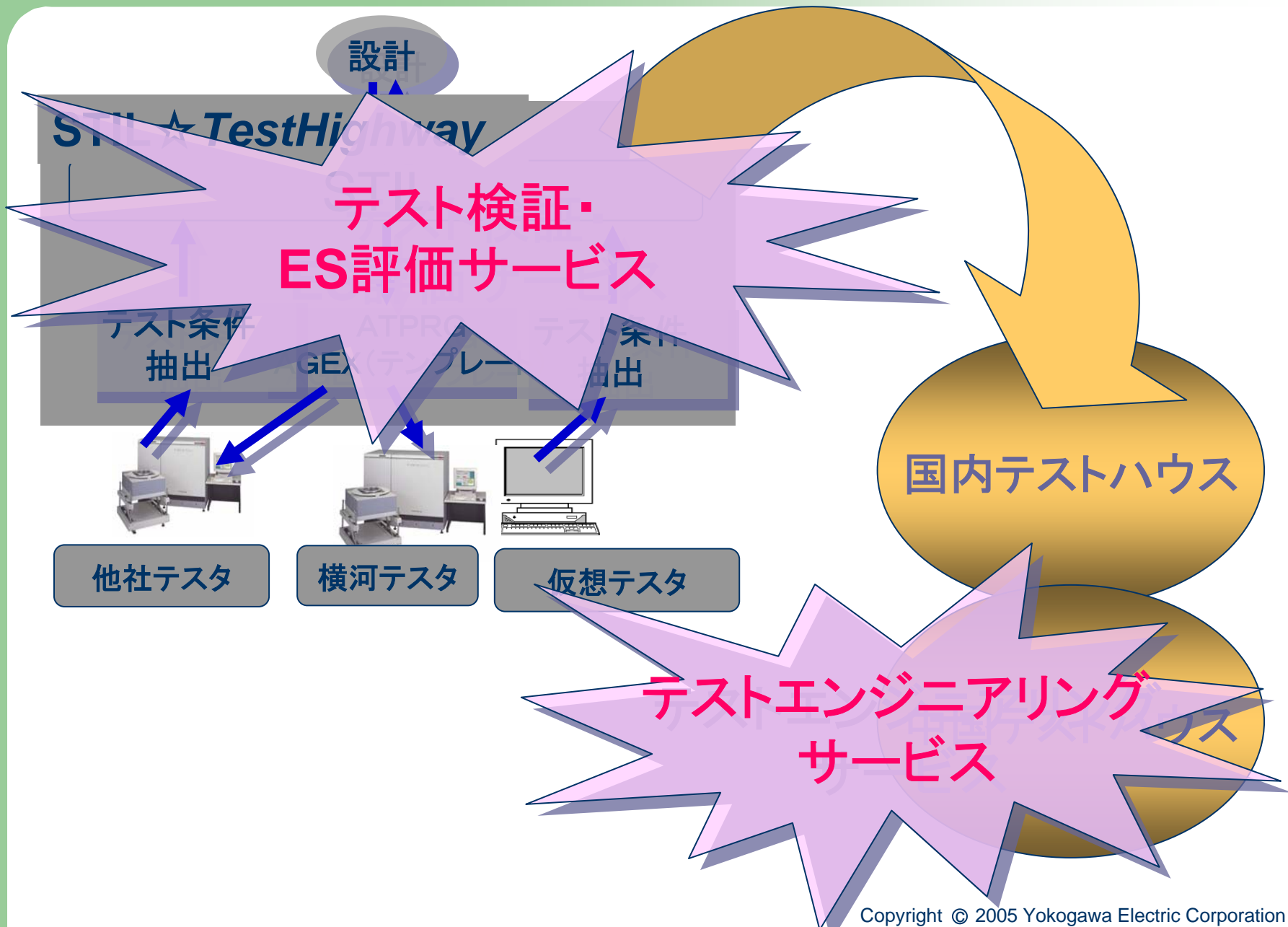
テストメーカーを選ばない



テスト投資のリスクヘッジ



テストソリューション提供



3年後のSoCテストの世界に向けて

1. テスト言語標準化、テスト財産継承

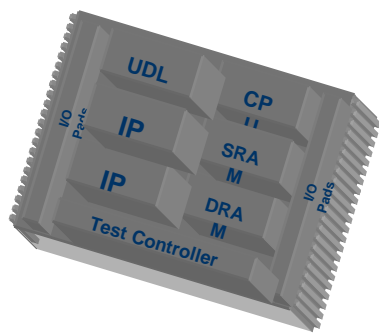
- テスタ機種に縛られないメリット
- テスタ投資の効率化とリスクヘッジ化
- 水平分業による生産性の向上

2. 事前テスト環境のフル活用

- ユーザ参加型で開発のTAT短縮
- VFM (Verification For Manufacturing) への道
- 歩留まりの早期確保

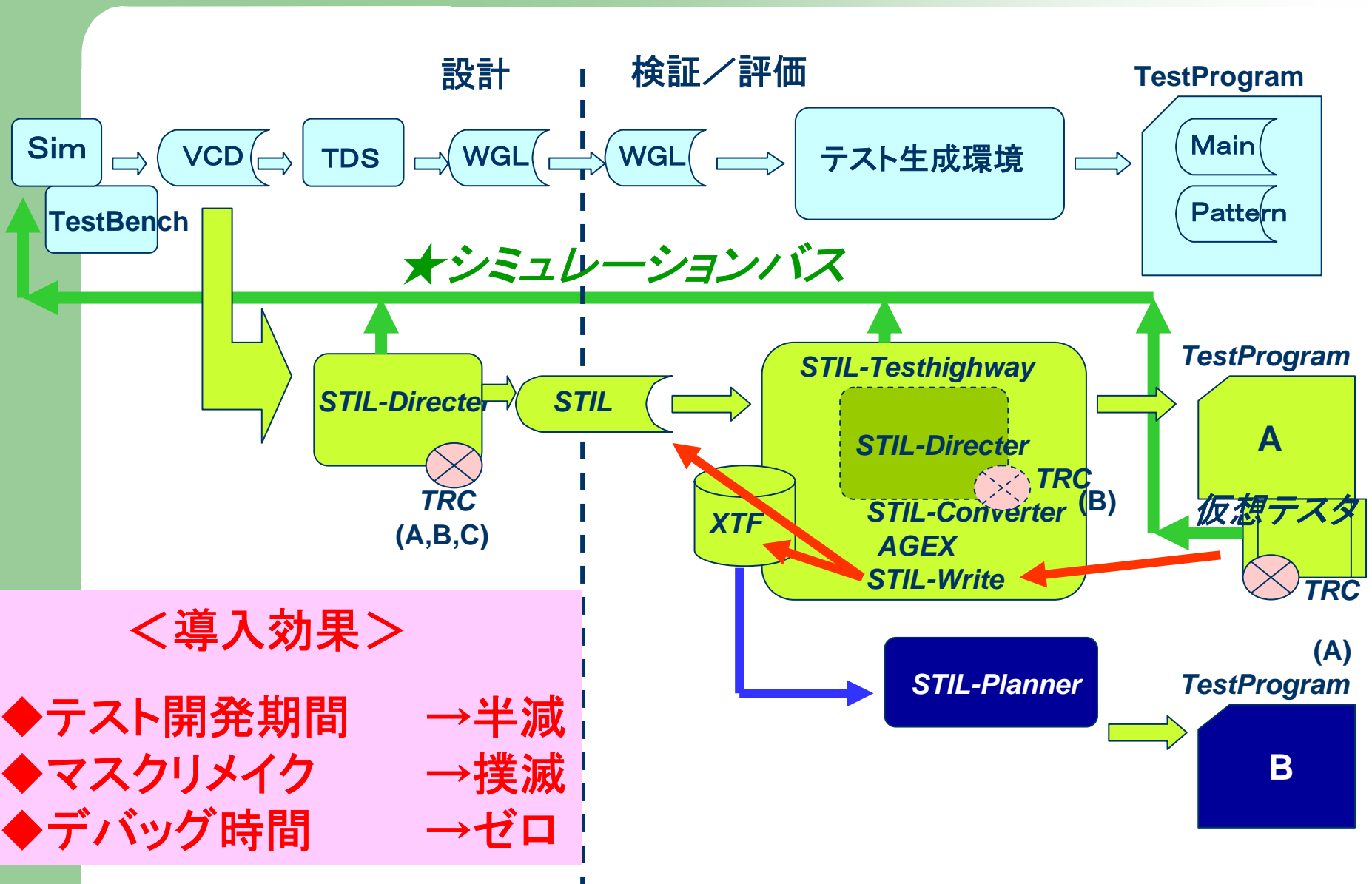
3. 設計とテストのスパイラルフロー確立

仮想テスト環境

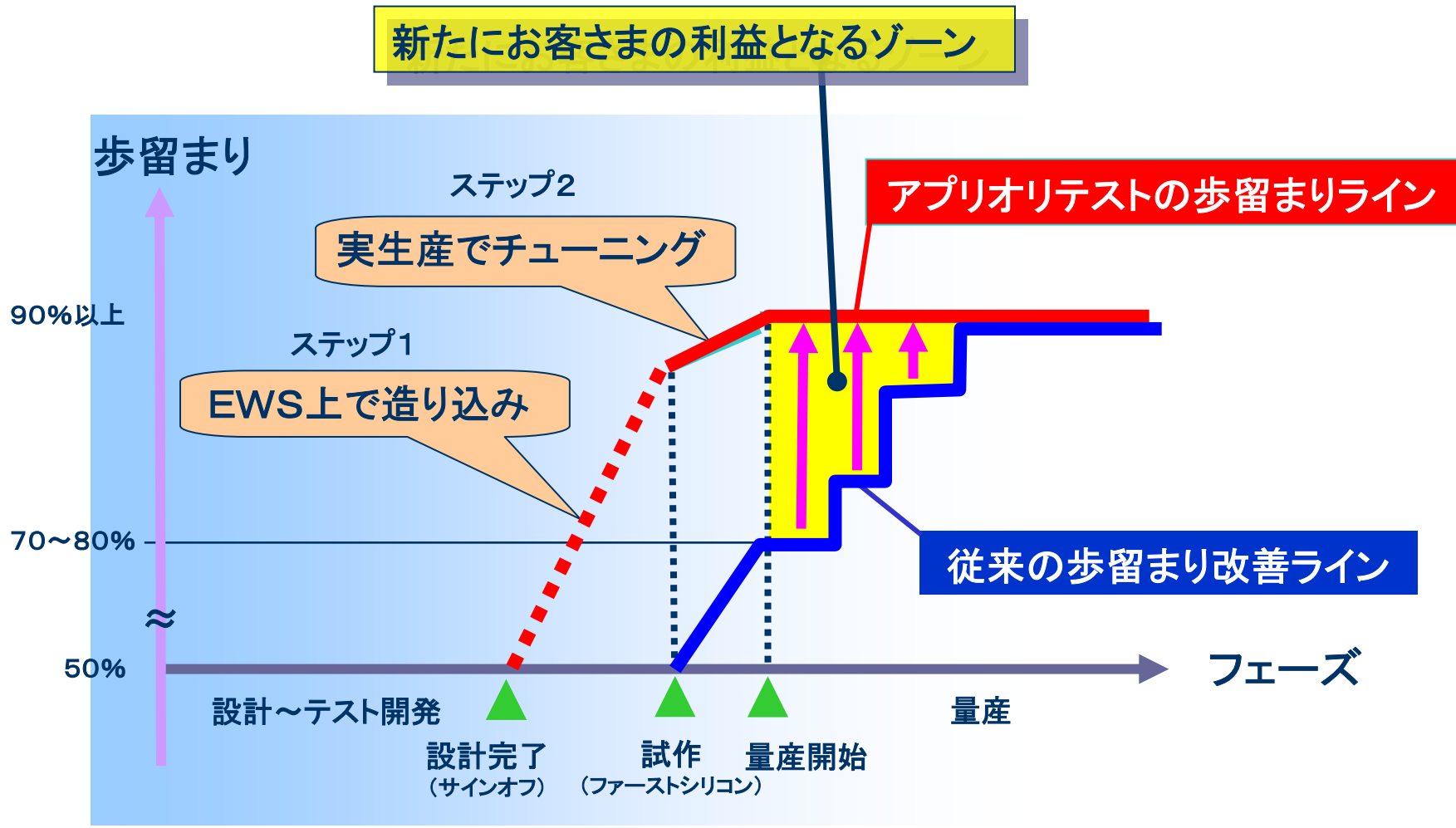


仮想テスト
PreTestStation®

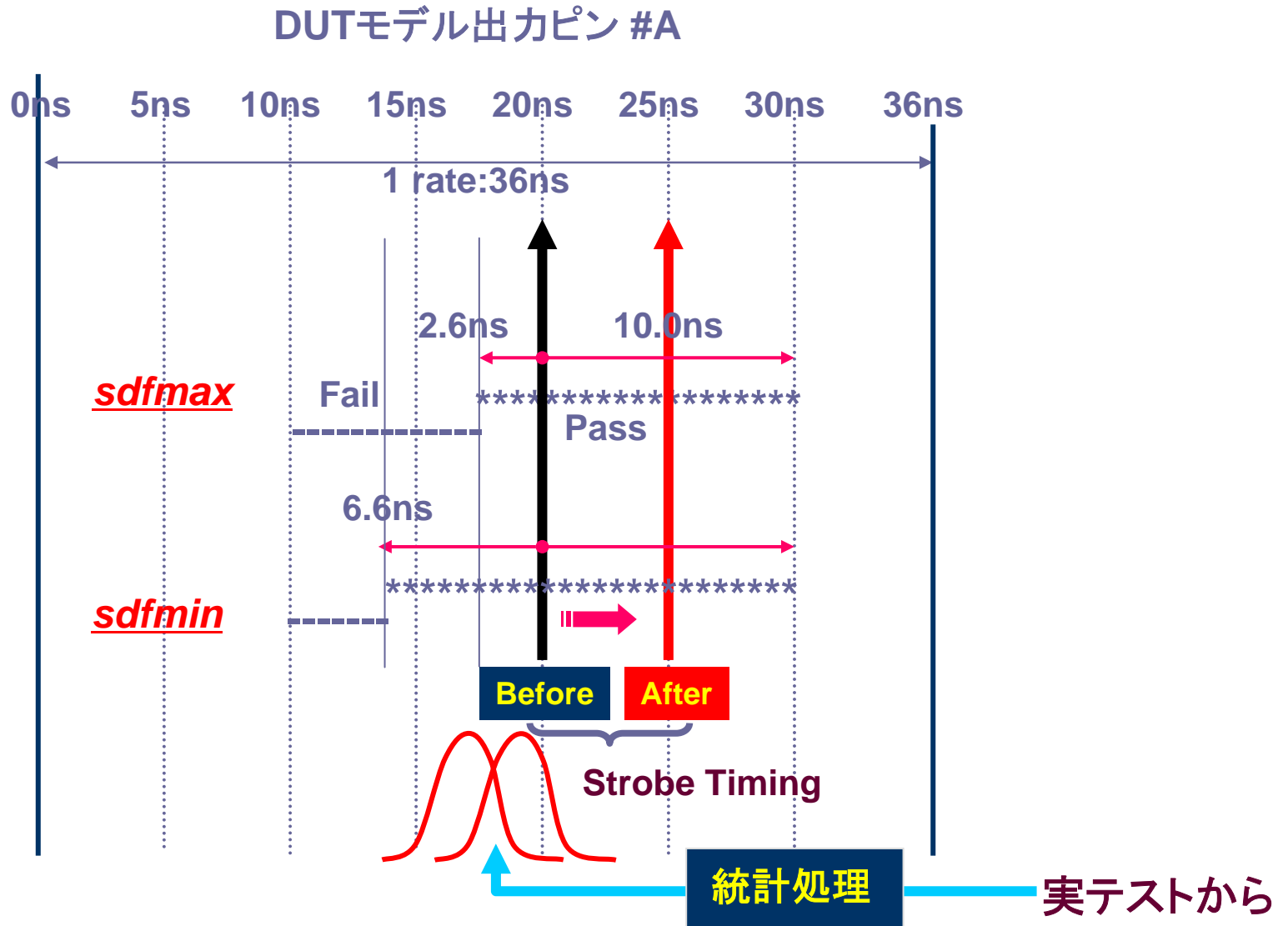
VFMを実現するフロー



歩留まりの早期確保で新たな利益を創出



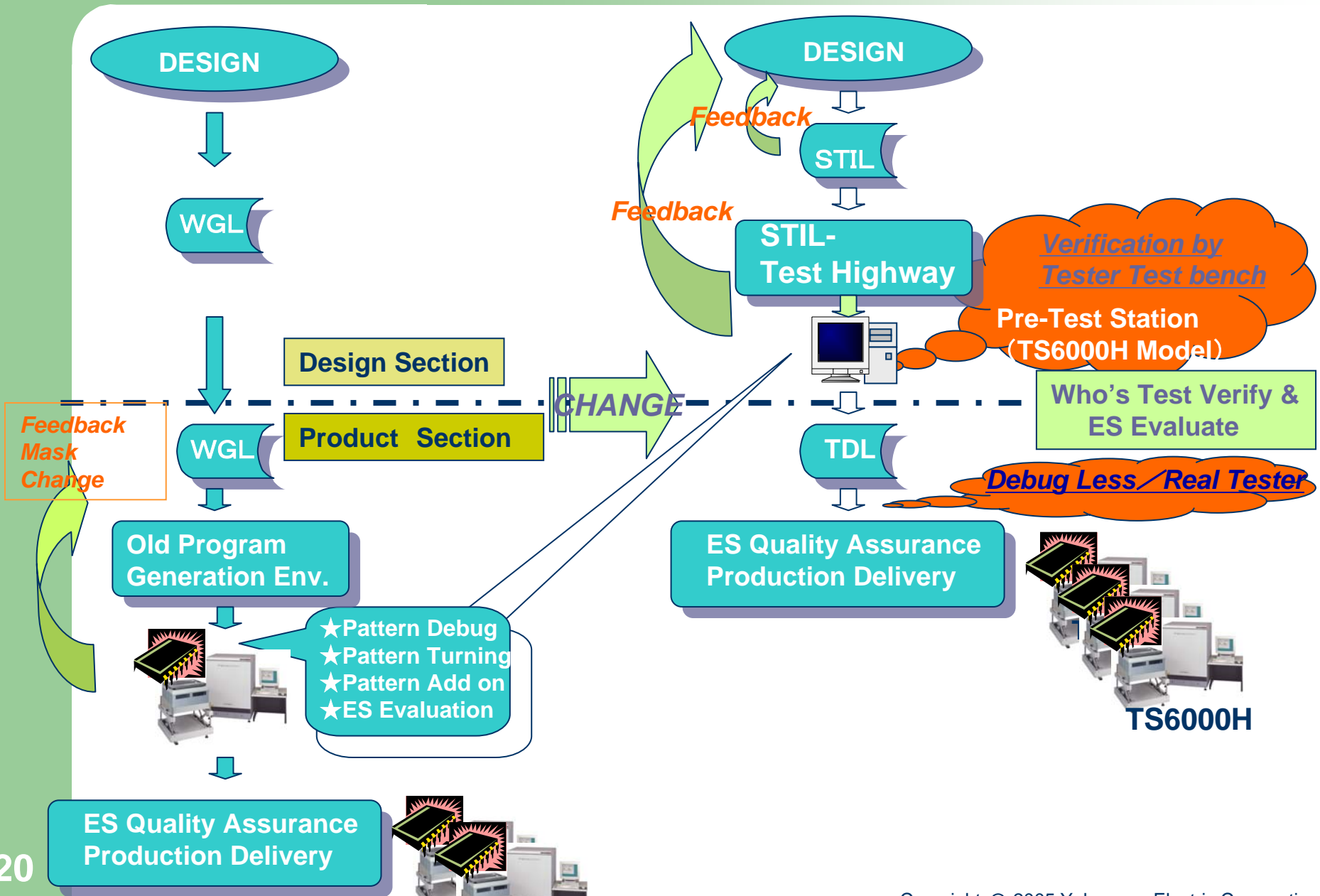
アプリオリテストのストロブマーージン機能



3年後のSoCテストの世界に向けて

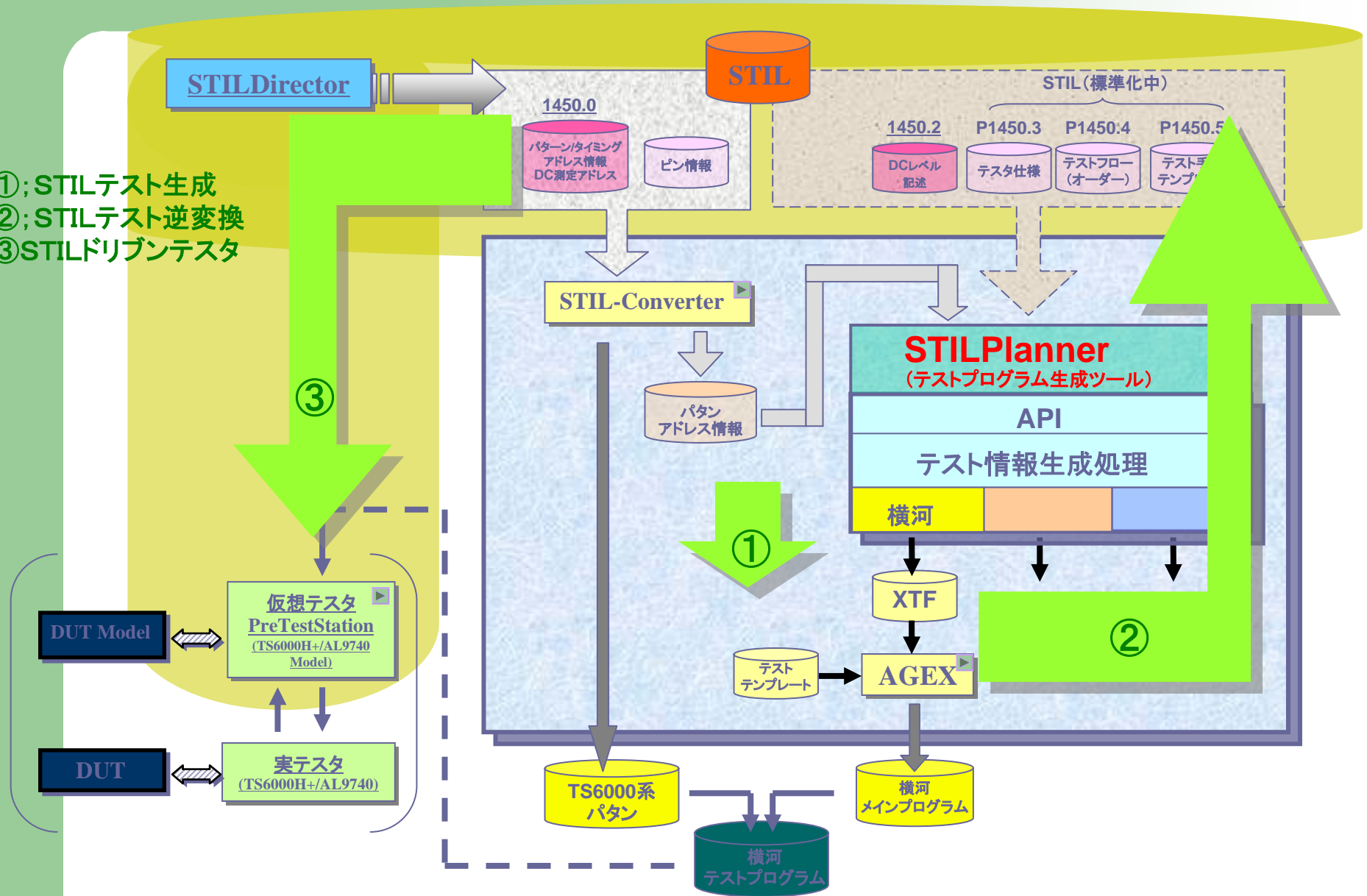
1. テスト言語標準化、テスト財産継承
 - テスタ機種に縛られないメリット
 - テスタ投資の効率化とリスクヘッジ化
 - 水平分業による生産性の向上
2. 事前テスト環境のフル活用
 - ユーザ参加型でLSI開発のTAT短縮
 - VFM (Verification For Manufacturing) への道
 - 歩留まりの早期確保
3. 設計とテストのスパイラルフロー確立

設計とテストのスパイラルフロー確立



STARC/STILテストプログラム生成フロー

- ①; STILテスト生成
- ②; STILテスト逆変換
- ③; STILドリブンテスト



オープンコラボレーションの推進

■SOCテスト開発のTAT短縮と標準化を推進する コンソーシアム **STIL-Collaboration-Partner** !

活動理念

横河は・・

半導体業界の標準テスト言語STILを推進し

テストソリューション提供ベンダー様

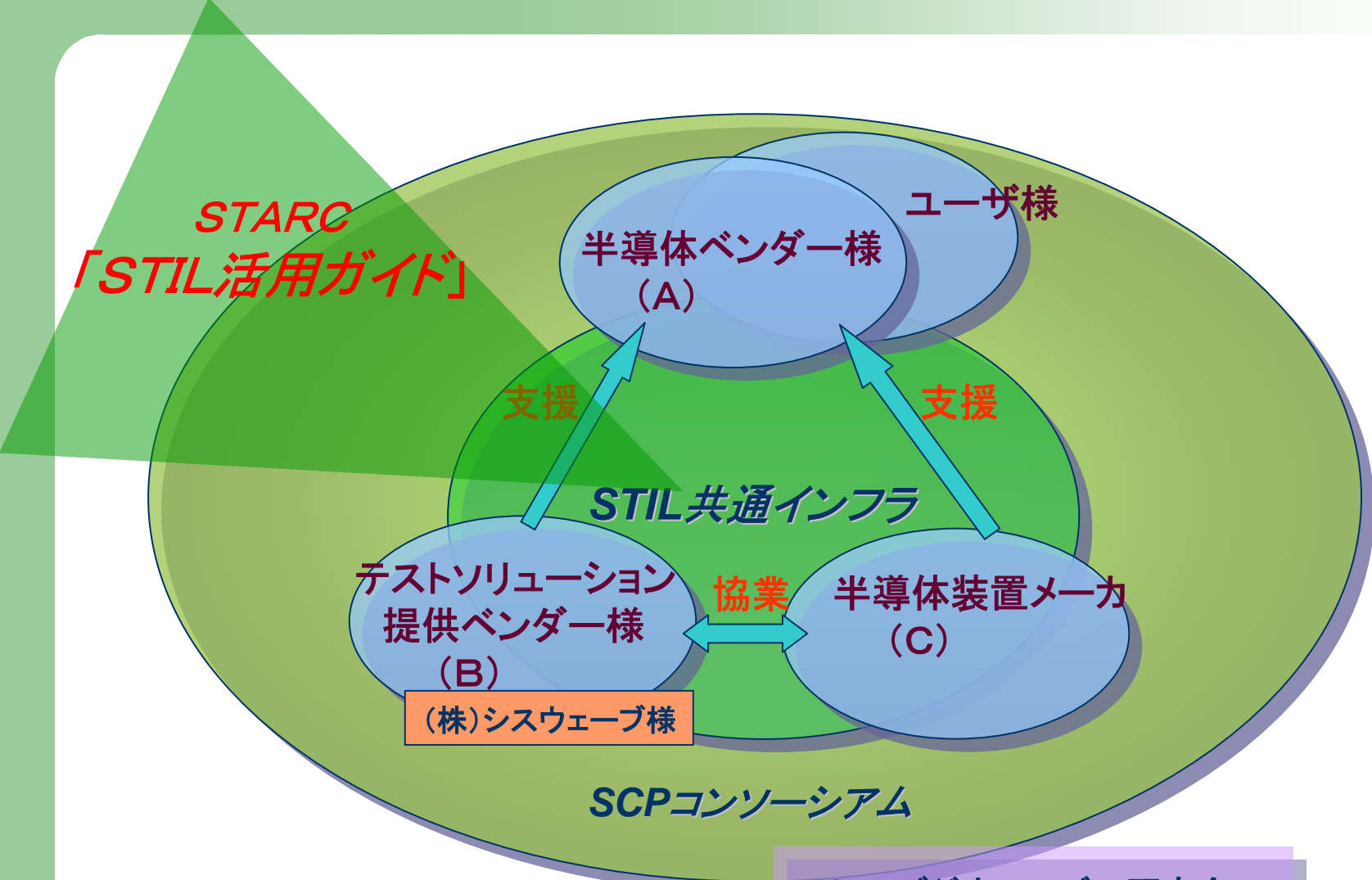
半導体ベンダー様、テストハウス様

・・と共にコラボレーションを実施。

SoCのテスト開発からテストまでのTAT短縮、テストコスト削減を目指す

生産性向上活動をお手伝いします。

STIL-Collaboration-Partnerの構図



- STILビジネスモデル研究会
- STILツール利用技術研究会

3年後のSoCテストの創出を目指し

横河は…

- テスト言語の標準化
- 事前テスト環境のフル活用
- STIL-Collaboration-Partnerの実践
- 短TAT化、テストコスト削減の実現

そして…SoC設計とSoCテストの新たな
役割分担を進化させ、SoC開発のQCDS向
上を支援させていただきます。

…よろしくお願いいたします。