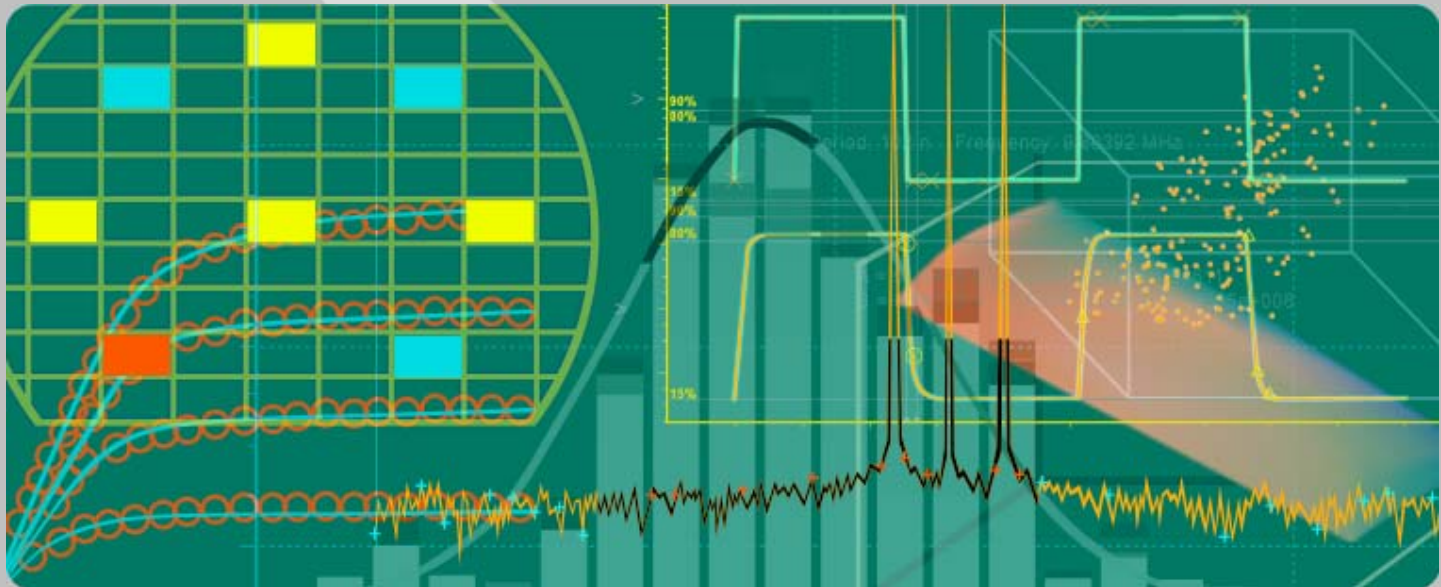


世界のマーケットに発信するHiSIM

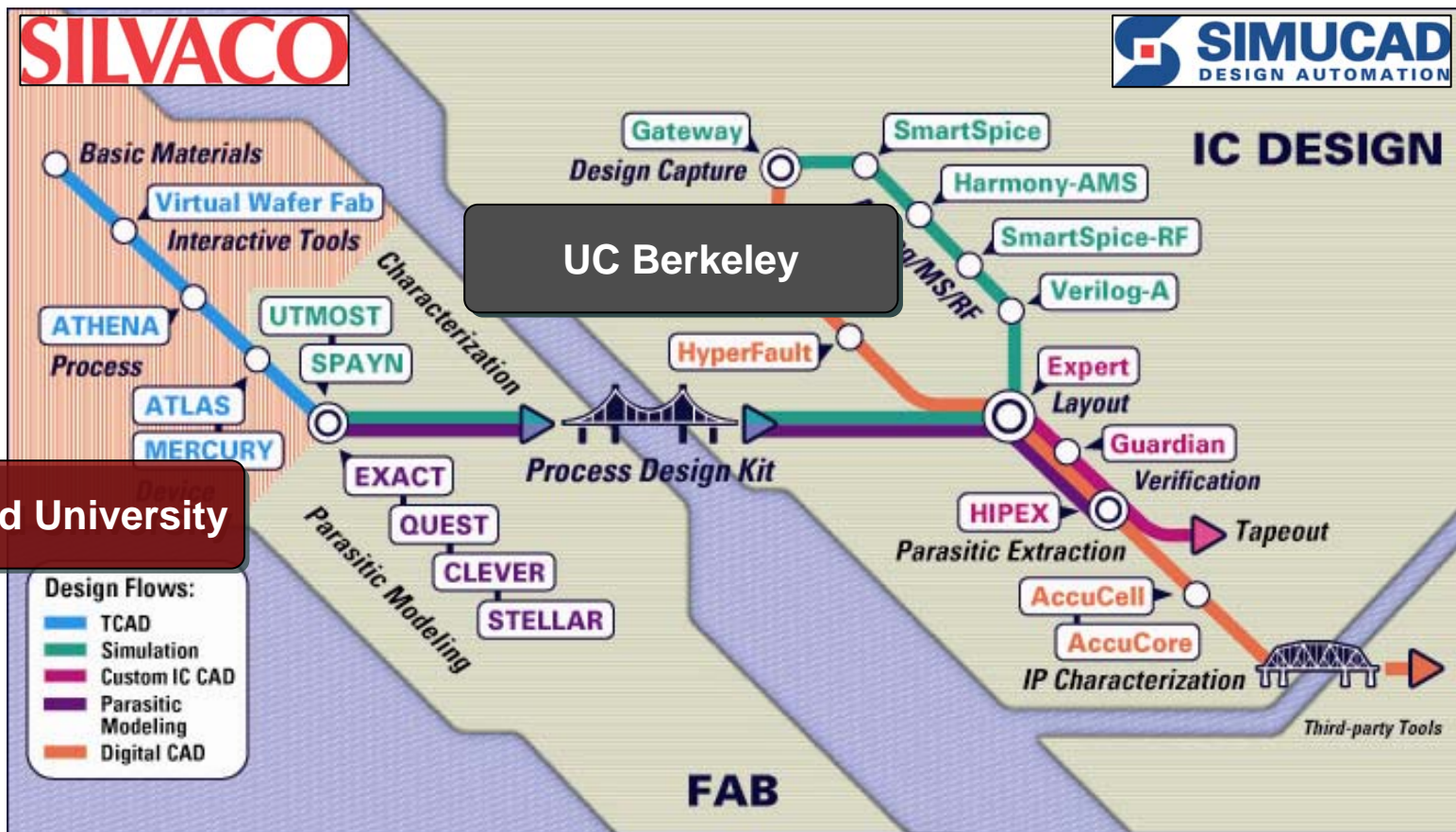


株式会社シルバコ・ジャパン
技術部 飯野由久
マーケティング部 野口聡子



コラボレーションから生みだされるシルバコ社ビジネス


■ シルバコ・グループ 製品ラインアップのご紹介



アカデミック・
コラボレーション



コーポレーティブ・
コラボレーション



コラボレーションから生みだされるシルバコ社ビジネス

■ アナログ回路シミュレータSmartSpiceにおけるコラボレーション実績

- BJT/HBT : **Gummel-Poon**, VBIC1.2/1.1.5, **MEXTRAM504/503**, **Modellar**, HICUM, UCSD HBT
- MOSFET: **BSIM4**, **BSIM3v3.2.4**, Philips MOS11, EKV, HiSIM1.2/1.1, BSIM3HV
- TFT: **RPI poly-Si/amorphous-Si**, **Berkeley poly-Si**, Leroux amorphous-Si
- SOI: **Berkeley BSIMSOI(PD/FD)**, Florida Univ. SOI ver.7.5(PD/FD) CEA/LETI, Philips MOS40
- MESFET: Curtice1/2, TOM-1/2/3, Parker-Skellern
- その他: **Philips Juncap**, Ramtron Ferroelectric Capacitance, VCSEL

シルバコ・グループのインダストリー・コラボレーション・パートナー



To promote the international, nonexclusive standardization of compact model formulations and the model interfaces.



Accellera's mission is to drive worldwide development and use of standards required by systems, semiconductor and design tools companies, which enhance a language-based design automation process.



The EDA Consortium represents this vital industry on a worldwide scale.



FSA is the voice of the global fabless business model.



SRC operates globally to provide competitive advantage to its member companies as the world's premier university research management consortium.

シルバコ・グループのインダストリー・コラボレーション・パートナー

■ FSAプレスリリース・PDK(プロセス・デザイン・キット)チェックリスト



ABOUT US RESOURCES EVENTS **NEWS**

HOME SEARCH

press releases
media
certification

NEWS

FSA Contact:

Vivian Pangburn
Director of Marketing &
Membership
Fabless Semiconductor
Association
(972) 866-7579, ext. 140
vpangburn@fsa.org

Media Contact:

Helen Garrett/Erin Anthony
Shelton PR
(972) 239-5119, ext.
201/135
hgarrett@sheltongroup.com
eanthony@sheltongroup.com

FABLESS SEMICONDUCTOR ASSOCIATION RELEASES MIXED-SIGNAL/RF PROCESS DESIGN KIT GUIDELINES

Standard Checklist of PDK Contents Showcases Quality

SAN JOSE, Calif. (March 23, 2004) - The Fabless Semiconductor Association (FSA), the global voice for fabless and hybrid semiconductor companies and their foundry and supply-chain partners, announced today it has received widespread industry support for the development and future adoption of a method to document the contents of a process design kit (PDK). A PDK is a set of data files that enable analog circuit and layout designers to efficiently design an integrated circuit (IC) using a set of electronic design automation (EDA) tools and a selected foundry process.

The FSA's Mixed-Signal (MS)/RF Foundry Committee's PDK working group has released its *Mixed-Signal/RF PDK Checklist*, which provides guidelines to showcase PDK quality. The *Checklist* describes simulation models, technology files, design rule files and parameterized cell generators used to design today's complex mixed-signal and RF ICs. Checklists will be delivered with new MS/RF PDKs over the next several months and are targeted to become standard practice by the end of the year.

Companies represented in the Committee's working group include 1st Silicon, Agilent Technologies, austriamicrosystems, Cadence Design Systems, HPL, Jazz Semiconductor, Mindspeed Technologies, OK Initiative, PolarFab, Silvaco and TSMC.

FSA WEBページよりご覧いただけます。

<http://www.fsa.org/news/article.asp?article=2004/0323>

シルバコ・グループのインダストリー・コラボレーション・パートナー

■ STARC、Simucad、シルバコ・ジャパン共同プレスリリース

*2006年5月23日発表。日経BP社Tech-Onでニュースとして採り上げられました。



STARC, 90nmのシャトル・サービスで米Simucadのアナログ設計用PDKを提供 - EDA Online

記事検索

検索開始 詳細検索

速報ヘッドライン

モバイル

ブロードバンド・インタフェース

デジタル家電

Automotive Technology

EDA Online

電子部品テクノロジー

LSI情報局

Silicon Online

産業動向オブザーバ

FPD International

ものづくりとIT

組み込み開発

機械・メカトロニクス

MEMS International

ナノテク・新素材

カーエレクトロニクス

雑誌サイト

日経エレクトロニクス

日経エレクトロニクス

テーマサイト

強いLSIやボードを設計するための最新情報サイト

EDA Online

設計手法/ツール | テスト/周辺技術 | アプリケーション | 企業/市場動向

STARC, 90nmのシャトル・サービスで米Simucadのアナログ設計用PDKを提供

DATE 2006/05/23 20:19

KEYWORD アナログ / LSI設計 / アナログ設計 / EDA / シミュレーション / CAE / マスク / パラメータ抽出 / 半導体

印刷用ページ

半導体理工学研究センター(STARC)と米Simucad Design Automation Inc.は、両社が共同開発したアナログ設計用PDK(プロセス・デザイン・キット)を、STARCが運営する90nmLSI試作サービス「☆Shuttleスターシャトル」の顧客に向けて提供していくことになった、と発表した(STARCのニュース・リリース;PDF, Simucadの国内代理店のシルバコ・ジャパンによるニュース・リリース同日日本語訳)。

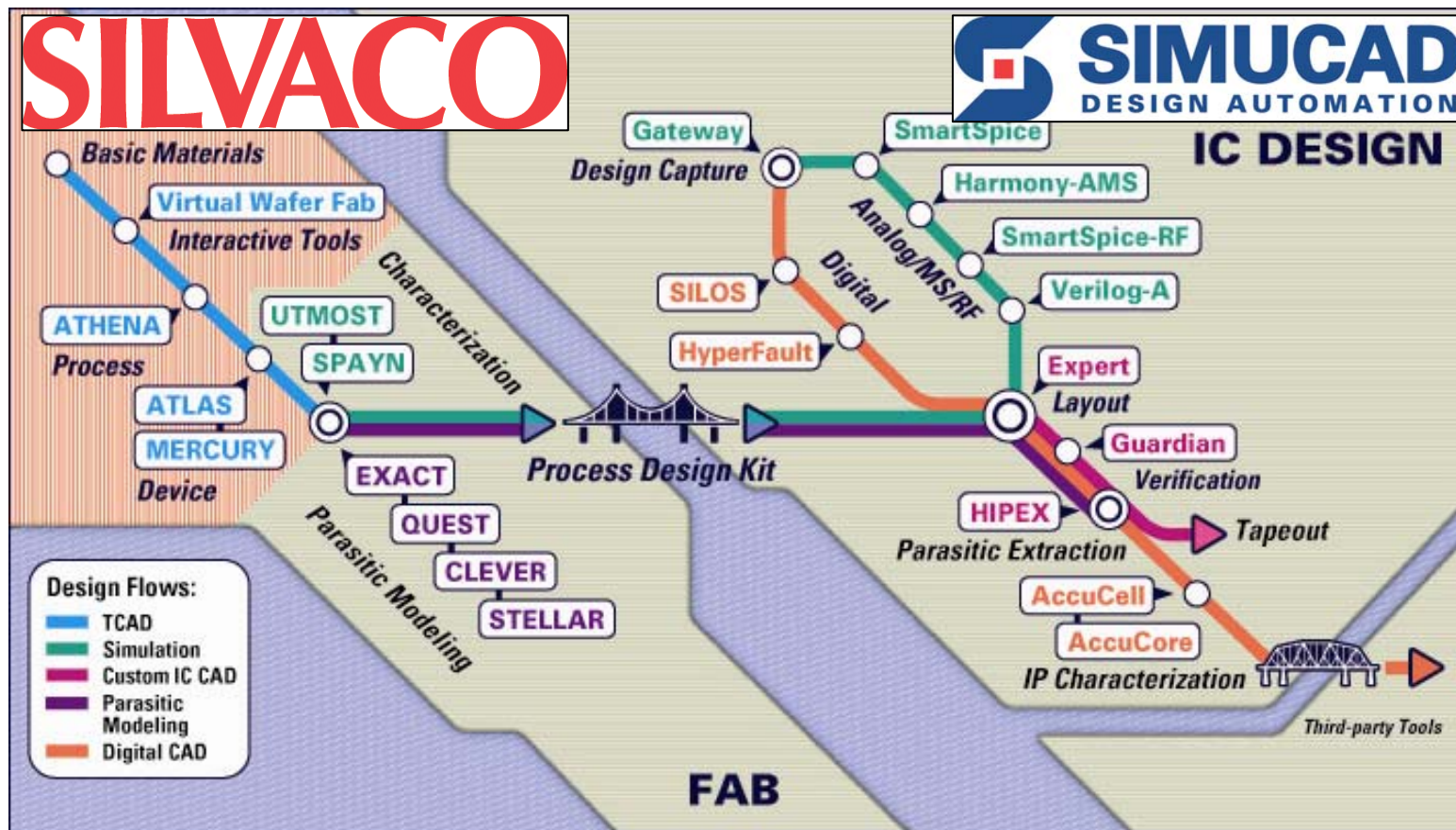


アナログ回路の設計フローとPDK シルバコ・ジャパンのデータ。

スターシャトルは、半導体メーカー5社(富士通、松下電器産業、NECエレクトロニクス、ルネサステクノロジ、東芝)の支援のもと提供する、90nm標準プロセスによるLSIの試作サービスである。2003年10月に試作を開始し、2005年10月からはSTARCが窓口となり、国内の大学や一般顧客などが多くの研究開発で使っているという。

コラボレーションから生みだされるシルバコ社ビジネス


Summary





HiSIMとは？

- **HiSIM: Hiroshima University STARC IGFET Model**
(STARC: Semiconductor Academic Research Center =(株)半導体理工学研究センター)
- **初の表面ポテンシャルに基づく回路シミュレーション用モデルでドリフト・拡散近似を採用**
- **このため全バイアス領域に対し統一された記述:**
ソース、およびドレイン側でのチャネル表面ポテンシャルから素子特性が記述
- **短チャネル、逆短チャネルといった全ての現象が表面ポテンシャルの修正で記述**
- **電圧の陰関数である表面ポテンシャル計算のため内部繰り返し処理の採用**



HiSIMコラボレーションの経緯(1)

■ HiSIM開発の足跡

1991	SISPAD	Sub-um MOSFETs	1 st surface-potential-based model Parameter extraction strategy
1994	ICCAD	//	Simulation time & Stability verification
1995	Siemens	Flash-EEPROM	Concurrent device/circuit development
1998	STARC	100-nm MOSFET	Collaboration start

HiSIMコラボレーションの経緯(2)

広島大学




STARC

STARCと広島大学のコラボレーションからHiSIMが生まれました。

HiSIM


HiSIMコラボレーションの経緯(3)

■ HiSIMにおけるコラボレーション



2001.Oct	Release to Venders	HiSIM1.0.0	Source code and manual
2002.Jan	Release to Public	HiSIM1.0.0	//
2002.Jun	//	HiSIM1.1.0	//
2002.Oct	//	HiSIM1.1.1	//
2003.Apr	//	HiSIM1.2.0	//
2003.Oct	Test Release to Clients	HiSIM2.0.0	RF-MOSFET


広島大学三浦教授の資料を許可の下転記



HiSIMコラボレーションの経緯(4)

■ HiSIMコラボレーションにおけるSilvaco社の歩み

2003. June DAシンポジウム2003(情報処理学会)
 “HiSIM Model Parameter Generation Flow using the Existing Model”
2004. Jan ASP-DACサテライトIWCM2004
 “Significant Aspects of HiSIM Parameter Extraction Derived from
the Model Foundation with Several Tips”
2004. March Workshop on Compact Modeling (Boston, Massachusetts, USA)
 “A Trial Report: HiSIM-1.2 Parameter Extraction for
90 nm Technology”
 <http://www.nsti.org/presentations/WCM2004/WCM2004-Ylino.pdf>



HiSIMコラボレーションの経緯(5)

■ HiSIMコラボレーションにおけるSilvaco社の歩み

2004. June DAシンポジウム2004(情報処理学会)ポスター
 “HiSIM-1.2 Parameter Extraction: Step by Step Observation
 for 90 nm Technology”
2005. May Workshop on Compact Modeling (Anaheim, California, USA)
 “HiSIM-1.2: The Effective Gate Geometry Determination with
 the Capacitance Data”
 <http://www.nsti.org/Nanotech2005/WCM2005/WCM2005-Ylino.pdf>
- 2006 Jan. ASP-DACサテライトIWCM2006
 “HiSIM Parameter Extraction Comprehensive Procedure to
 Determine the Core Model”

HiSIMコラボレーションにおけるシルバコ社の積極的な営み

■ CMC活動におけるシルバコ社のHiSIMサポート

Phase-III Evaluation of Candidates for the CMC's Next Generation MOSFET Model - Netscape

Phase-III Evaluation of Candidat...

Compact Model Council

Phase-III Evaluation of Candidates for the CMC's Next Generation MOSFET Model

Additional information provided after the Santa Barbara CMC meeting on Oct. 13 and 14, 2005

- [Additional Freescale Test Results \(3\)](#) (posted 11/30/2005)
- [Additional HiSIM Team Report \(5\)](#) (posted 11/30/2005)
- [Additional ADI Test Results \(4\)](#) (posted 11/29/2005)
- [Additional Philips Test Results \(7\)](#) (posted 11/29/2005)
- [STM Comments on 11/28 Postings](#) (posted 11/29/2005)
- [Additional Silvaco Test Results \(3\) and email](#) (posted 11/28/2005)
- [Additional Philips Test Results \(6\)](#) (posted 11/28/2005)
- [Additional NEC Test Results](#) (posted 11/28/2005)
- [Additional HiSIM Team Report \(4\)](#) (posted 11/28/2005)
- [Additional STARC Test Results \(4\)](#) (posted 11/28/2005)
- [Silvaco Comments on Philips Report posted on 11/26](#) (posted 11/28/2005)
- [ADI Rebuttal to Comments from Silvaco](#) (posted 11/28/2005)
- [Additional Philips Test Results \(5\) and Spectre in/out files \(zip\)](#) (posted 11/26/2005)
- [Final Statement from Silvaco](#) (posted 11/26/2005)
- [Additional Philips Test Results \(4\)](#) (posted 11/26/2005)
- [Additional Freescale Test Results \(2\)](#) (posted 11/26/2005)
- [HiSIM Team Response To Philips Comments emailed 11/23](#) (posted 11/26/2005)
- [Additional Philips Test Results \(3\)](#) (posted 11/26/2005)
- [Additional HiSIM Team Report \(3\) and email](#) (posted 11/22/2005)
- [Silvaco Response to Philips Test Results #2 posted 11/22](#) (posted 11/22/2005)
- [Additional ST and Crohles Alliance Results](#) (posted 11/22/2005)
- [Additional PSP Team Test Results](#) (posted 11/22/2005)
- [Silvaco Rebuttal to ADI Test Results #3](#) (posted 11/22/2005)
- [Additional Philips Test Results \(2\)](#) (posted 11/22/2005)
- [Additional ADI Test Results \(3 - Corrected\)](#) (posted 11/22/2005)
- [Additional HiSIM Team Test Results \(2\)](#) (posted 11/20/2005)
- [Additional STARC Test Results \(3\)](#) (posted 11/16/2005)
- [Cover Letter for Silvaco Postings of 11/14/2005](#) (posted 11/16/2005)
- [Additional Philips Test Results](#) (posted 11/15/2005)
- [Additional Silvaco Test Results \(1\)](#) (posted 11/14/2005)
- [Additional Silvaco Test Results \(2\)](#) (posted 11/14/2005)
- [Additional Toshiba Test Results \(Revised\)](#) (posted 11/09/2005)
- [Additional STARC Test Results \(Revised-2\)](#) (posted 11/07/2005)

Additional Silvaco Test Results (3) and email (posted 11/28/2005)

Silvaco Comments on Philips Report posted on 11/26 (posted 11/28/2005)

Final Statement from Silvaco (posted 11/26/2005)

Silvaco Response to Philips Test Result #2 posted 11/22 (posted 11/22/2005)

Silvaco Rebuttal to ADI Test Results #3 (posted 11/22/2005)

Cover Letter for Silvaco Posting of 11/14/2005 (posted 11/16/2005)

Additional Silvaco Test Results (1) (posted 11/14/2005)

Additional Silvaco Test Results (2) (posted 11/14/2005)



HiSIMコラボレーションの状況

広島大学

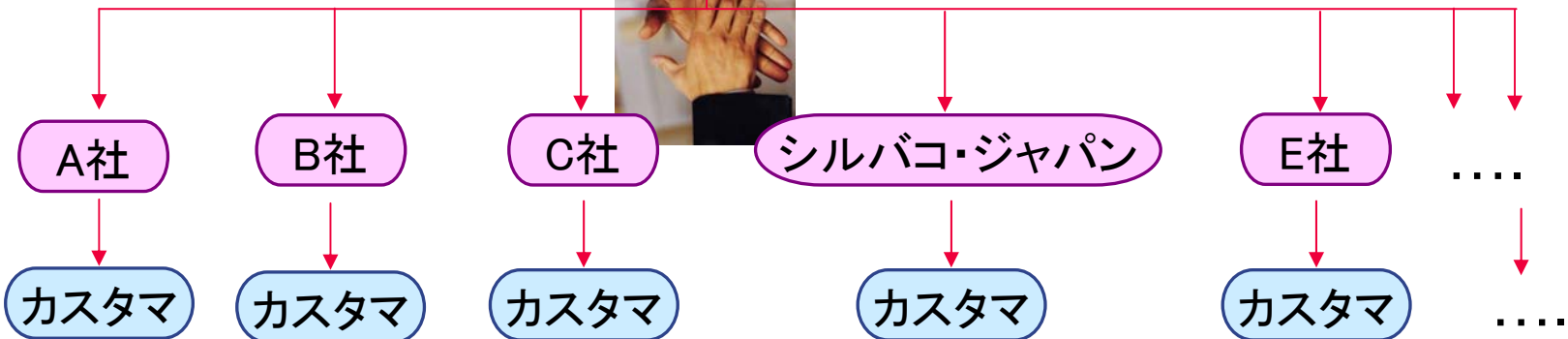
STARC



HiSIMを各企業に
紹介



HiSIM



Public Domainとのコラボレーションから生まれる新製品

■ 市場投入までの取り組み



各企業へ配布



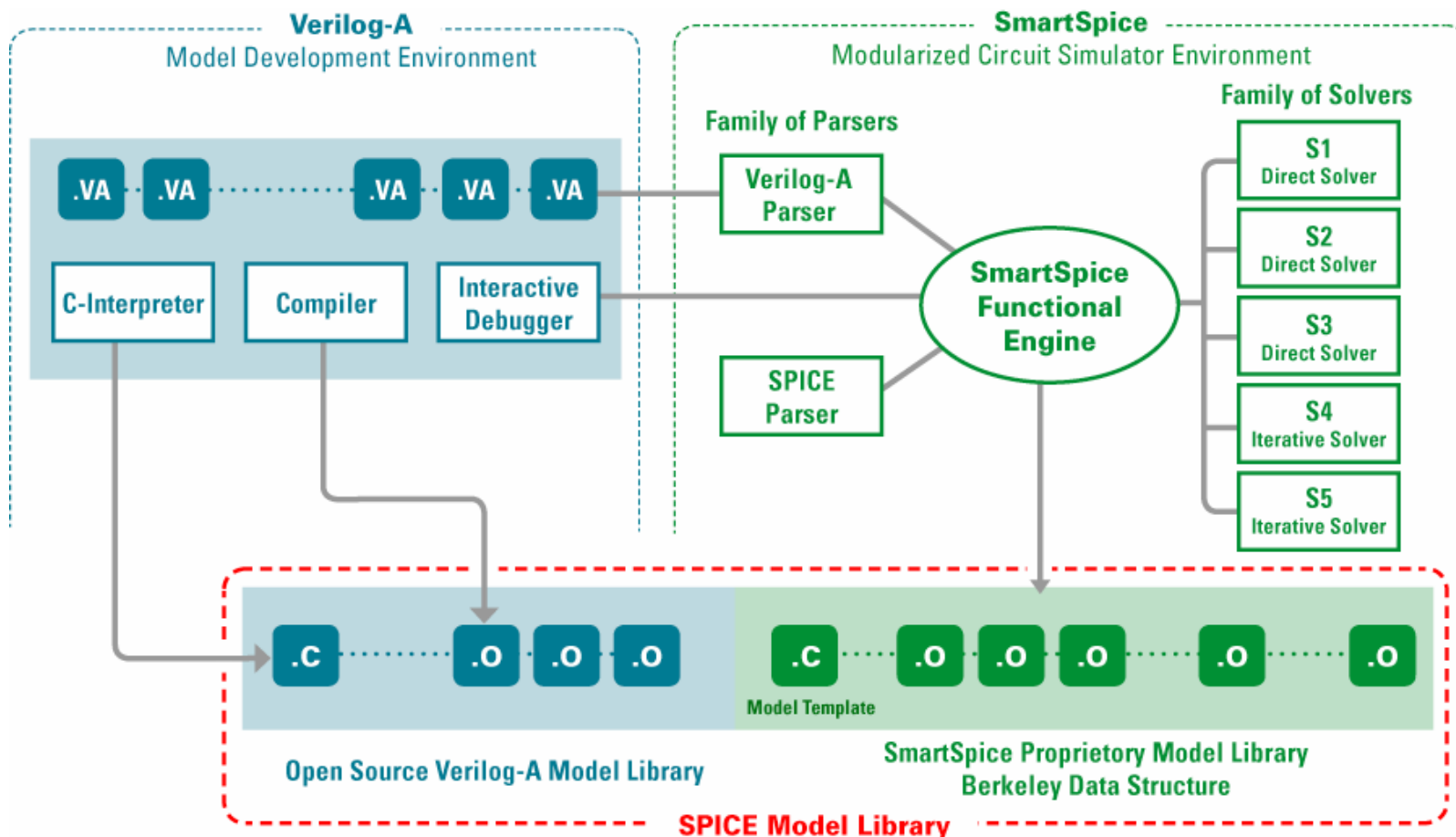
製品化



販売開始

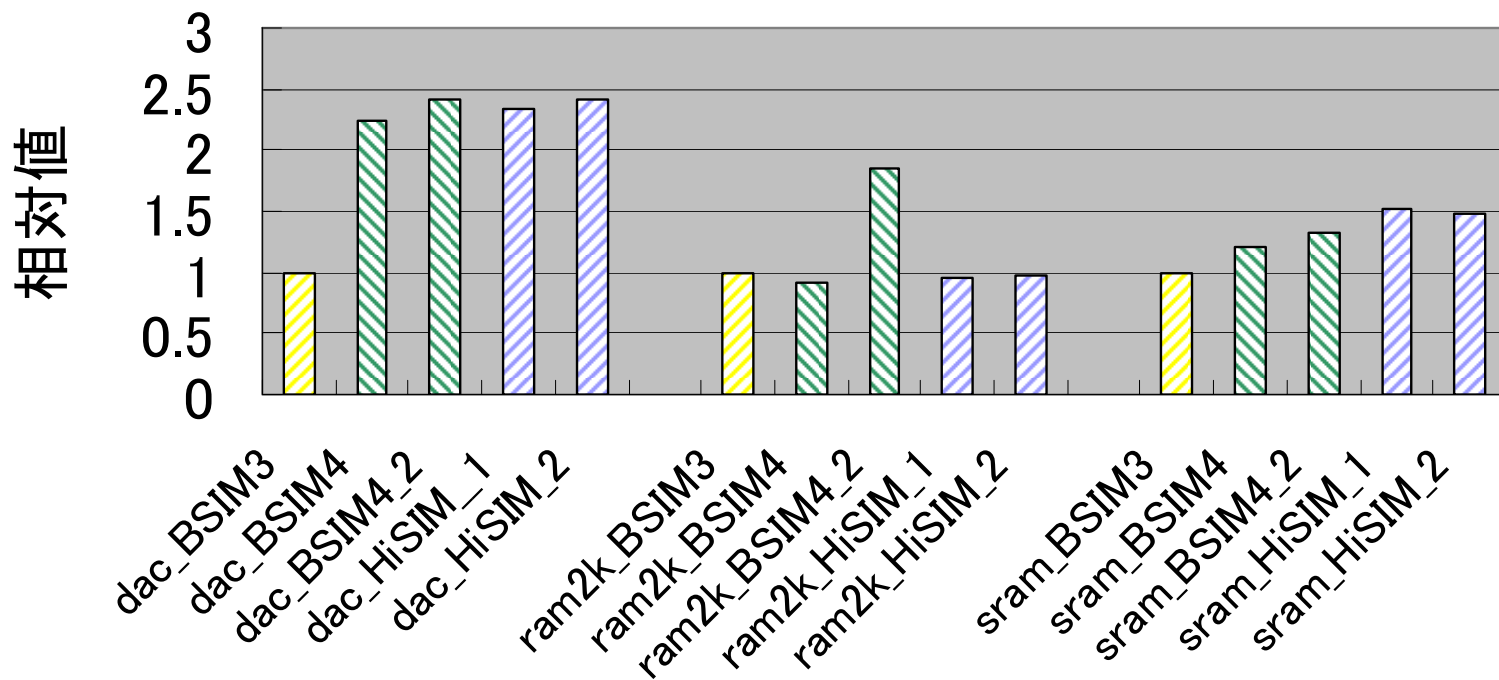
SPICEコンパクト・モデルにおけるシルバコの取り組み

- SmartLibとVerilog-A形式のモデル提供



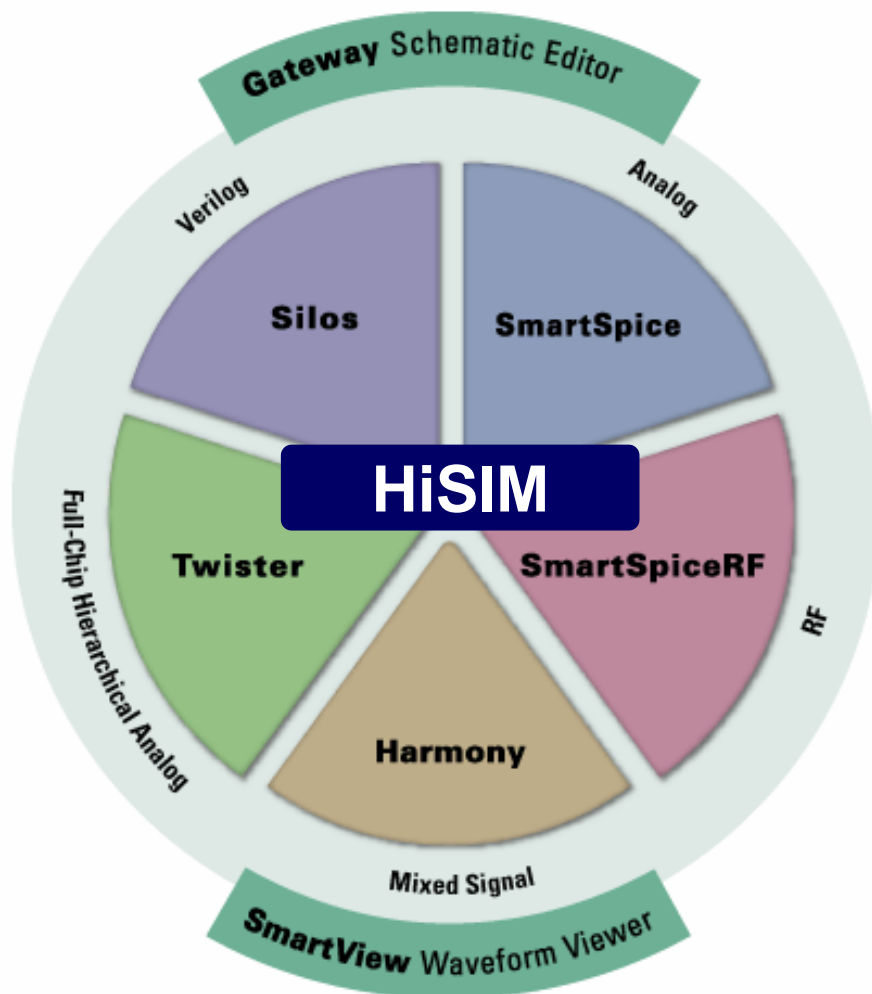
世界のマーケットに発進するHiSIM


HiSIM性能の比較(暫定)



世界のマーケットに発進するHiSIM

- シルバコ・グループのシングル・シミュレーション環境





まとめ

- Silvaco社、Simucad社コラボレーションに基づいたビジネス活動の紹介
- アカデミックから産業界へのコラボレーション
- 世界に発進するHiSIM



HiSIMコラボレーションの経緯(資料1)

- **HiSIMコラボレーションにおけるSilvaco社の歩み**

Silvaco: <http://src.silvaco.com/ResourceCenter/ja/index.jsp>

Simulation standard 2003

“HiSIM Methodology: the Parameter Extraction in accordance with the model derivation”

<https://src.silvaco.com/ResourceCenter/ja/SimulationStandard/showArticle.jsp?year=2003&article=a1&month=jul>

Simulation Standard 2004

“HiSIM-1.2 parameter extraction with the revised UTMOST-III local optimization strategies”

<https://src.silvaco.com/ResourceCenter/ja/SimulationStandard/showArticle.jsp?year=2004&article=a3&month=ju>



HiSIMコラボレーションの経緯(資料2)

■ HiSIMコラボレーション

-Minutes of CMC Meetingより-

March 12, 2004 Face-to-Face Meeting in Boston, MA

<http://www.eigroup.org/CMC/minutes/m031204.htm>

次世代モデル選定におけるプラン

- | | |
|---------------------|---|
| March 2004 | Send invitations to model developers |
| April 30 2004 | Deadline for responses from developers |
| May 2004 | Conduct a phone meeting to select who to invite may be called depending on responses. |
| June 2004 | CMC meeting presentations from developers and a checkpoint for standard data sets |
| August 2004 | Phone meeting to select candidates |
| December 2004 | CMC meeting to review fits to standard data from sponsors and developers. |
| March and June 2005 | CMC meetings for presentations on model evaluation results |



HiSIMコラボレーションの経緯(資料3)

■ HiSIMコラボレーション

-Minutes of CMC Meetingより-

June 30, 2004

<http://www.eigroup.org/CMC/minutes/m063004.pdf>

This meeting was dedicated to presentations by developers of the candidates for the next generation MOSFET model standard: BSIM5, SP, EKV, HiSIM, ACM, MOS Model 11.

Date: Fri, 6 May 2005 15:14:39

The results of the CMC ballot have been tabulated and the two finalists are
HiSIM

PSP

CMC members will soon get official notification from the CMC and I will forward that note to the model developers when I receive it.

Joe Watts IBM Technology Development



HiSIMコラボレーションの経緯(資料4)

- HiSIMコラボレーション

-Minutes of CMC Meetingより-

June 30, 2005 Face-to-Face Meeting in Durham, NC

<http://www.eigroup.org/CMC/minutes/m063005.pdf>

11. Update on Next Generation MOSFET Model Standard Selection
Professor Tatsuya Ezaki (Hiroshima University) gave an update on HiSIM.



HiSIMコラボレーションの経緯(資料5)

■ HiSIMコラボレーション

-Minutes of CMC Meetingより-

October 14, 2005 Face-to-Face Meeting in Santa Barbara, CA

<http://www.eigroup.org/CMC/minutes/m101405.pdf>

3. Next Generation MOSFET Model Candidate Reports

Presentations on HiSIM and PSP Phase-3 evaluations were given in this order:

A. HiSIM Team - Mitiko Miura-Mattausch (HU)

B. PSP Team - Gennady Gildenblat (PSU)

C. Silvaco - Ivan Pesic

D. Cadence – Yutao Ma

E. ADI – Geoffrey Coram

F. Intel – Siva Mudanai

G. Toshiba – Naoyuki Shigyo

H. ST Micro – Jean Remy

I. TI – Xin Zhang

J. IBM – Rob Jones

K. Freescale – Colin McAndrew

L. Renesas – Kazunori Onozawa

M. STARC – Hazama Sagoro

N. Philips – Dick Klaassen

O. Agilent – Rick Poore

P. Jazz Semi - Samir Chaudhry



HiSIMコラボレーションの経緯(資料6)

■ HiSIMコラボレーション

Date: Thu, 1 Dec 2005 14:06:25

Dear CMC members,

31 Members were eligible to vote

17 voted PSP

14 voted HiSIM

no eligible member abstained

Thank you to everyone who work on the process. We started this process nearly two years ago and it has involve very many people and many, many hours of effort.

Joe Watts

CMOS Modeling and Characterization

PSP/HiSIM性能検証報告

“RF CMOSの普及で注目集める新世代トランジスタ・モデルを評価” 日経マイクロデバイス 2006年6月号

東芝 セミコンダクター社