

システムLSIにおける プロセスフレンドリー設計への チャレンジ

2006年7月7日

株式会社半導体理工学研究センター

開発第1部

西口 信行



システムLSI設計チャレンジ



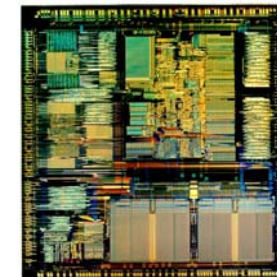
- システムからの要求
- 大規模化
 - システム複雑化
 - 高速化
 - 低消費電力化
 - Time-to-Market

システム設計

製造性考慮
最適化設計環境

- 設計時の作りこみ
- 歩留まり
 - テスト容易性
 - 消費電力
 - 信頼性
 - シグナル
インテグリティ
タイミング
 - チップサイズ

LSI設計



動作するLSI

LSIの動作を妨げる要因

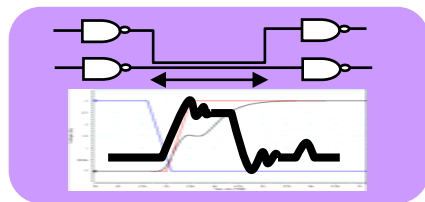
- 製造装置起因
- 製造工程起因
- 製造欠陥起因
- 製造ばらつき起因
- リソグラフィ起因
- 微細化起因

LSI製造

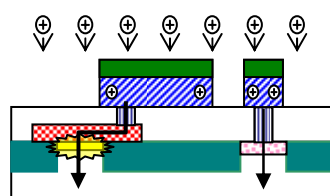


DFMの課題は増加の一途

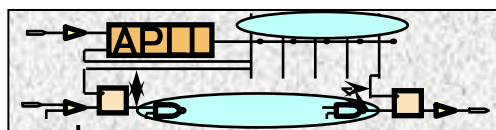
DFMの課題



クロストークノイズ

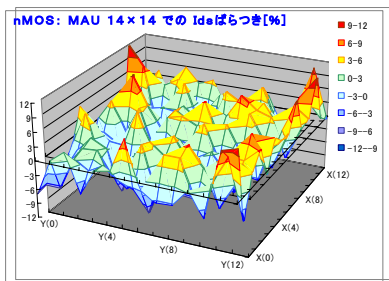


帯電劣化
(アンテナ効果)



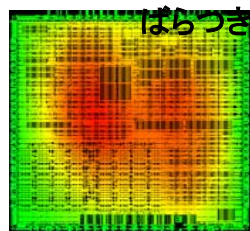
タイミングクロジャ

クロストークノイズ
タイミングクロジャ



L = 0.1um
W = 0.4um

平均 = 203.7uA
σ = 4.4%
min = -11.4%
max = 11.4%



ばらつき

IRドロップ

静的IRドロップ

ホットキャリア

アンテナ効果

クロストーク遅延

データ率
エレクトロンマイグレーション

オンチップばらつき
メタルスロットティング

NBTI

動的IRドロップ

電圧可変ライブラリ

リーク電流最適化

温度可変ライブラリ

電源ノイズ(L依存)

リソグラフィフレンドリ設計

統計的遅延解析

0.25μm

0.18μm

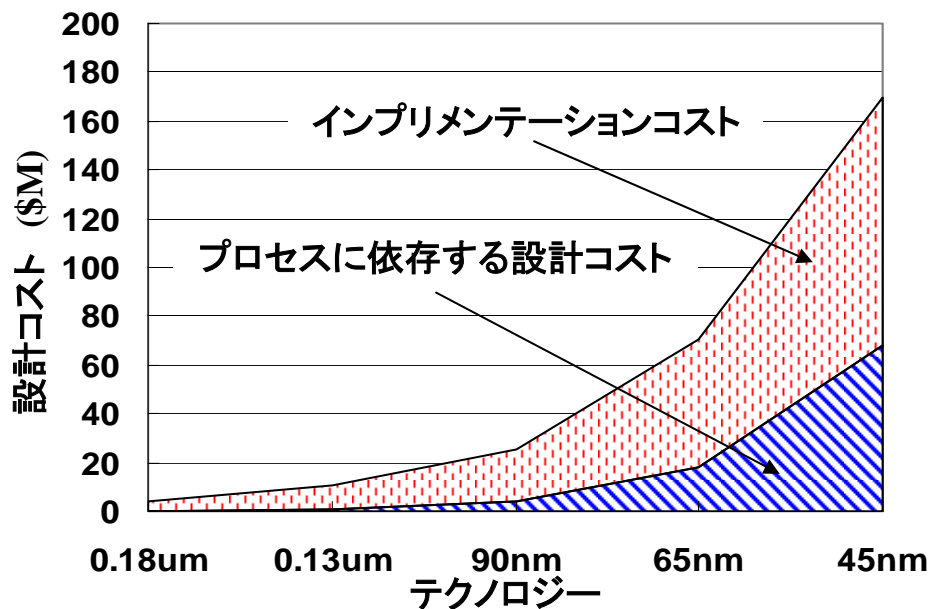
0.13μm

90nm

65~32nm

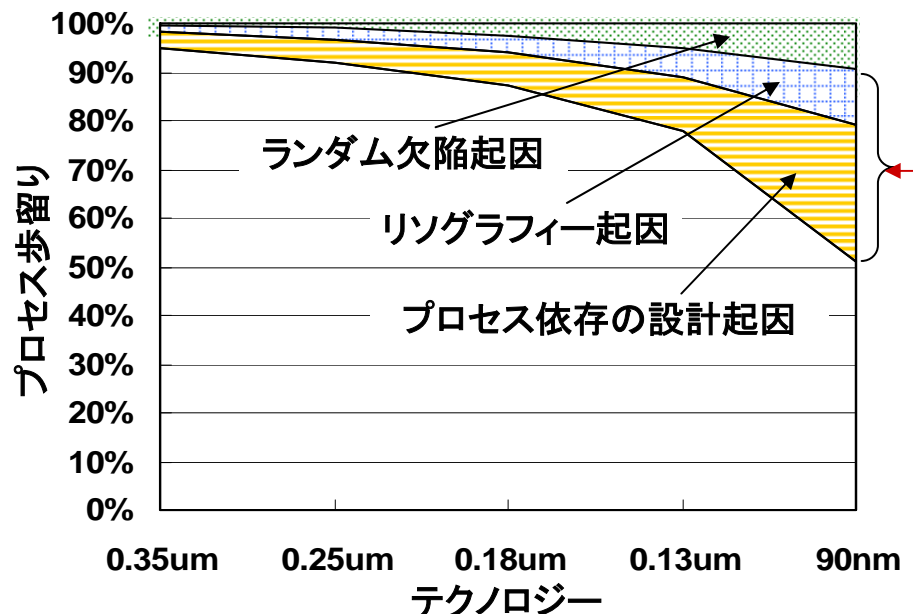
プロセス依存の設計コスト予測

プロセスに依存する設計コストの増加



Source: IBS, 2005年1月 (0.18um~65nm)
45nmのコストは上記およびITRS(2003年)より推定

DFMの不備による歩留り低下

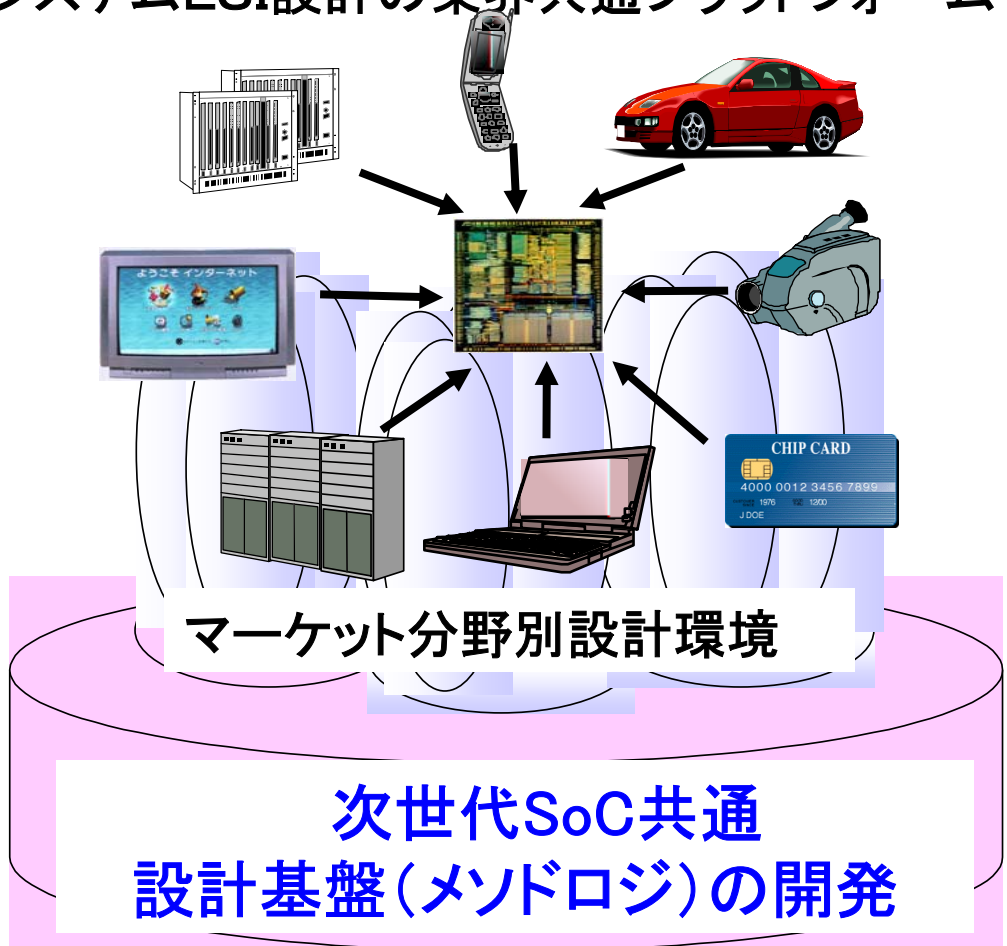


DFMの不備による影響

Source: IBS, 2004年10月

技術開発のフレームワーク

システムLSI設計の業界共通プラットフォーム化の価値が急激に増大

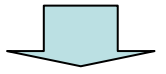


各企業

差異化領域に注力



- 1社だけでは技術開発が困難なもの
- 共通にやることができるもの



開発のコストシェアを図る
標準化を推進する

日本の技術の統合、関連ベンダを主導



STARC Aid your Design with Certified Engineering Linkage - one step ahead of DFM → **CEL**

■最先端プロセスノードのシステムLSI設計(インプリメンテーション)において製造性を考慮した設計メソドロジーの開発

➤ 界面からの最適化

- 界面: システム設計、テスト設計、リソグラフィ、製造

➤ 設計あいまいさの排除

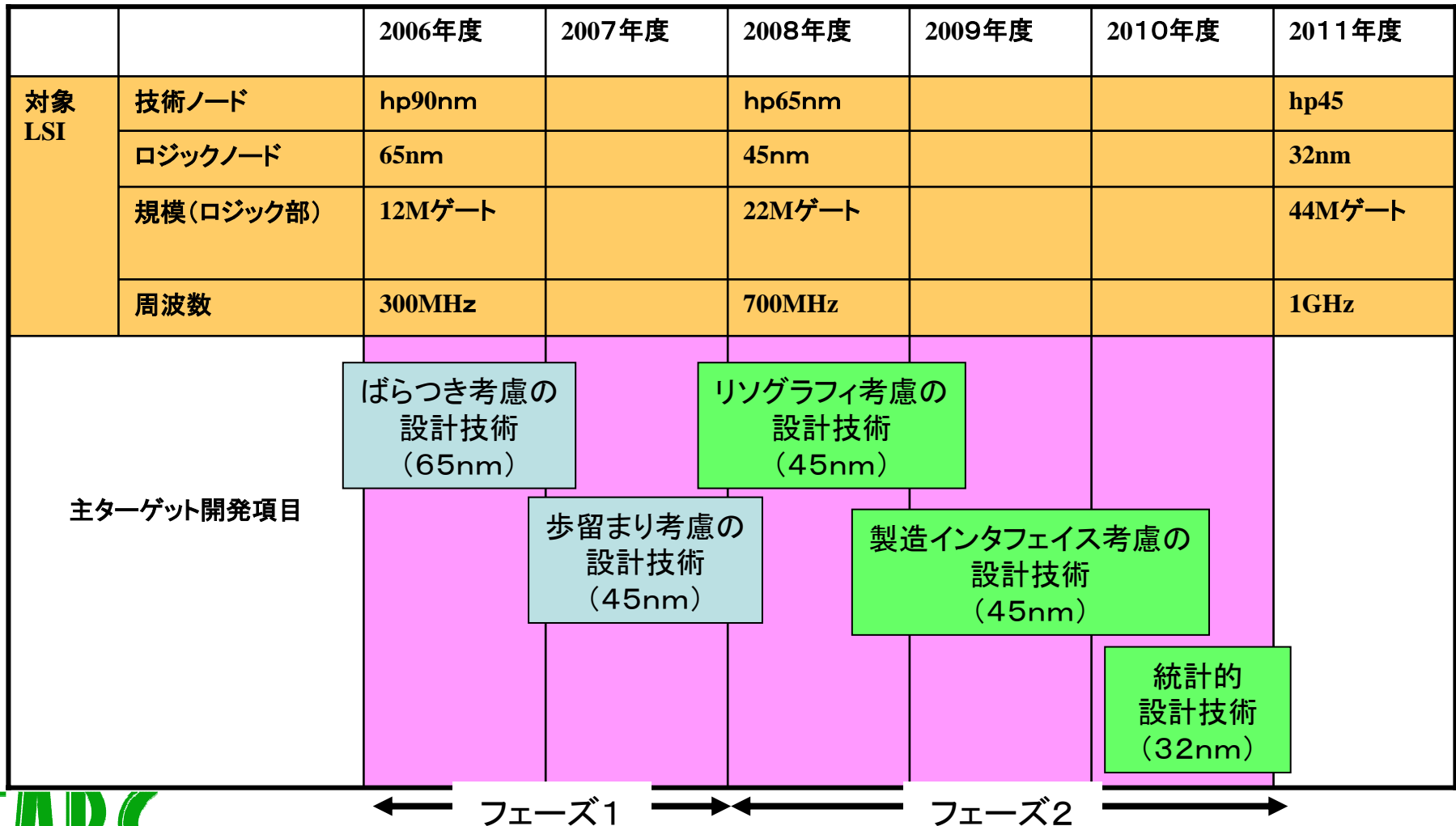
- 物理現象の正確な把握とその取り込み

➤ コラボレーションの推進

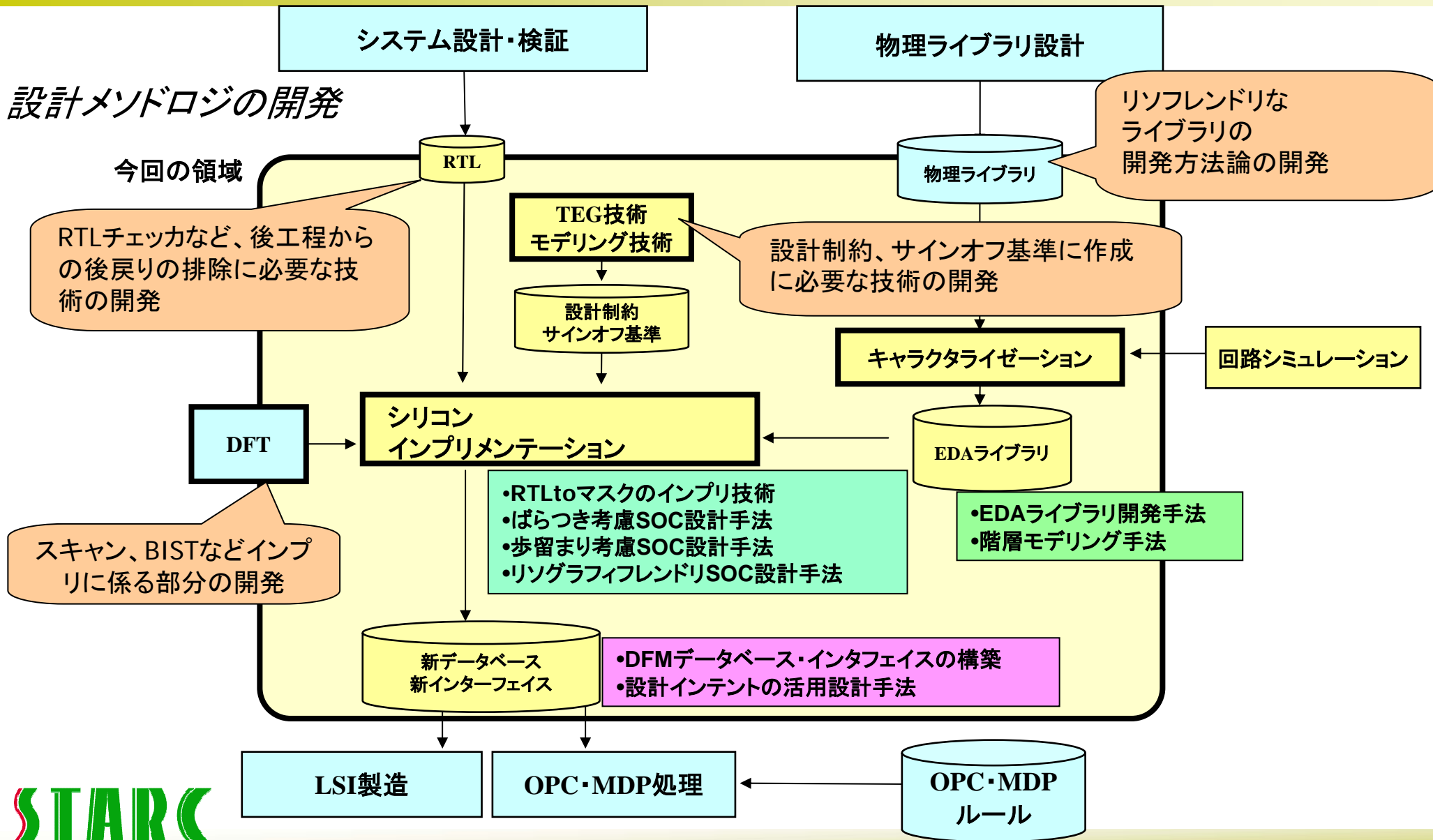
- DFMデータベース、設計インテンツの活用

プロセスフレンドリ設計技術開発

■ロジックノード45nm～32nm製品レベルの低消費電力、低コスト対応システムLSI設計技術

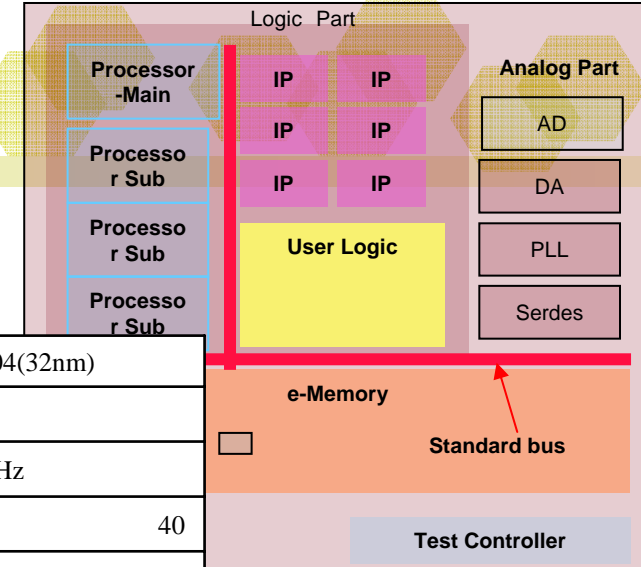


基本的な開発領域



対象製品のイメージ

- ・Hi-End製品は対象としない。
- ・SoC製品としては一般的な仕様を設定する。

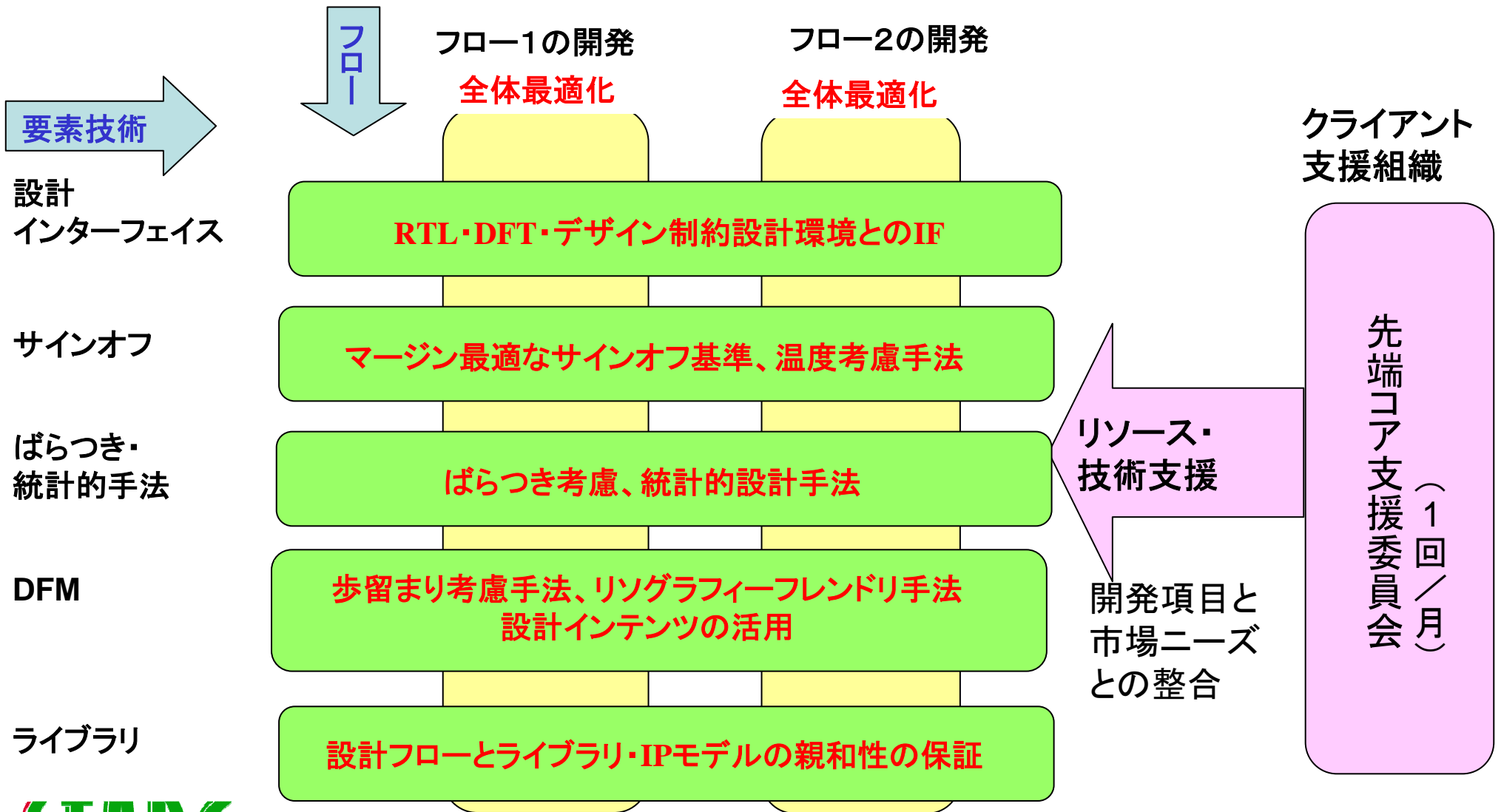


	2006/04(65nm)	2008/04(45nm)	2011/04(32nm)
fmax (High performance; Consumer)	300MHz	500MHz	1GHz
fmax (Low power; Mobile)	200MHz	400MHz	700MHz
No. of clock domain	20	30	40
No. of power domain	10	20	30
Power supply voltage (HP)	1.0 (V)	0.8 (V)	0.8 (V)
Power supply voltage (LP)	1.2 (V)	1.0 (V)	0.9 (V)
Dynamic power consumption (HP)	up to 5W	up to 5W	up to 5W
Dynamic power consumption (LP)	up to 100mW	up to 100mW	up to 100mW
Static power consumption	up to 1mW	up to 1mW	up to 1mW
No. of routing layer	10	11	12
No. of I/O pins	1000	1000	1000
Gate size	12Mgate	22Mgate	44Mgate
Chip size	10mm x 10mm	10mm x 10mm	10mm x 10mm
Memory size	30Mbits	60Mbits	120Mbits
Analog area	20mm ²	20mm ²	20mm ²
IP reuse ratio	20%	40%	60%
Design efforts (RTL to GDS)	100	100	100

開発ロードマップ(2006、7年度)

	2006年上期	2006年下期	2007年上期	2007年下期
全体	65nm対応設計メソドロジー	ばらつき考慮設計メソドロジー (65nmを題材)	Ultra Low Power設計メソドロジー (65nmを題材)	歩留まり考慮設計メソドロジー (45nm対応準備)
フロー	65nm基本フロー構築 Particle Yield/Litho Awareフロー フィジビリティスタディ V3.0 Update 設計インテント仕様策定	Particle Yield最適化 Litho Aware最適化フロー (基本版) 階層サインオフ 設計インテントI/Fフロー	SSTAサインオフフロー(基本版) (SSTA適用方法) 温度考慮リーク電力最適化 (基本版)	RTL~Mask最適設計フロー RTLプロトタイピング 統計的設計手法 Particle/Litho Yield考慮のサインオフ
フロント エンド	GateLevel DFT I/F整備 RTLプロトタイピングイメージ策定	SDC設計環境整備	RTL DFT I/F整備	RTLプロトタイピングの整備
サインオフ	65nmサインオフ基準の確認	電力サインオフ手法の確立	温度考慮のサインオフ手法の確立 Particle/Litho Yield考慮のサインオフ手法の確立	Particle/Litho Yield考慮のサインオフ手法のフロー組込み
ばらつき	ばらつき要因、影響調査 SSTA個別機能評価1	SSTA個別機能評価2 ばらつき考慮設計手法	SSTAサインオフ手法の確立	SSTAサインオフフローへの組み込み
DFM	Particle Yield/Litho Awareツールフィジビリティスタディ DFM DB開発方針検討	Particle Yield/Litho Aware有効性確認と実用化改善	Litho Yield見積もり手法の確立	Particle/Litho Yield考慮サインオフフローへの組み込み
ライブラリ	65nmEDAライブラリキット作成 Particle Yield考慮ライブラリ開発手法	SSTAライブラリ開発手法 ハードIPモデル確立	温度考慮ライブラリ開発手法	Yield考慮ライブラリ開発手法 (Particle,Litho,温度,SSTAなど)

フローと要素技術(チーム構成)



デリバラブル

先行技術
テーマ調査

設計キット

プロダクションフロー
スクリプト

設計ガイドライン
設計制約、サインオフ基準、ハンドオフ基準

技術解説書

EDAツール評価手法
クライテリア評価結果

ライブラリ・IPモデル作成手法

標準評価データ

ツール・ライブラリ:
EDA・IPベンダ
から購入

調査・研究
報告

技術トランスファ

技術セミナー

個別トランスファ

本プロジェクトでの成果指標

- 歩留まりを同一 (hp65nmで実証: hp45nmを予想)
 - 歩留まり悪化要因と感度を特定し、それらに対する対策を組み合わせた場合にチップとしての歩留まりが同一に維持できることを示す (同一チップサイズ、同一Utilization)。
- 設計生産性を2倍
 - 設計生産性 = (規模 × 複雑度) / 設計工数
 - 複雑度 = 速度比 × 省電力比
 - 速度比 = システムクロック周波数の増加分
 - 省電力比 = 消費電力の減少分の逆数
 - 例) 同一チップサイズ、同一速度、同一パワーで回路規模2倍のLSIを同じ設計工数で実現する。

プロジェクトビジョン(2年後)

成功のイメージ

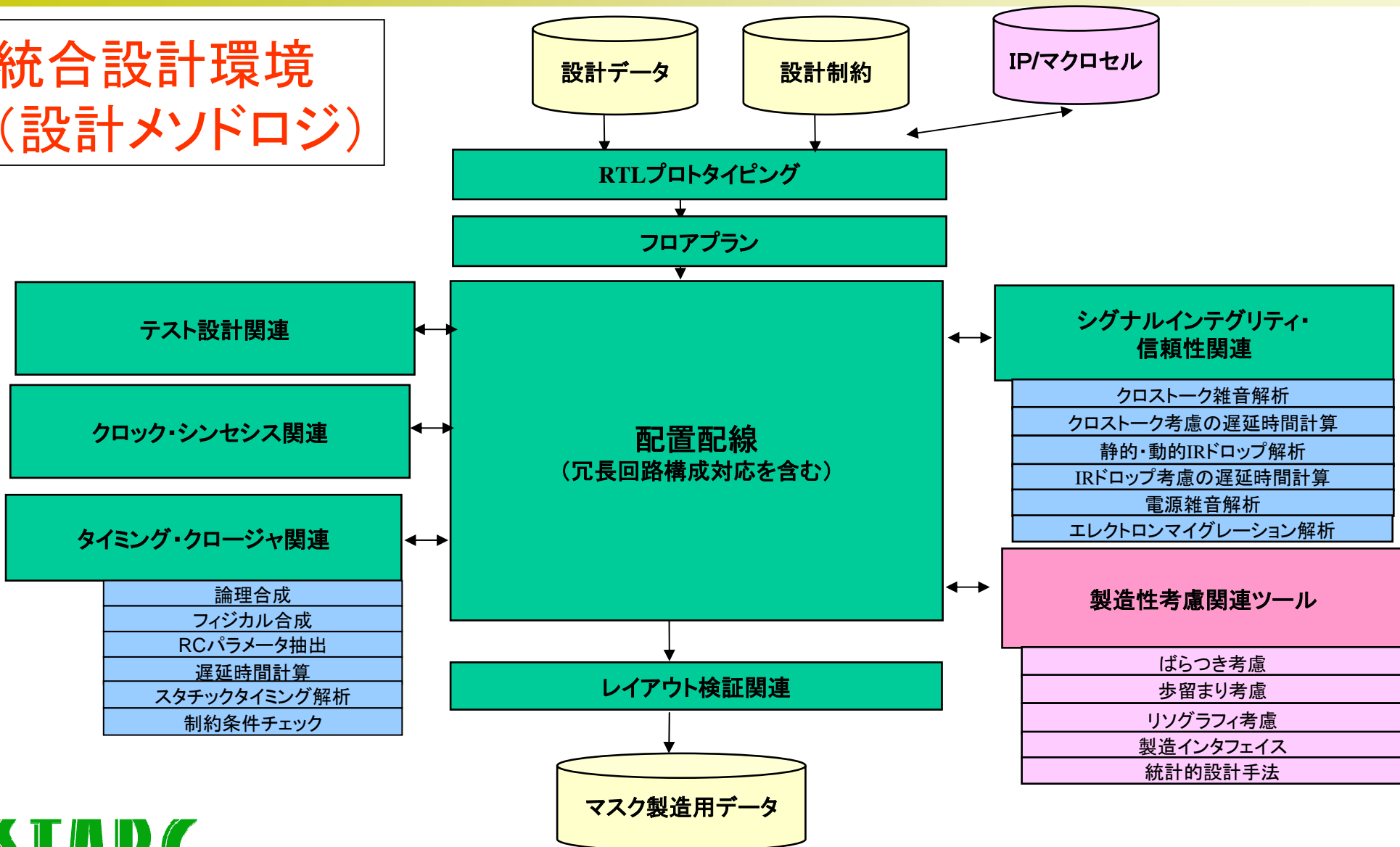
- 65nm、45nm、32nm対応のシステムLSIインプリメンテーションにおいて製造性を考慮した設計メソッドロジ開発が世界最先端の技術集団として行われている。
- その成果物は、クライアントカンパニーに実SOC設計に幅広く使われている。
- 半導体設計・製造業界、EDA業界、IPベンダに広くその活動がワールドワイドで認知されている。
- 開発されている設計メソッドロジはデファクトスタンダードである。



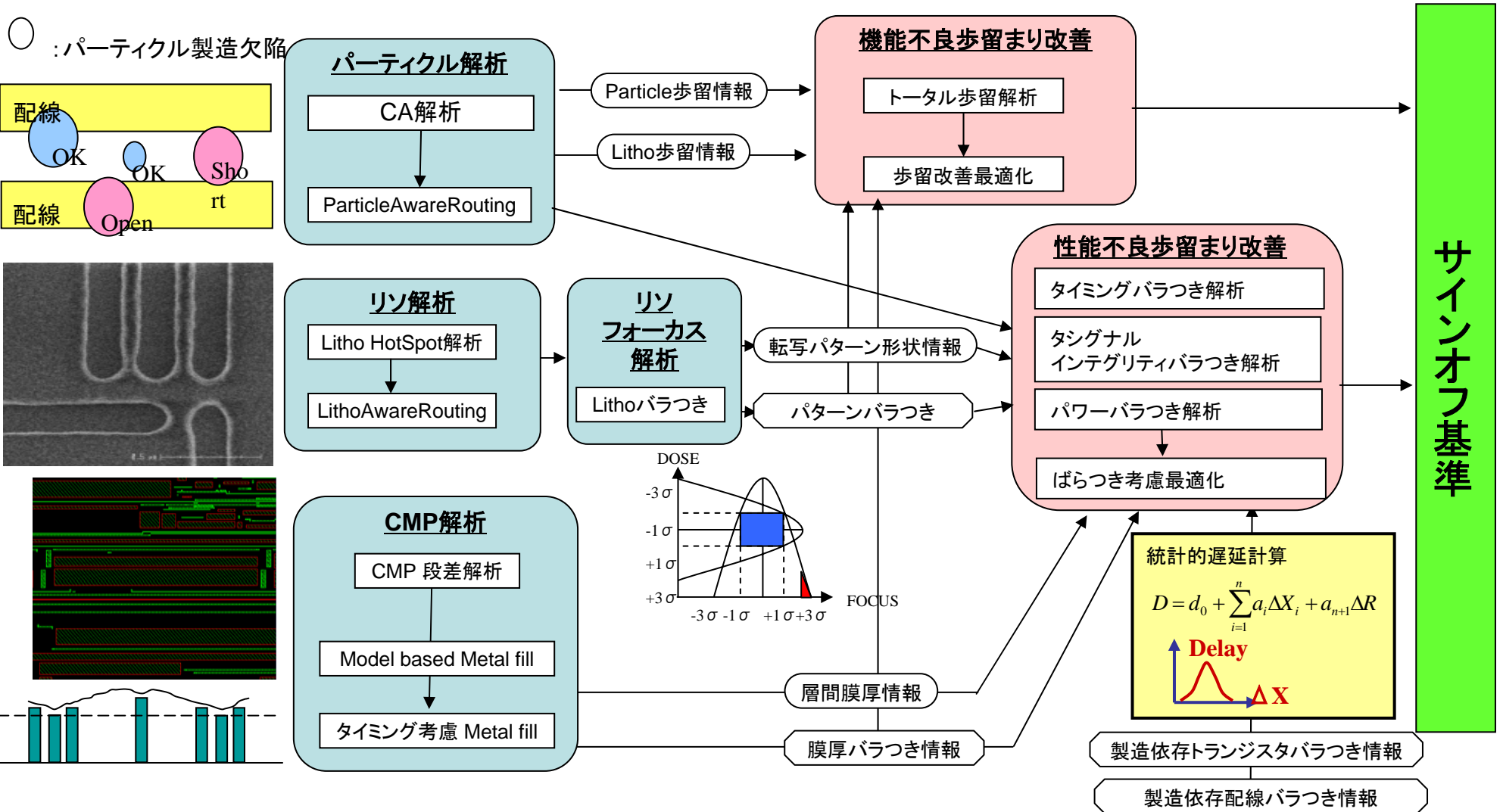
製造歩留まり考慮の設計

シリコンインプリメンテーション

統合設計環境 (設計メソドロジー)



歩留まり考慮設計



オンチップばらつき考慮設計

ばらつきが大きいとそれに依存した設計マージンをとる必要があり
そのために設計収束に時間がかかり、設計生産性を低下
(例)

- ばらつき量が30%であれば1GHzの動作を保証するには、
 1. 3GHzの動作を保証する必要がある。
- 設計最終段階で5%の動作周波数をあげるために
全設計工数の10%程度が必要 (STARC設計の例)

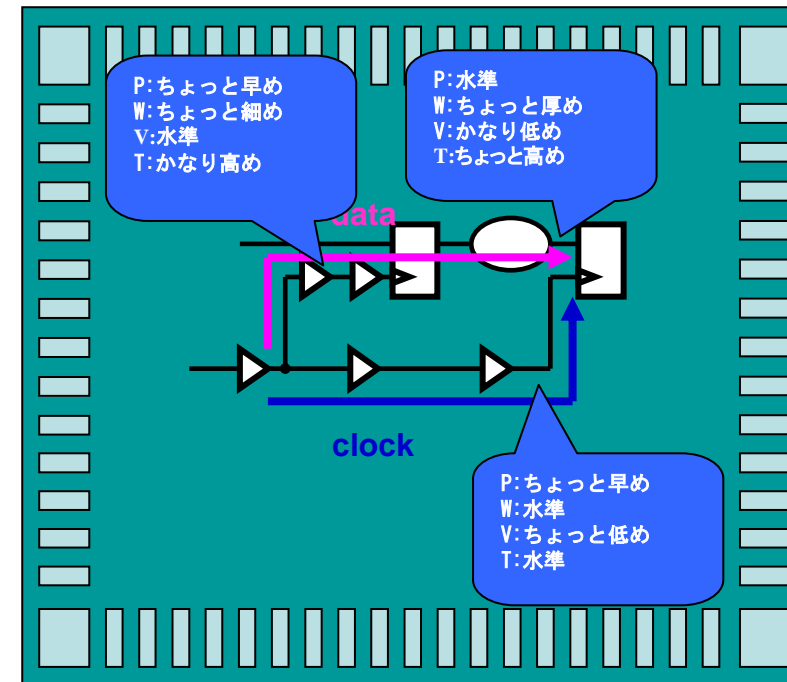
OCV考慮の検証

■ OCV (OCV: On-Chip-Variation)の要因 (例)

- 製造ばらつき
- リソグラフィのばらつき
- OPC (Optical Proximity Correction)の不完全さ
- 現在の設計で考慮しにくい要素
 - チップ内温度
 - IRドロップ値 (各セル毎)
 - 実動作に依存する設計要因のばらつき
- その他設計マージン

OCV値を決める手法
が未確立！！

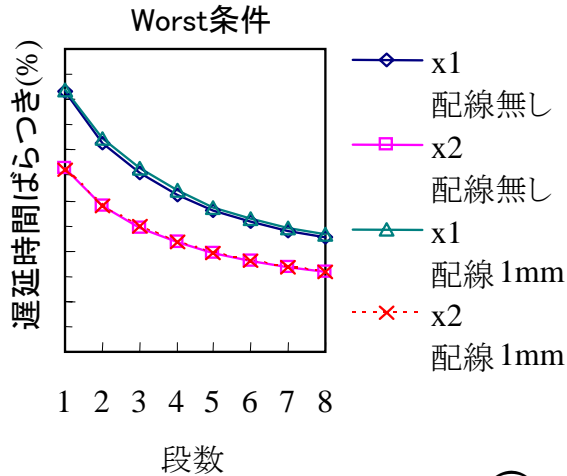
製造ばらつき



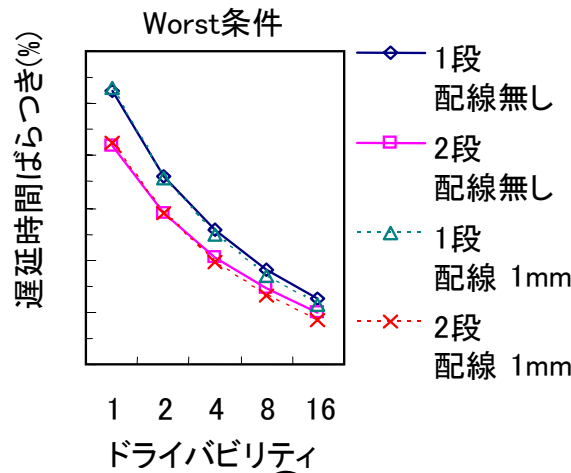
物理現象利用によるOCV削減

■ チップ内ばらつきの以下の物理現象を利用

セル段数依存性 (ランダム)

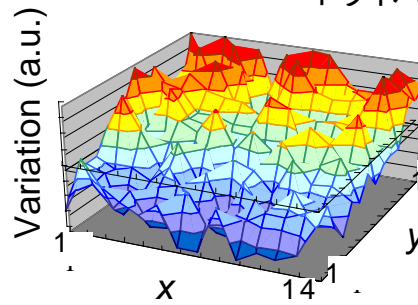
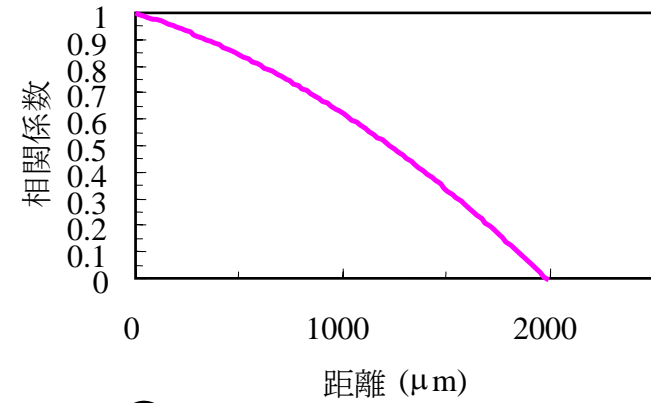


ドライバビリティ依存性 (ランダム)

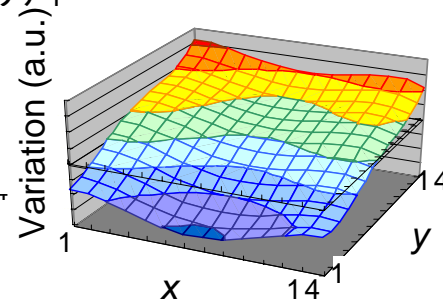


空間相関 (システムティック)

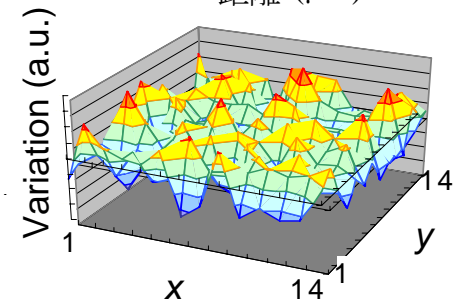
チップ内で近距離のものは
同方向にばらつく



チップ内ばらつき
(実測データ)



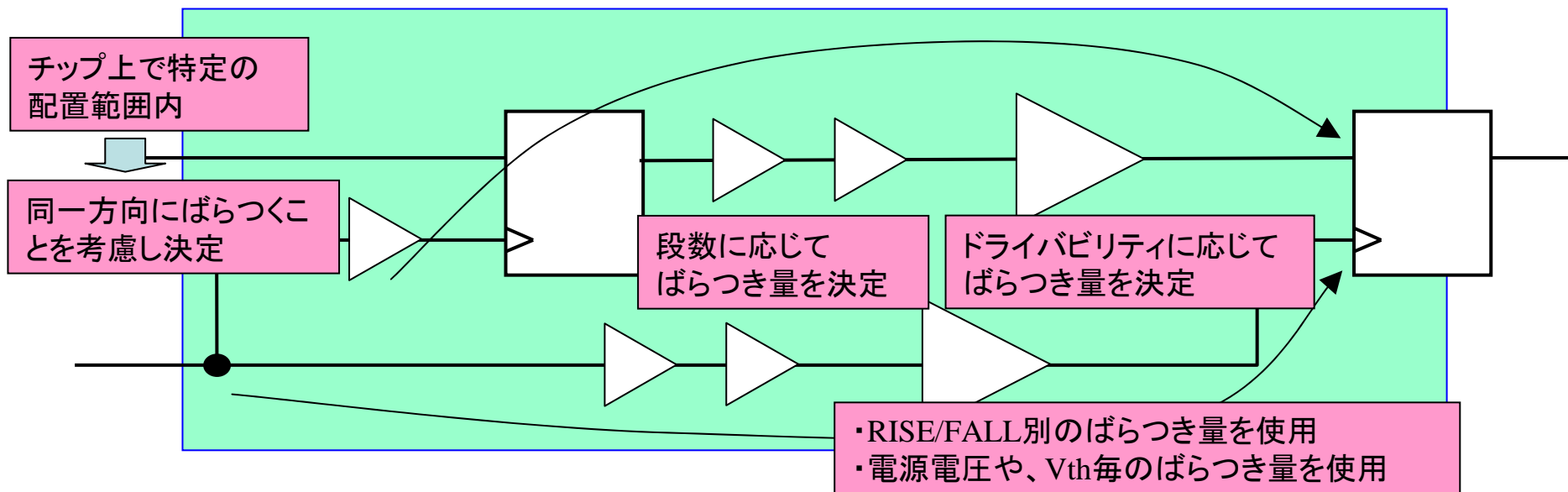
チップ内ばらつき
(システムティック分)



チップ内ばらつき
(ランダム分)

STARC改良版LOCV機能の開発

- 外販ツールのLOCV (Location Aware OCV)に前記物理現象 + α の機能を追加(一部改良)
- 結果として、市販ツールでは実現できない物理を正確に再現



回路依存でOCV値が決定されるようになるので効果は回路依存となるが、

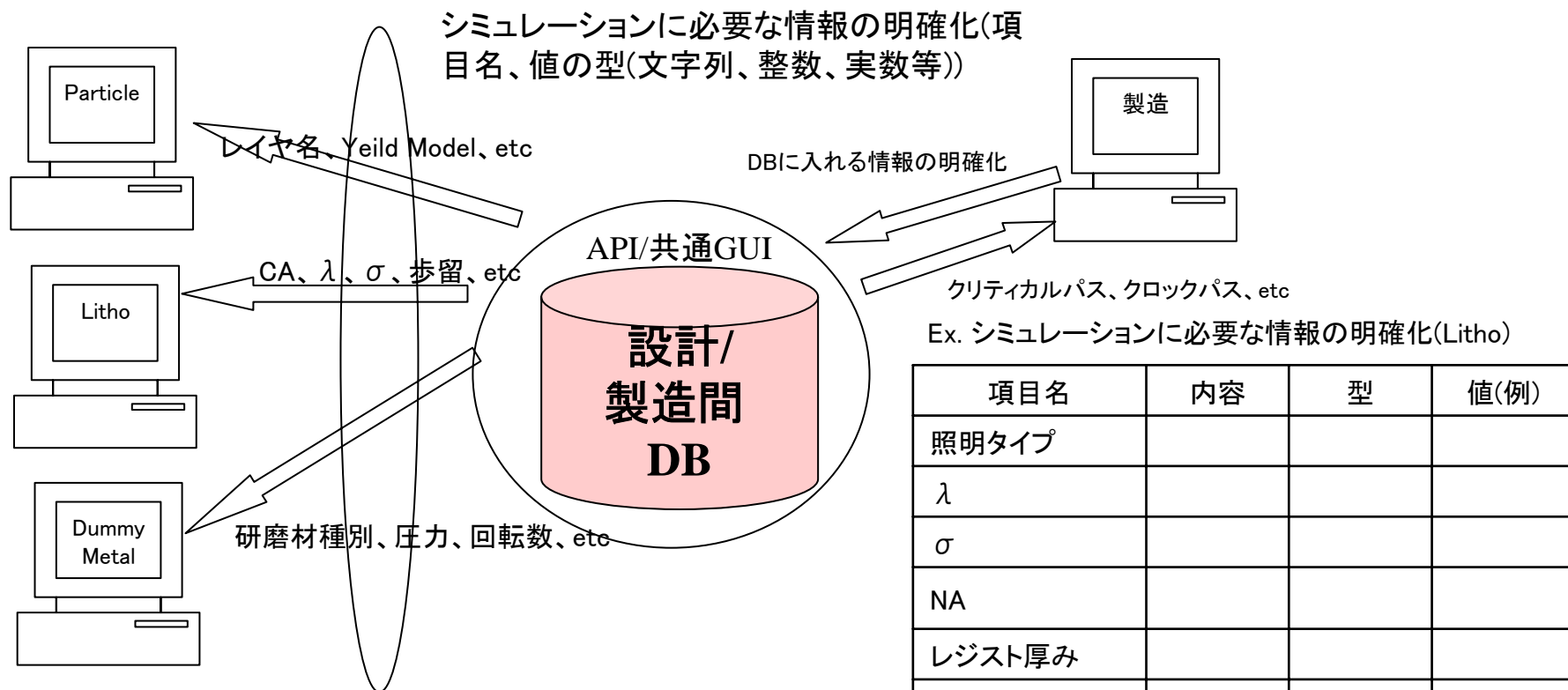
チップ一括OCV幅(): 23% → 4段、x4とすると LOCV: 16%

- OCVの適正值の決定手法
 - パス毎のOCVモデル
 - 検証コーナ毎のOCVモデル
 - 製造ばらつきの感度解析(例:ゲート長・幅、酸化膜圧)
 - 製造ばらつきのさらなる考慮(例:OPC、リソグラフィ)
 - 製造ばらつき以外の影響要因の考慮(例:チップ内温度、動的電圧変動、リーク電流、EDAツール誤差)
- 実際のOCV値との比較
- OCV値を減らす設計手法
 - インスタンス毎のIRドロップ値による遅延計算
 - インスタンス毎の温度による遅延計算
 - OCVの少ないチップ構造とは

DFMデータベースと デザインインテントをマスク設計に活かす

DFMデータベース

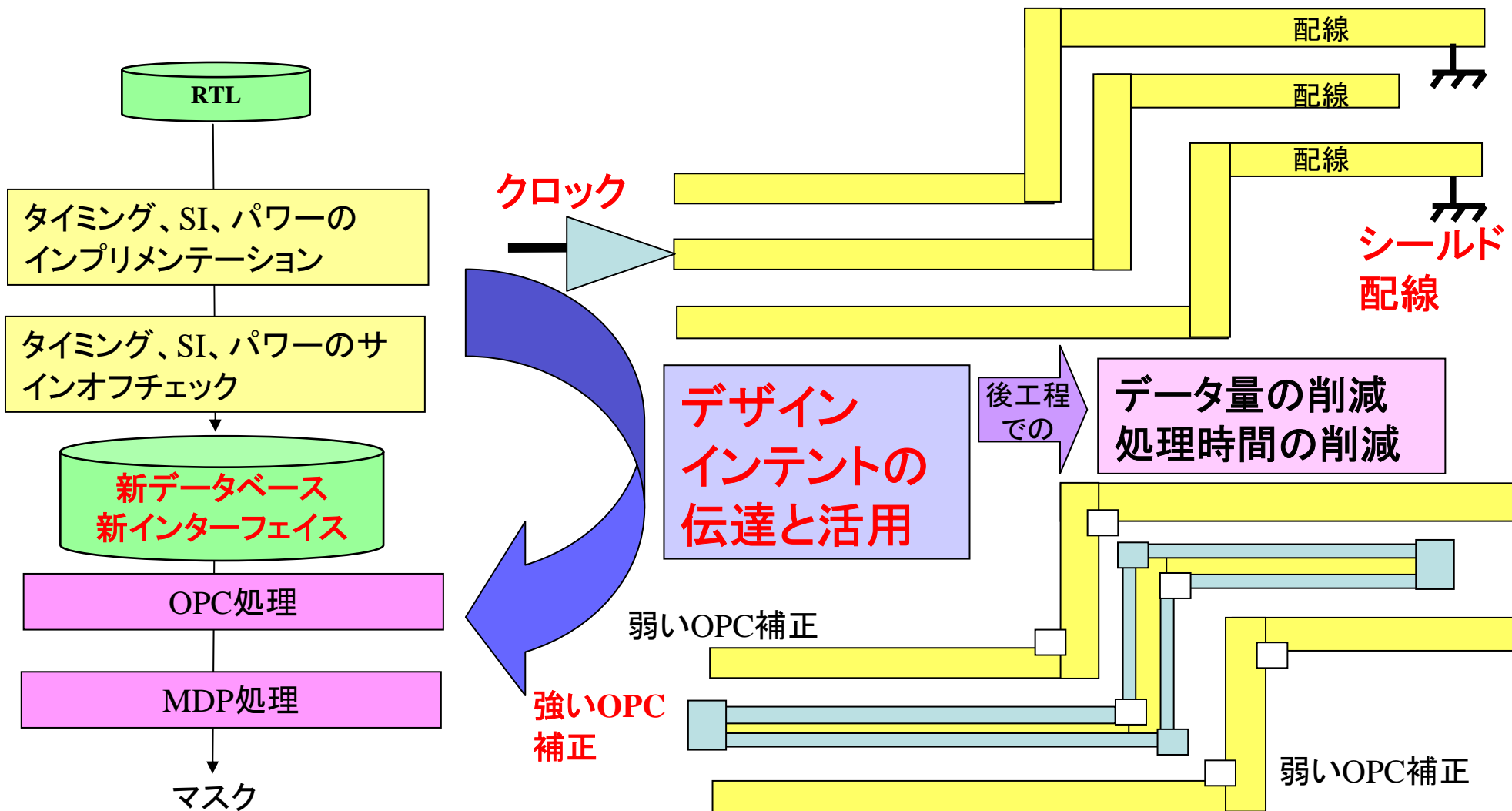
プロセス開発、デバイス開発、ライブラリ開発、品種開発、製造が共通に使えるデータベースの開発



DFM設計環境



デザインインテントの活用



その他のデザインインテント候補

- クロックパス情報
- タイミングクリティカルパス情報
- 電源、グラウンドライン情報
- ダミーメタル、ダミーゲート情報
- 高速動作、低速動作回路情報
- デジタル、アナログ回路情報
- その他

- 製造性考慮最適化設計は、多くの課題がある。
 - 各課題とも複雑である。
 - 独立な課題ではなく、お互いに関係している。
- クライアント会社の連携
- プロセス・デバイス・設計の連携
- 産学連携
- 国際的な連携

日本技術の優位的な立場を確立