

# 65nm世代以降の最先端システムLSI におけるプロセスフレンドリ設計への チャレンジ

2007年1月25日

株式会社半導体理工学研究センター

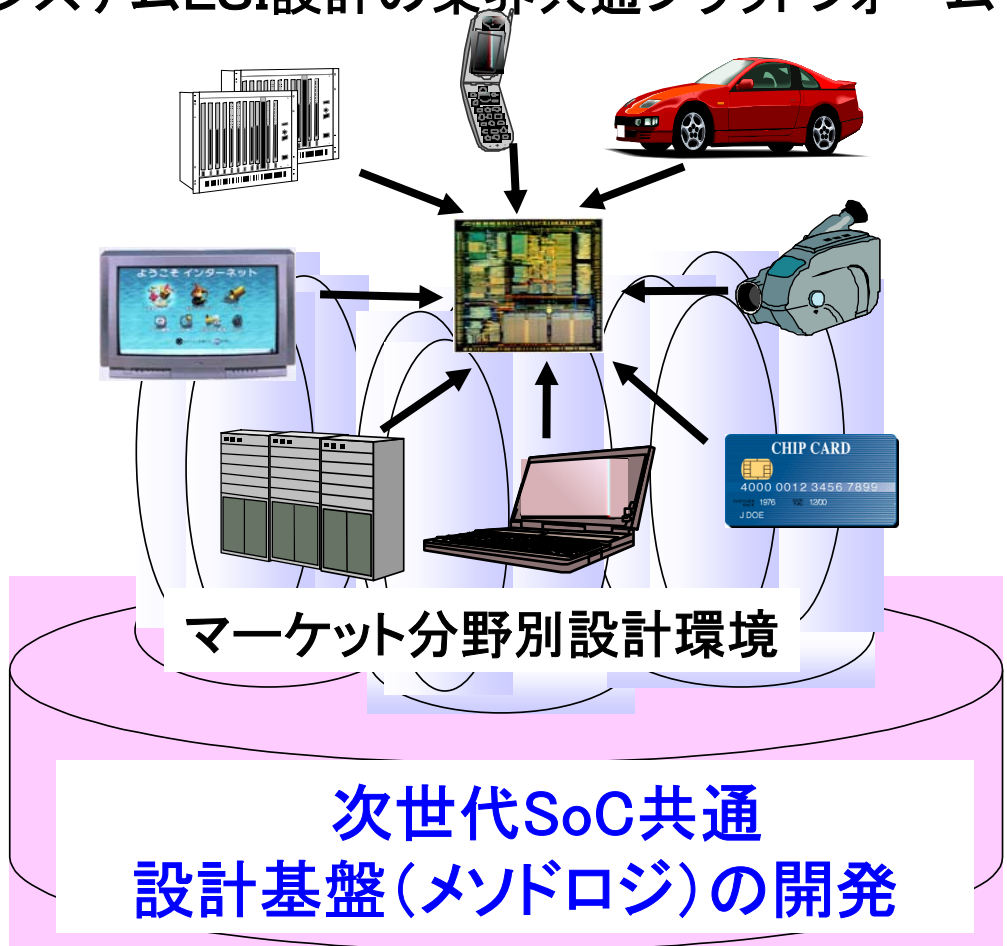
開発第1部

西口 信行



# 技術開発のフレームワーク

システムLSI設計の業界共通プラットフォーム化の価値が急激に増大



各企業

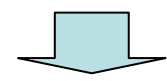
差異化領域に注力

What

STARCC

How

- 1社だけでは技術開発が困難なもの
- 共通にやることができるもの



開発のコストシェアを図る  
標準化を推進する

日本の技術の統合、関連ベンダを主導

STARCC

## STARC Aid your Design with Certified Engineering Linkage - one step ahead of DFM → **CEL**

■最先端プロセスノードのシステムLSI設計(インプリメンテーション)において製造性を考慮した設計メソドロジーの開発

➤ 界面からの最適化

- 界面: システム設計、テスト設計、リソグラフィ、製造

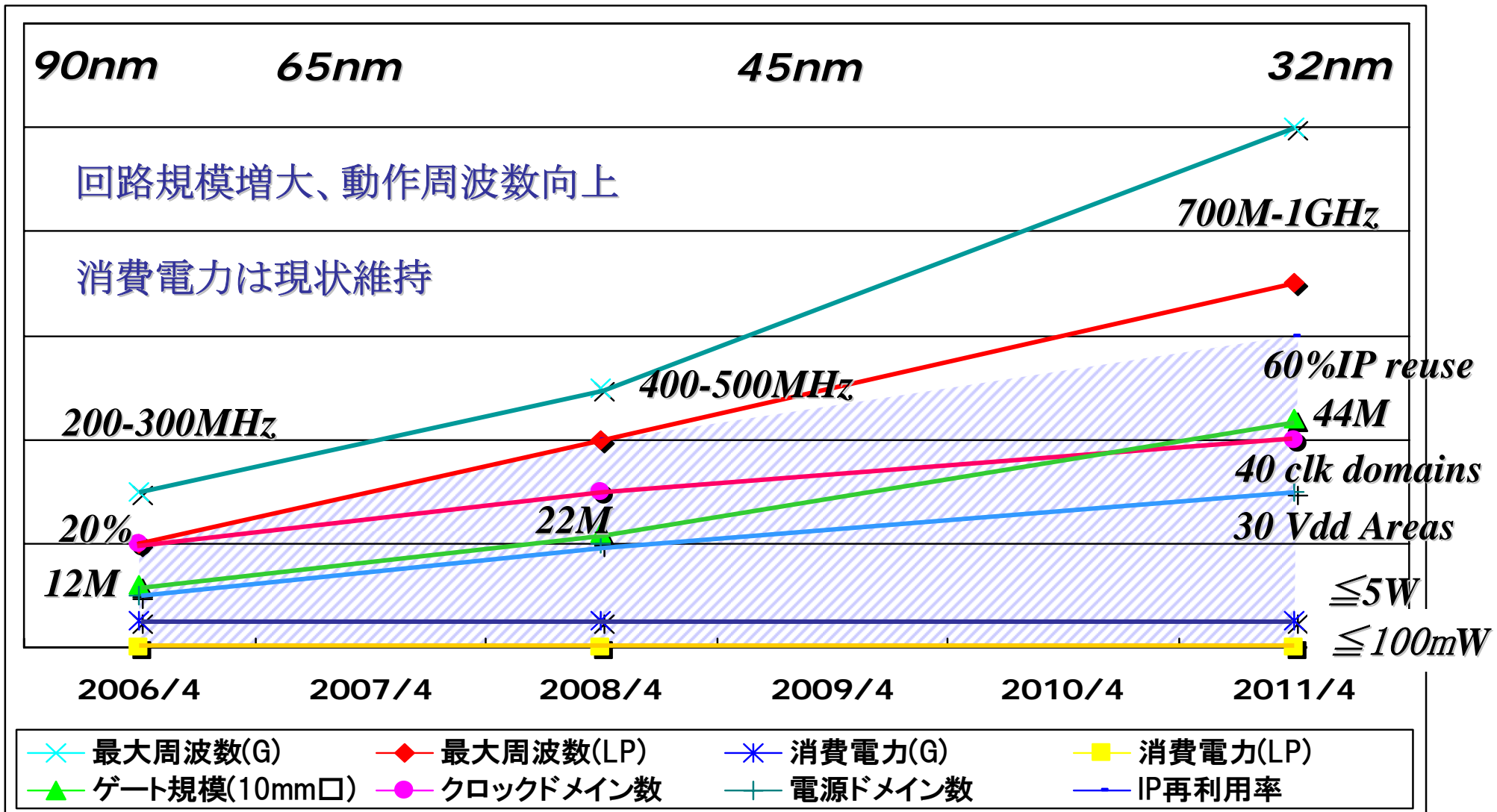
➤ 設計あいまいさの排除

- 物理現象の正確な把握とその取り込み

➤ コラボレーションの推進

- DFMデータベース、設計インテンツの活用

# 90nm世代 VS. 65nm世代以降 / 設計面



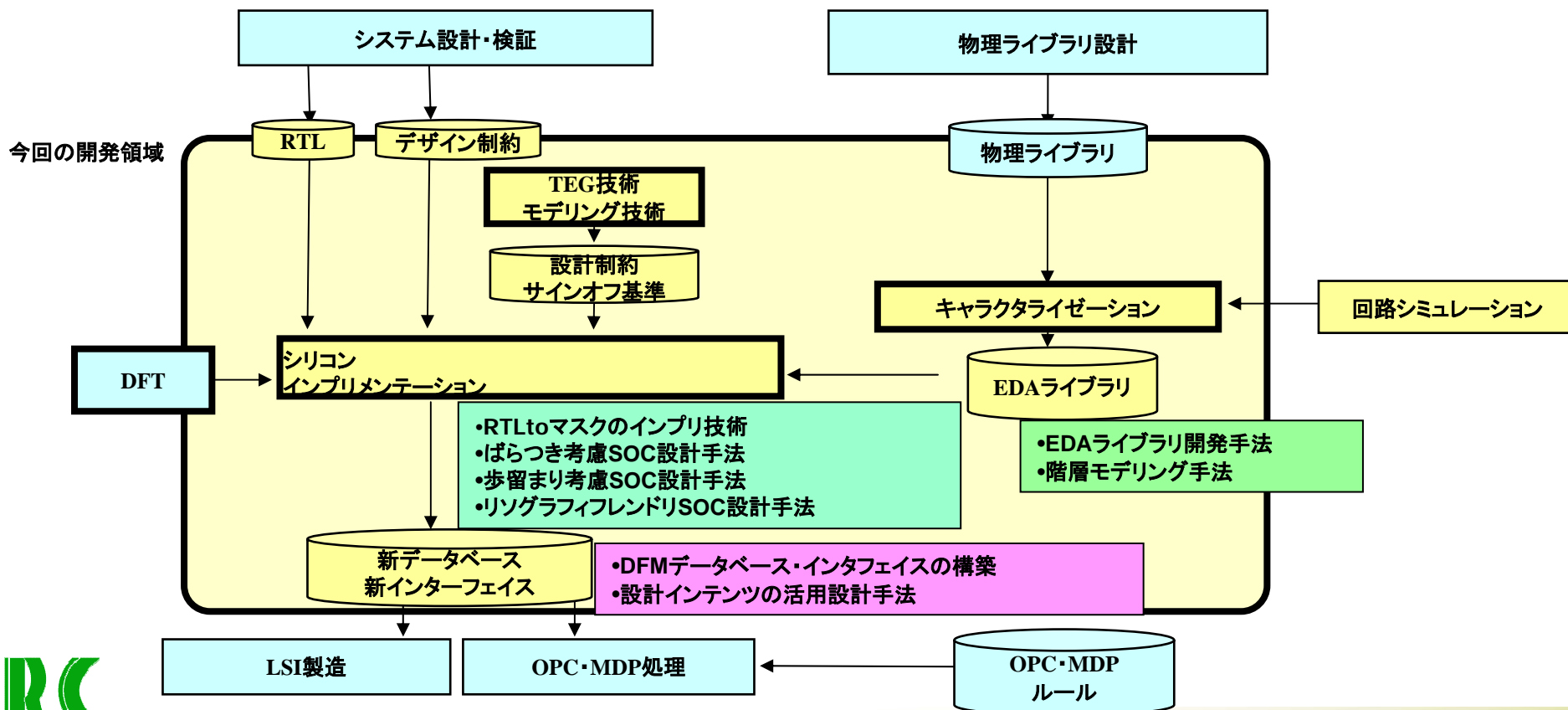
NEDO 2006半導体ロードマップを元にSTARCが予測(2006/4)

# プロセスフレンドリ設計技術開発

■ロジックノード45nm～32nm製品レベルの高効率化、低消費電力化、DFM対応のシステムLSI設計技術システムLSI設計技術を開発する。

## ■開発ステップ

- フェーズ1 (2006～7年) : 45nm対応 (22MG、500MHz)
- フェーズ2 (2008～10年) : 32nm対応 (44MG、1GHz)

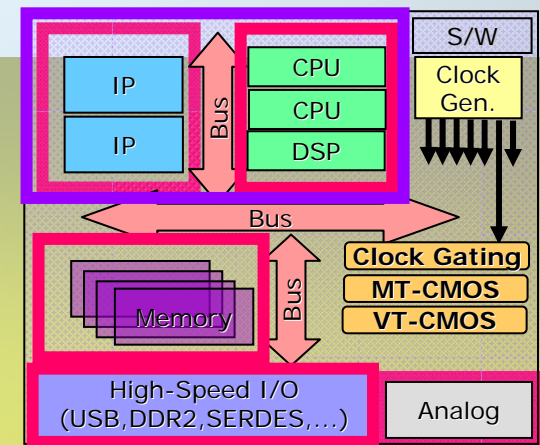
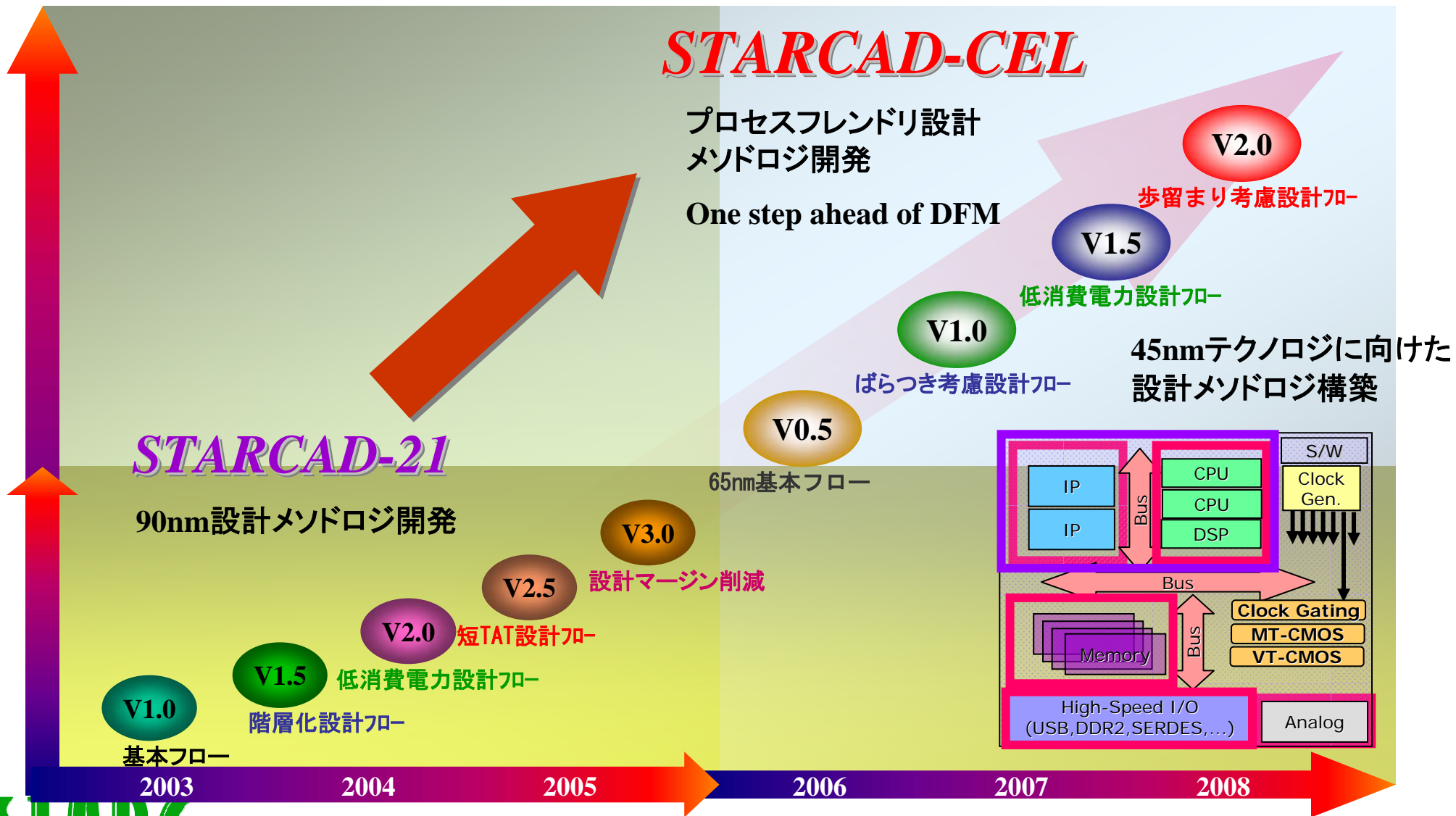


# スケジュール

|            |           | 2006年度<br>上期   | 2006年度<br>下期          | 2007年度<br>上期            | 2007年度<br>下期          | 2008年度                  | 2009年度                     | 2010年度            | 2011年度 |
|------------|-----------|----------------|-----------------------|-------------------------|-----------------------|-------------------------|----------------------------|-------------------|--------|
| 対象<br>LSI  | 技術ノード     | hp90nm         |                       |                         |                       | hp65nm                  |                            |                   | hp45   |
|            | ロジックノード   | 65nm           |                       |                         |                       | 45nm                    |                            |                   | 32nm   |
|            | 規模(ロジック部) | 12Mゲート         |                       |                         |                       | 22Mゲート                  |                            |                   | 44Mゲート |
|            | 周波数       | 300MHz         |                       |                         |                       | 700MHz                  |                            |                   | 1GHz   |
| 主ターゲット開発項目 |           | 65nm基本<br>設計技術 |                       |                         |                       | リソグラフィ考慮の<br>設計技術(45nm) |                            |                   |        |
|            |           |                | ばらつき考慮の<br>設計技術(65nm) |                         |                       |                         |                            |                   |        |
|            |           |                |                       | ウルトラローパワー<br>設計技術(65nm) |                       |                         |                            |                   |        |
|            |           |                |                       |                         | 歩留まり考慮の<br>設計技術(45nm) |                         |                            |                   |        |
|            |           |                |                       |                         |                       |                         | 製造インタフェース考慮の<br>設計技術(45nm) |                   |        |
|            |           |                |                       |                         |                       |                         |                            | 統計的<br>設計技術(32nm) |        |



# STARCAD Roadmap



# ターゲットチップと必要技術(トピックス)

階層設計

IPベース設計

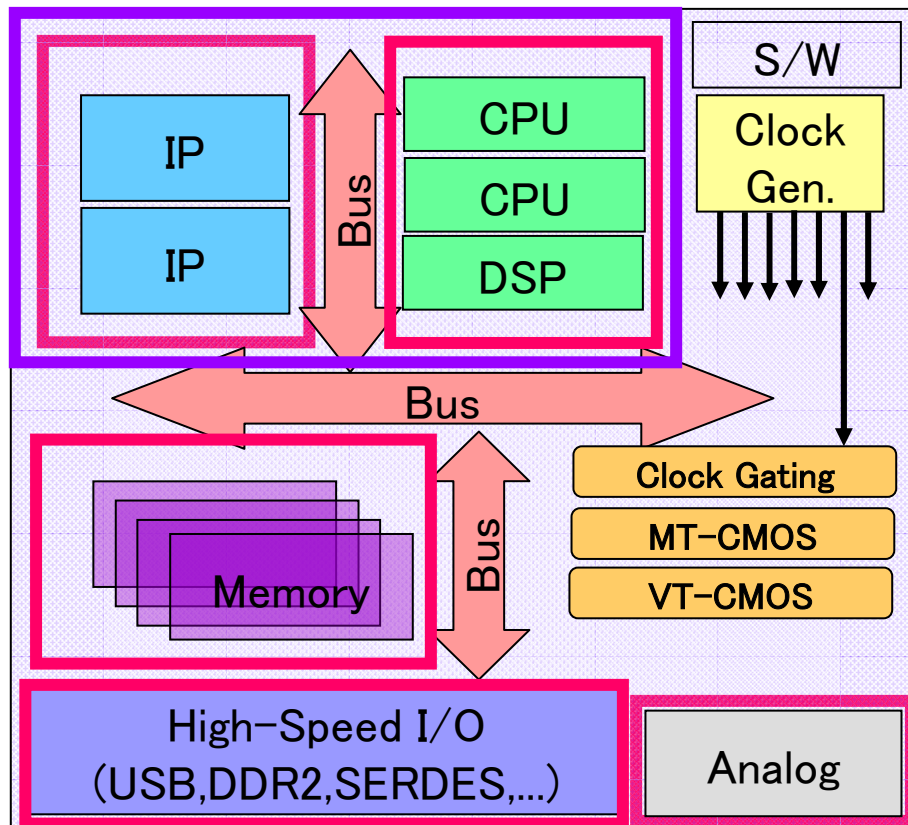
大規模ロジック

大容量、多種類  
メモリ搭載

大規模設計対応

設計TAT短縮

設計効率



マルチコア  
マルチクロックドメイン  
マルチパワードメイン  
パワーマネジメント  
(ダイナミック、スタンバイ、発熱)  
温度考慮

低消費電力対応

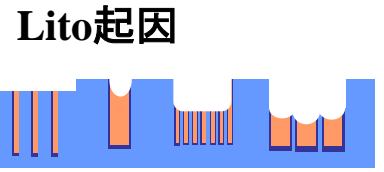
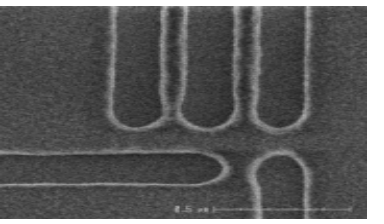
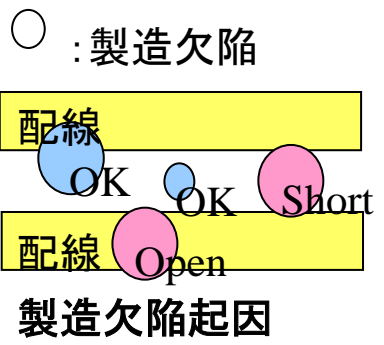
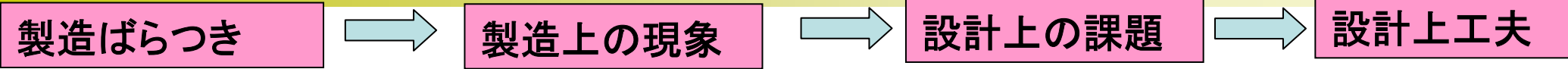
低消費電力

ばらつき考慮 DFM/DFY

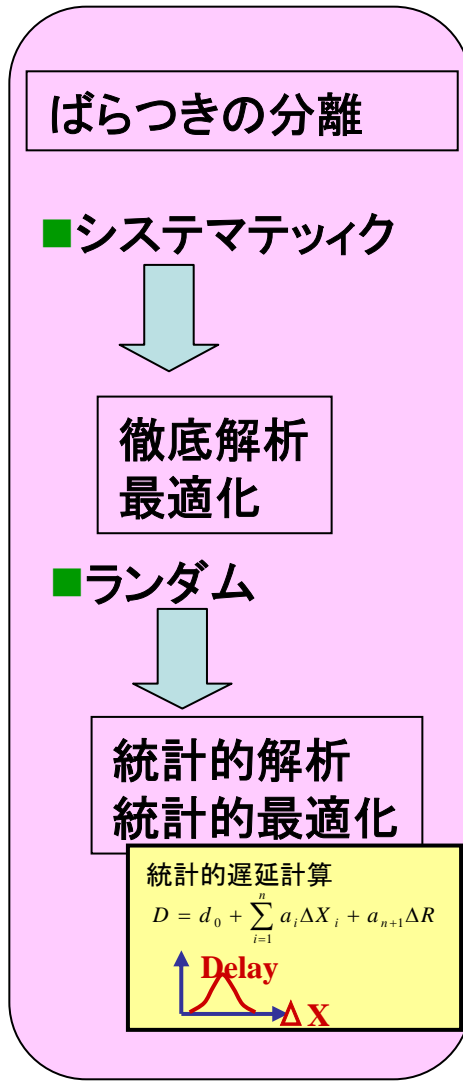
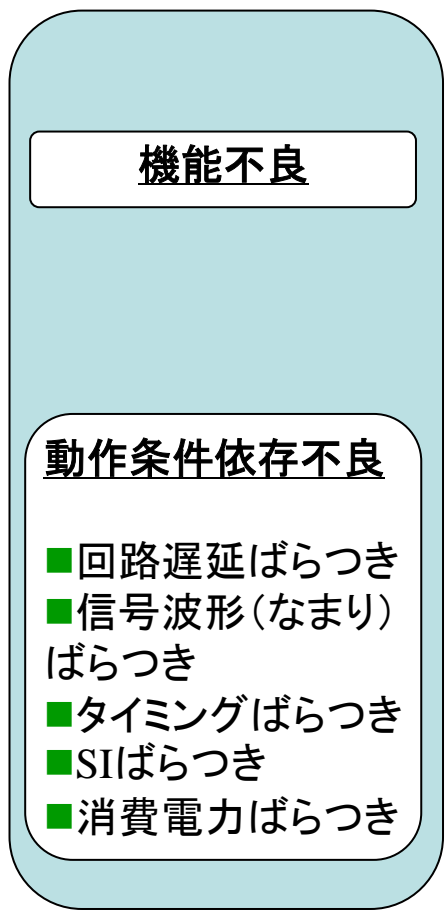
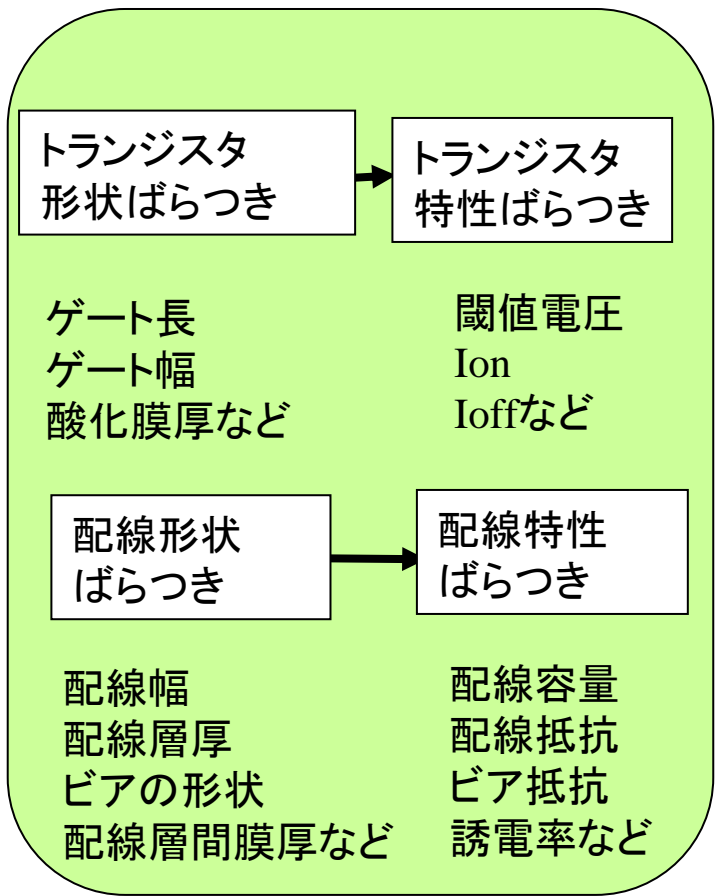
DFM対応

電源、基板ノイズ解析  
製造ばらつき考慮  
統計的手法  
Litho考慮  
CMP考慮  
製造欠陥考慮

# 製造性考慮とばらつき考慮設計

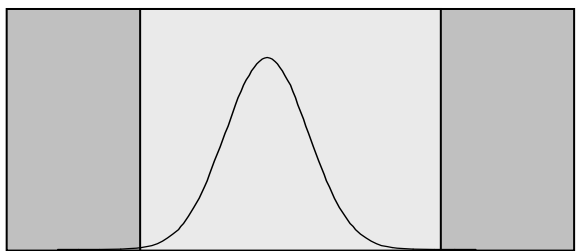


- その他製造ばらつき
- 材料
  - 製造工程
  - 不純物など



# 製造性とばらつき考慮設計狙い

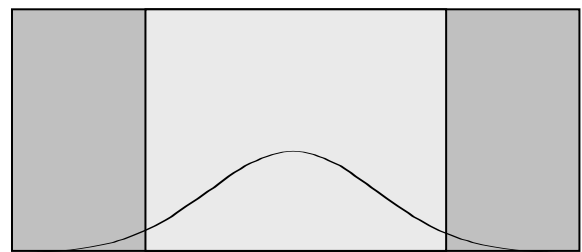
性能・消費電力などの  
仕様限界



従来は特性分布のすべての範囲が仕様限界(設計許容値)内に収まるように設計していた



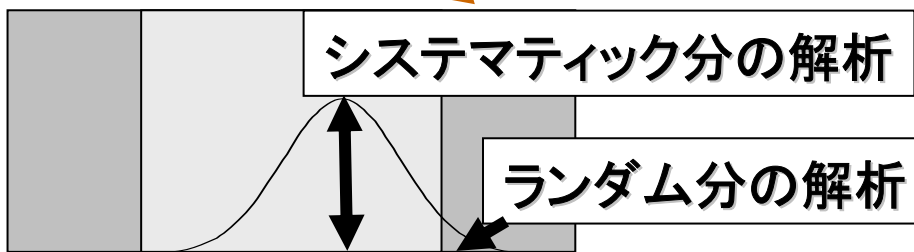
仕様限界



ばらつきが大きくなり、最適化が困難になりすべてが仕様限界内に収まるように設計できなくなった

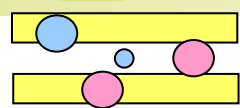


仕様限界



さらにすべてが仕様限界内に収まるように設計できなくても、歩留り(不良率)を予測

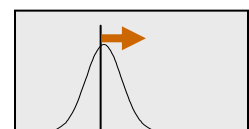
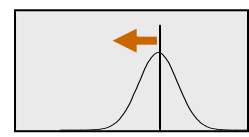
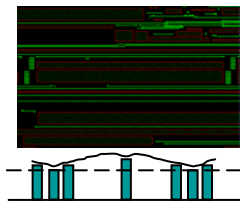
製造欠陥



リソグラフィ



CMP



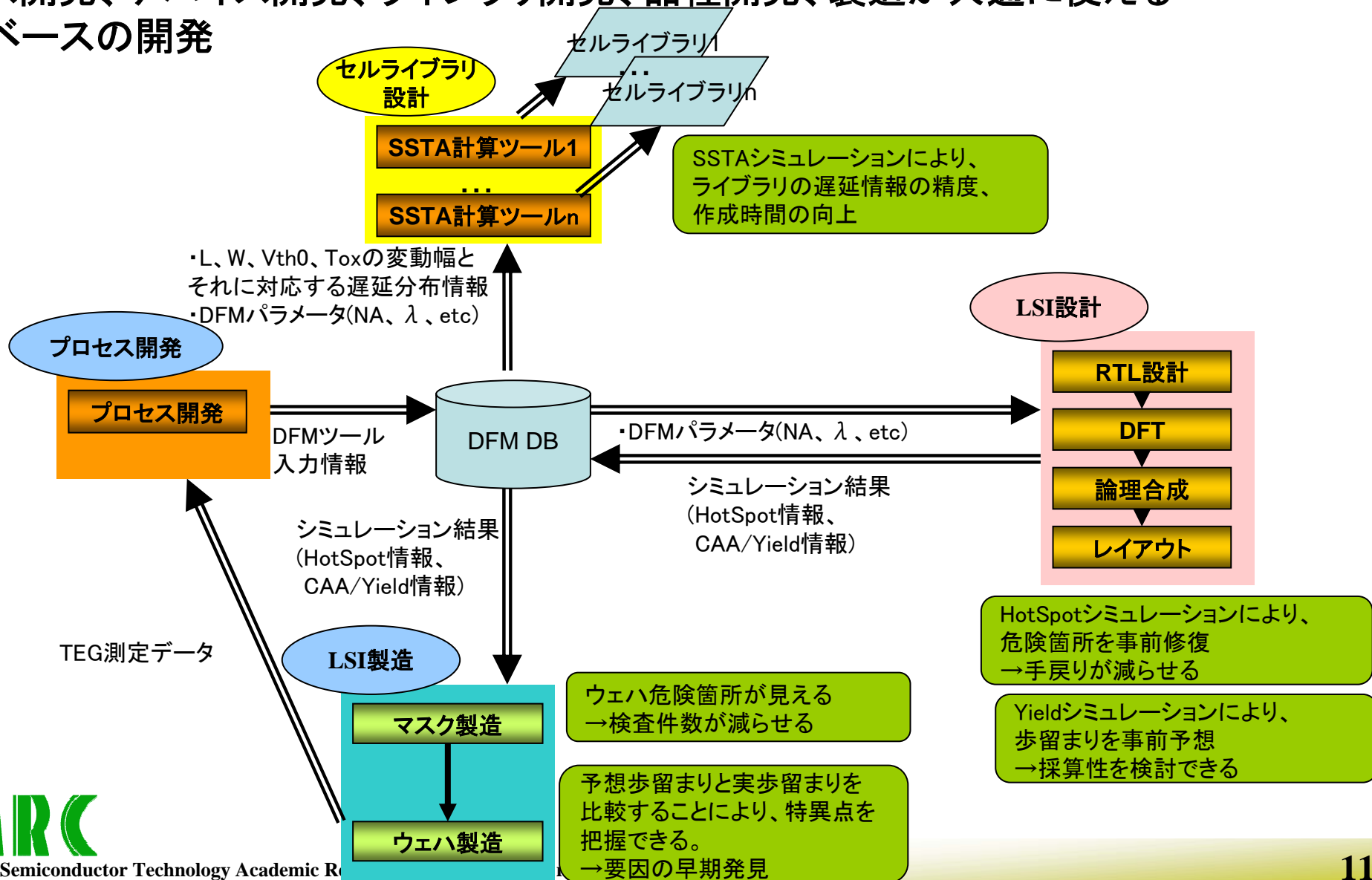
ばらつき要因を解析し、設計を最適化(不必要なばらつきを排除)して影響を最小化

その他の製造・動作条件起因ばらつき

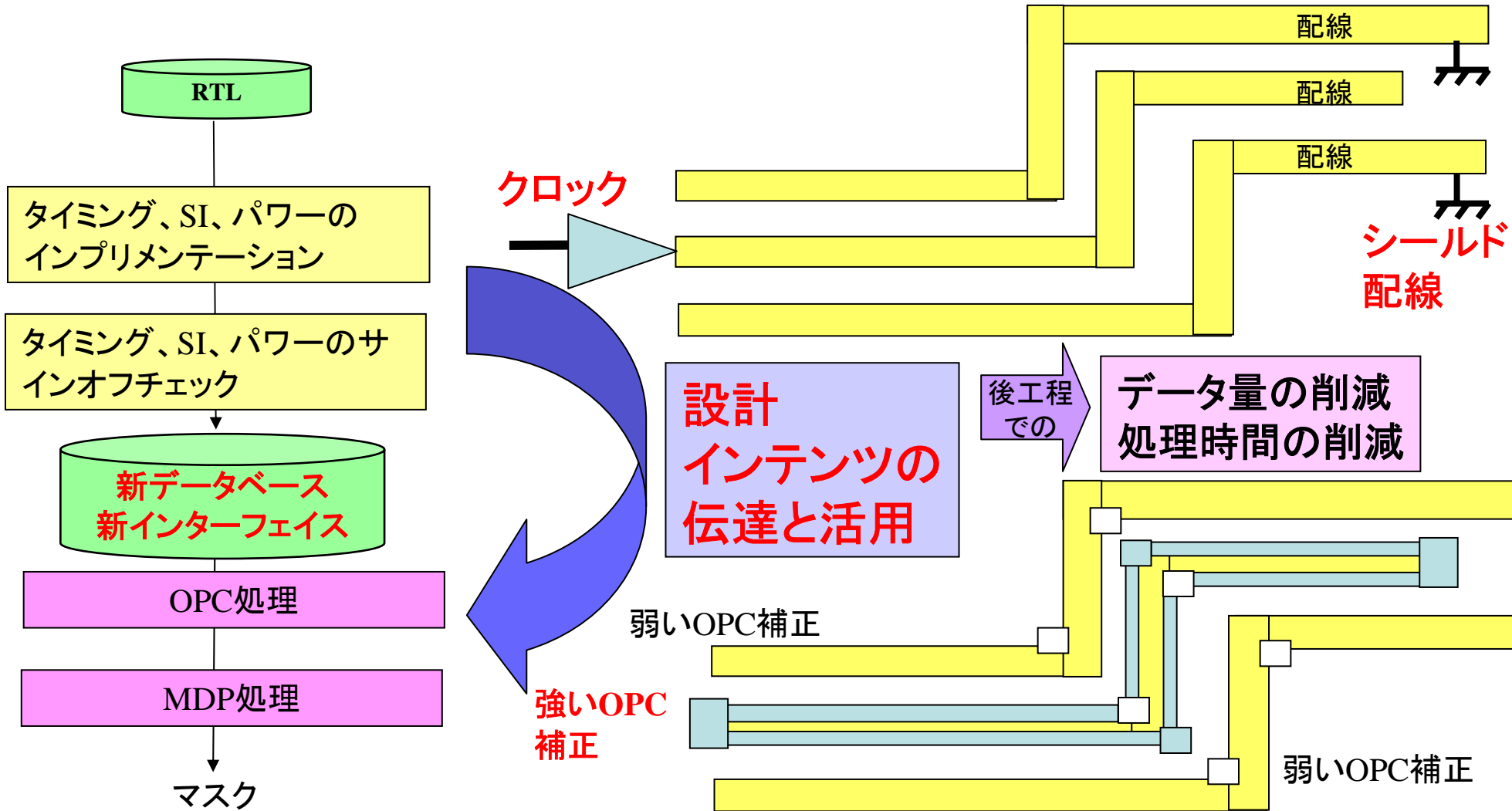


# DFMデータベース

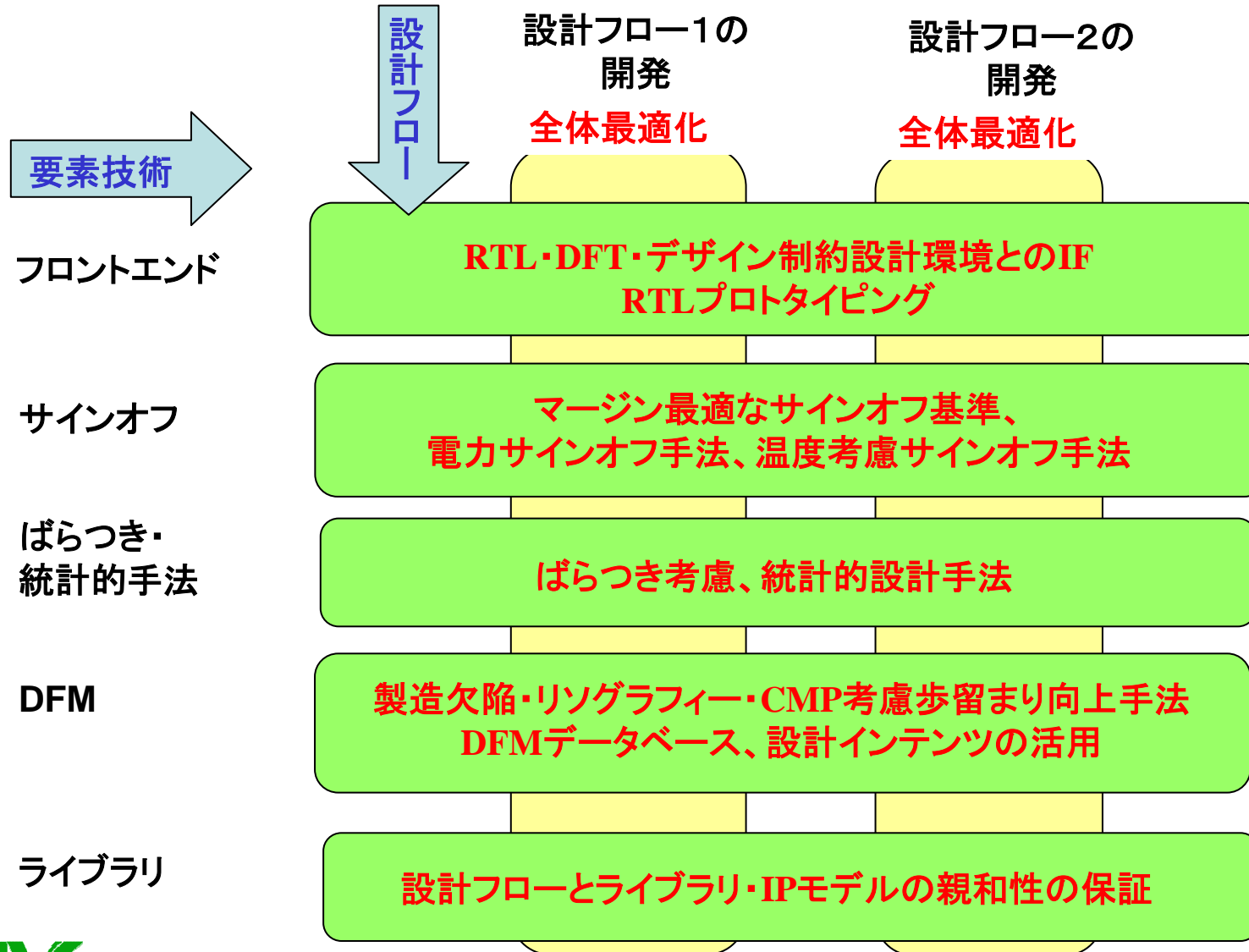
プロセス開発、デバイス開発、ライブラリ開発、品種開発、製造が共通に使えるデータベースの開発



# 設計インテンツの活用



# 設計フローと要素技術



# デリバラブル

先行技術  
テーマ調査

設計キット

プロダクションフロー  
スクリプト

設計ガイドライン  
設計制約、サインオフ基準、ハンドオフ基準

技術解説書

EDAツール評価手法  
クライテリア評価結果

ライブラリ・IPモデル作成手法

標準評価データ

ツール・ライブラリ:  
EDA・IPベンダ  
から購入

調査・研究  
報告

技術トランスファ

技術セミナー

個別トランスファ

# プロジェクトビジョン(2008年3月の成功のイメージ)

- 65nm、45nm、32nm対応のシステムLSIインプリメンテーションにおいて製造性を考慮した設計メソッド開発が世界最先端の技術集団として行われている。
- その成果物は、クライアントカンパニーに実SOC設計に幅広く使われている。
- 半導体設計・製造業界、EDA業界、IPベンダに広くその活動がワールドワイドで認知されている。
- 開発されている設計メソッドはデファクトスタンダードである。

# STARCの共同開発スキーム

## ■ 新たなワークフローに対応する独自の開発体制を提案

- クライアント企業が持つ設計製造界面技術などを有効活用
- グループとして情報やリスクをシェア
- グループとしてメンテナンスとサポートができる体制
- グループとしてEDAベンダーなどのパートナーと連携
- 産学連携により国内外有力大学の人材・技術を活用
- 国の支援

