

企業間ネットワークで拡大する STARC設計技術標準

株式会社 半導体理工学研究センター
企画部
古井 芳春

- (1) STARCの活動紹介
- (2) IP機能検証ガイド
- (3) 標準準拠テスト環境 (STIL)
- (4) 次世代コンパクトモデル HiSIM
- (5) まとめ

STARC会社概要

- 商号: 株式会社 半導体理工学研究センター
(略称: STARC)
- 所在地: 横浜市港北区新横浜3丁目17-2 友泉新横浜ビル
- 代表取締役会長: 中島 俊雄 (NECエレクトロニクス株式会社 代表取締役社長)
- 代表取締役社長・CEO: 下東 勝博
- 創立: 1995年12月28日
- 株主:
 - 富士通株式会社
 - 松下電器産業株式会社
 - NECエレクトロニクス株式会社
 - 沖電気工業株式会社
 - 株式会社ルネサステクノロジ
 - ローム株式会社
 - 三洋電機株式会社
 - セイコーエプソン株式会社
 - シャープ株式会社
 - ソニー株式会社
 - 株式会社東芝

STARCの事業内容

- 大学との共同研究の推進
- 半導体分野の人材育成および育成支援
 - 大学および一般企業向け教育、技術報告会・交流会・ワークショップ等の開催、コンサルティング、学会活動の支援、等
- SoC設計技術開発
 - 高付加価値設計および設計生産性向上のための技術開発
 - SoC設計技術の標準化推進
- 90nm試作シャトルサービス(スターシャトル)



STARCの歴史

1995 1996

2000 2001 2002 2003 2004 2005 2006

設立 大学との共同研究・教育支援

- 1995年12月、STARC設立
- 産学共同研究による技術革新の探求

- SoC設計技術開発を目指した国家プロジェクト開始
- 2001年7月より「あすかプロジェクト」に発展

- ASPLA社と共同でSoCテクノロジープラットフォームの開発を目指した「AS☆PLAプロジェクト」を開始
- 2004年7月、90nm SoCテクノロジープラットフォームを公開

あすかProject

SoC設計・IP再利用・低電力技術

**ASPLA
設立**

IP

AS☆PLA

メソドロジ・テスト環境

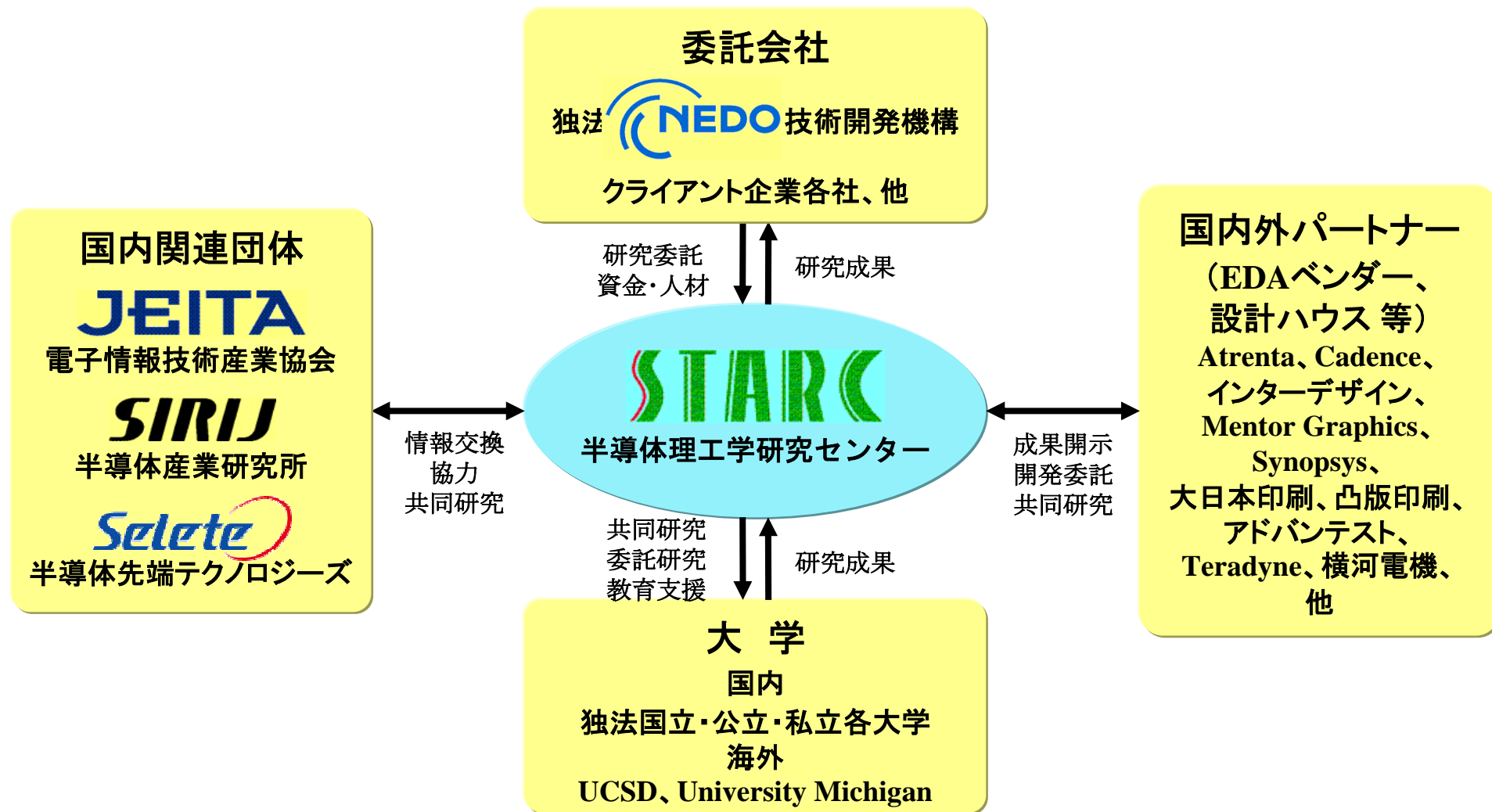
SNCC2

**あすかII
Project**

- 2003年7月、「あすかプロジェクト」として次世代設計メソドロジ開発に着手
- 2004年4月、STARCAD-21™を発表

- 2004年5月、第2次SNCC提言
- 2006年4月、体制および運営方針を一新して「あすかIIプロジェクト」開始

STARCのパートナー



2006年度プログラム概要

区分	テーマ名		2006年度活動概要
共通コアプログラム	産学連携	大学との共同研究	46テーマを推進、テーマインキュベーションの拡大、東工大産学連携講座支援
		SoC設計技術者教育	大学教育支援、アドバンスト教育、MOT教育、教育提供手段
	標準化		RTL設計スタイルガイド、IP機能検証、標準準拠テスト環境、コンパクトモデル HiSIM
先端コアプログラム	プロセスフレンドリー設計技術開発		ばらつき考慮設計メソッドの確立(65nm対応)
選択プログラム	高位設計技術開発		TL(トランザクション・レベル)モデリングガイドライン作成、TL設計メソッド確立
	テスト・故障解析技術開発		次世代テスト技術開発、次世代故障診断技術開発、標準準拠テスト環境の構築
	Mixed Signal設計技術開発		検証精度向上・高速化のためのEDAツールに対する要求仕様作成、基板ノイズ解析技術検討
	IP育成支援	シャトル運行	IP育成のためのスターシャトル運営
シャトル設計支援		IP育成のためのスターシャトル設計サポート、ユーザアナログ設計への対応強化	



■ 標準化テーマ

- 共通の記述や評価指標などにより設計品質を向上
- 設計資産の再利用を容易にし、設計コストを低減
- 設計ツールやテスト装置間のデータ互換性を向上

	設計品質向上	設計資産の 再利用容易化	設計ツール・装置 間のデータ互換性 向上
IP機能検証ガイド	✓	✓	
RTL設計スタイルガイド	✓	✓	
次世代MOSTランジスタ モデル HiSIM	✓		
標準準拠テスト環境・ STIL活用ガイド	✓	✓	✓

- (1) STARCの活動紹介
- (2) IP機能検証ガイド**
- (3) 標準準拠テスト環境 (STIL)
- (4) 次世代コンパクトモデル HiSIM
- (5) まとめ

IP機能検証ガイド策定の背景

■ IP再利用に基づく SoC設計の浸透

- 3rdパーティ IPの利用拡大

- IP品質の高度化と客観化への関心

- 検証の設計工程における比重の増大(50%~80%)

- 新しい検証技術の登場、アサーション、検証IP、ランダムテスト、etc.

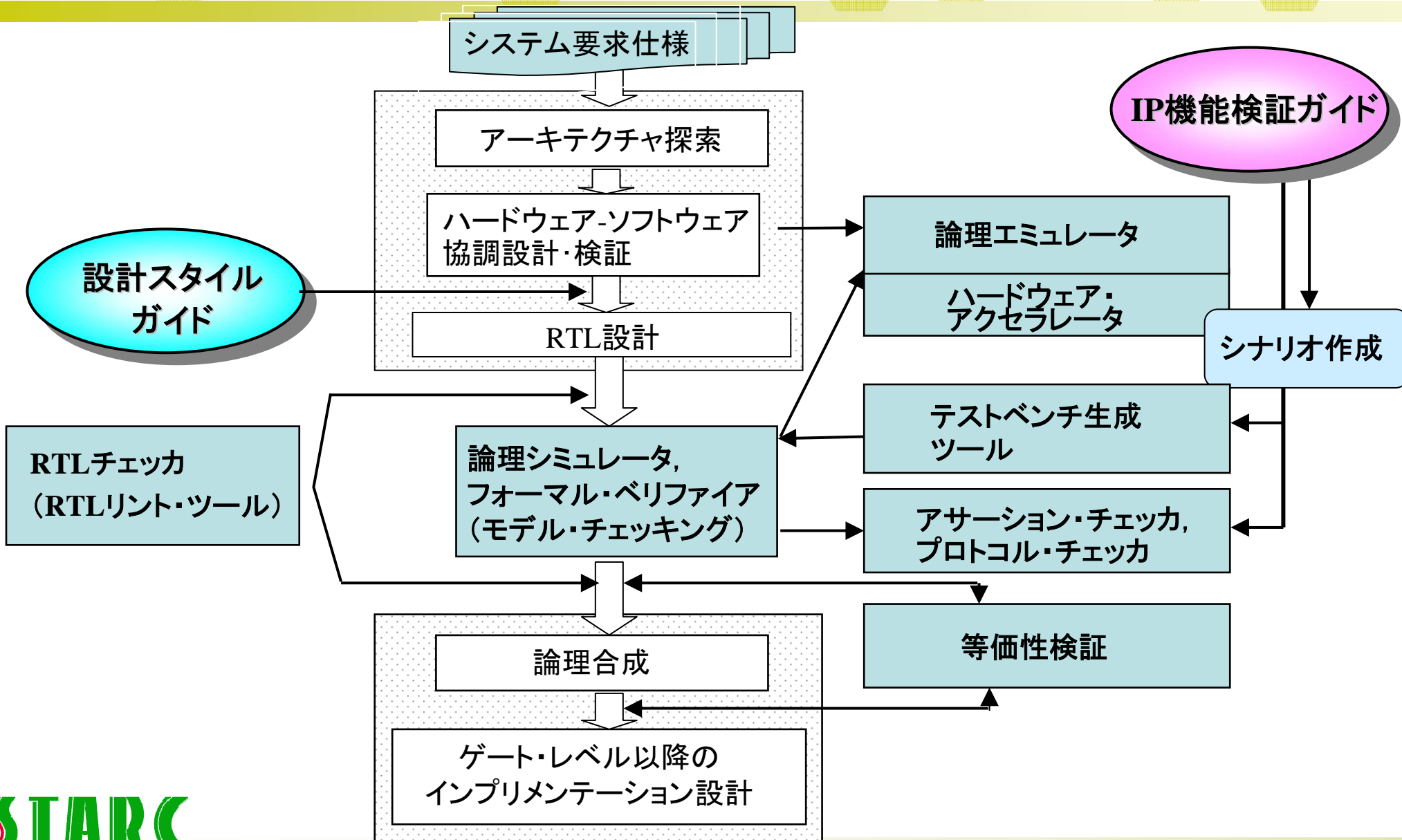
- 検証専用の言語(HVL)の標準化

- 検証環境の再利用、検証IPの利用の必要性

- 抽象度による階層化、機能のまとまりによる部品化

➡ 設計スタイルガイドに続く **IP機能検証ガイド**の策定に着手

SoC設計と検証のフロー



ガイドライン標準化

■ 良い IP、検証 IP作りと活用のためのガイド体系

対象	設計スタイルガイド		SoC, IP検証	機能検証ガイド
	SoC, IP設計	IP再利用		IP再利用
ガイド	TLM等のため のガイドが必要	RTL設計 スタイルガイド	RMMなど	VMM、AVM など
例題 使用 言語	SystemC	Verilog, VHDL	Verilog, VHDL	SystemVerilog
対象 言語	SystemC, SystemVerilog	Verilog, VHDL, SystemVerilog	Verilog, VHDL, SystemVerilog	Verilog,VHDL, SystemVerilog, SystemC,PSL,etc.

■ 2006年度の活動

- 内容拡充したVerilog HDL第2版、VHDL初版をSTARC Webにて販売
- ガイド普及・促進のためガイド準拠の教材のデザインレビュー
- RTLチェッカへのガイドルール組み込みレベルの平準化
- 普及のためのセミナー実施（関東、関西各1回）



セミナー風景



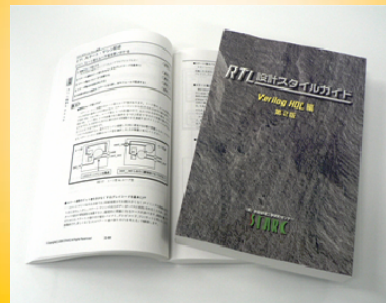
Verilog HDL第2版の構成:

- 第1章 基本設計制約
- 第2章 RTL記述テクニック
- 第3章 RTL設計手法
- 第4章 検証のテクニック

- A-5 Design Compilerによる論理合成
- A-6 Encounter RTLによる論理合成

RTL設計スタイルガイド

RTL設計スタイル ガイド



■ オンライン書籍販売

- ・Verilog-HDL編: 318冊 (累計 1392)
- ・VHDL編 : 150冊 (累計 677)

STARC認定

設計技能検定試験 (Verilog版)

試験は、hdLab社が一般向に
ESAとして実施

講習会

RTL設計スタイル ガイドセミナー

■ 2006年度開催 (2006.11)

- 京都会場 102名
- 横浜会場 113名

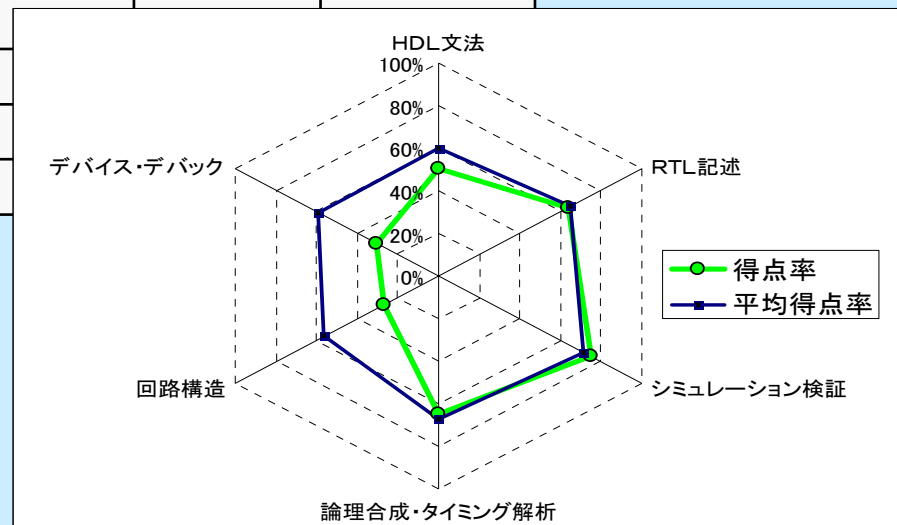
STARC設計技能検定

■ hdLab社が ESA として実施

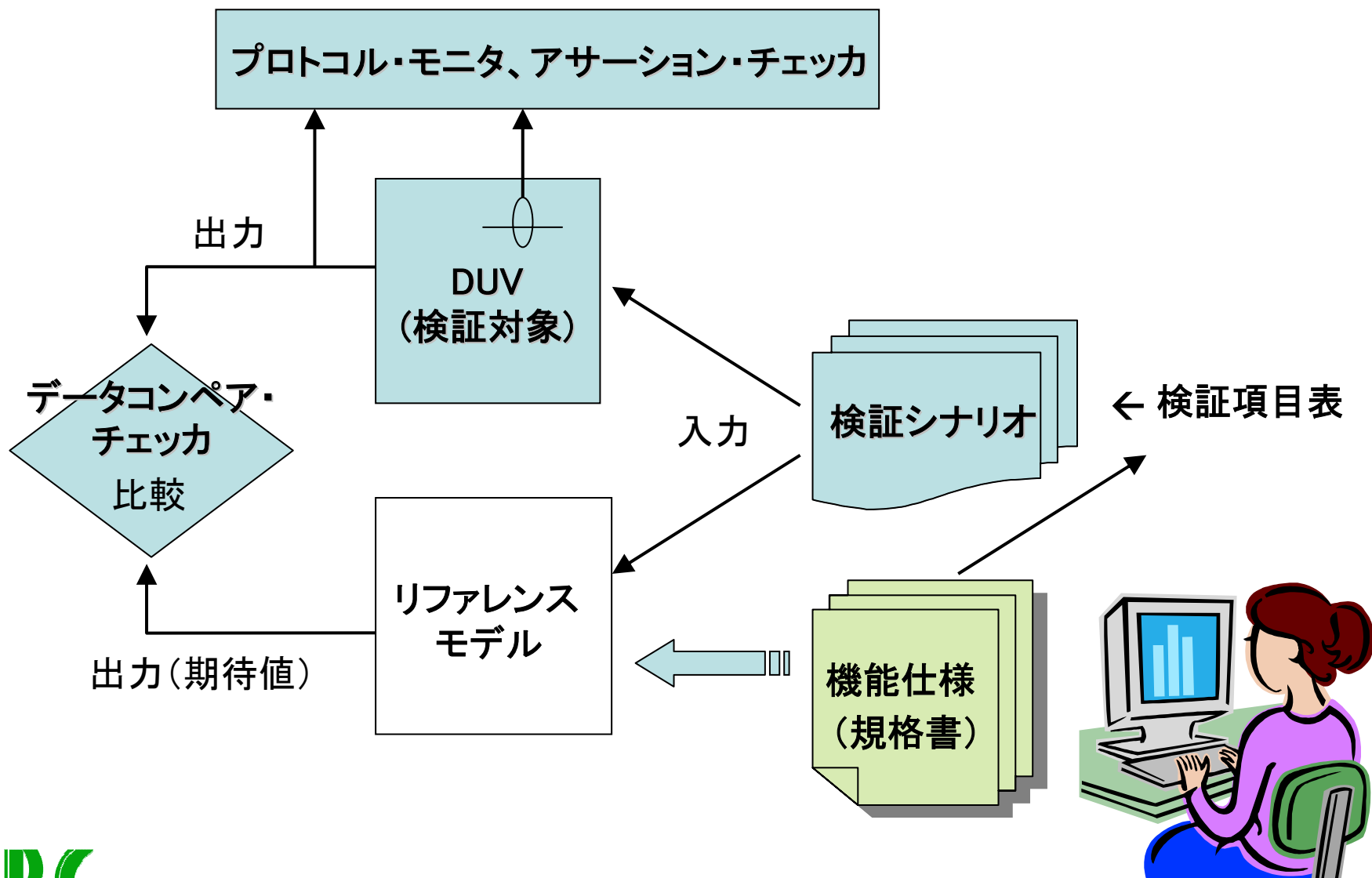
* ESA : Exam. of Skill Assessment

(得点分析結果レポート例)

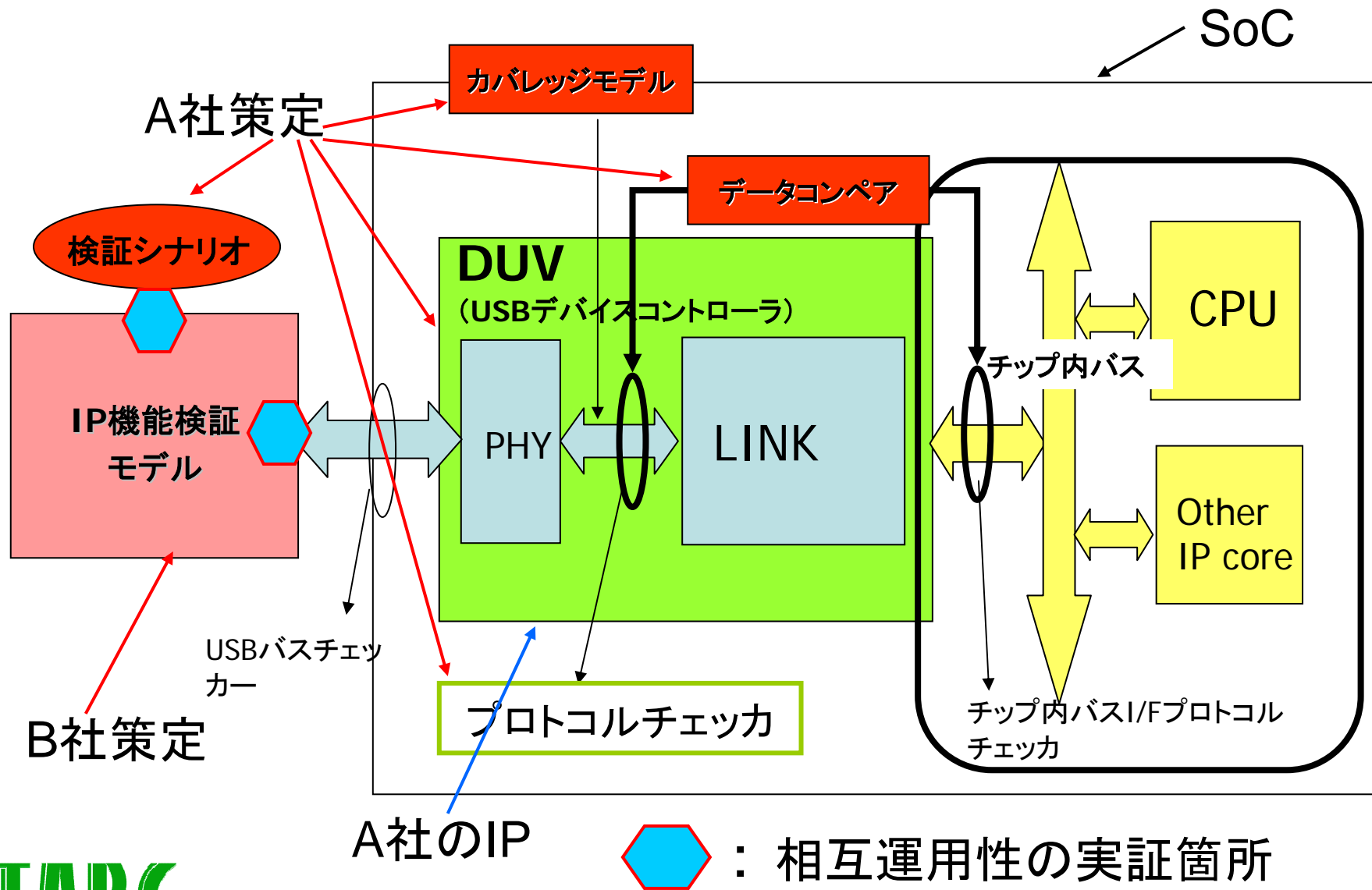
カテゴリ	配点	分析対象		全体	
		得点	得点率	平均点	平均得点率
HDL文法	10	5.0	50%	6.0	60%
RTL記述	25	16.0	64%	16.2	65%
シミュレーション検証	20	15.0	75%	14.1	71%
論理合成・タイミング解析	20	13.0			
回路構造	15	4.0			
デバイス・デバック	10	3.0			
合計	100	56.0			



機能検証環境



USB2.0を用いた機能検証ガイドの実証環境



IP機能検証ガイド

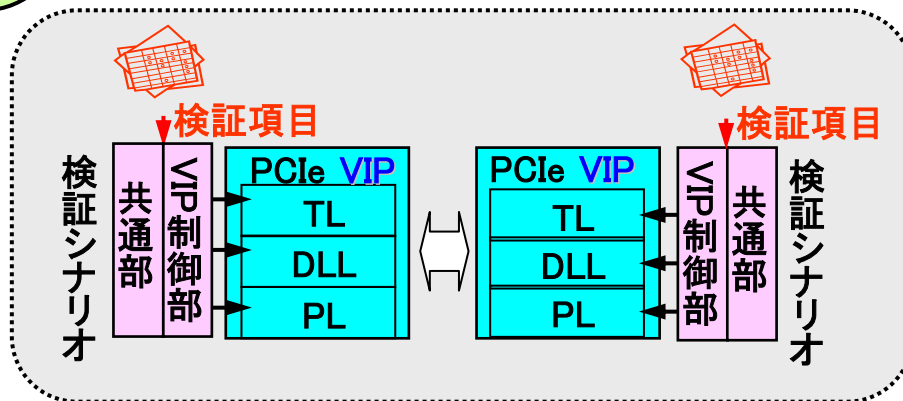
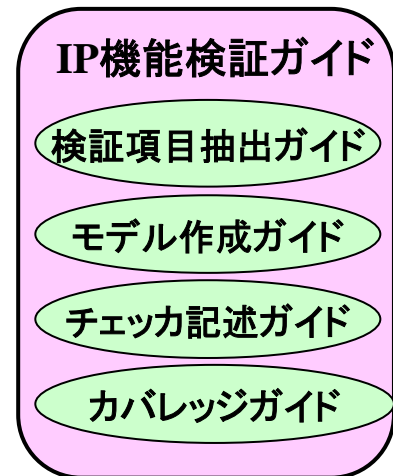
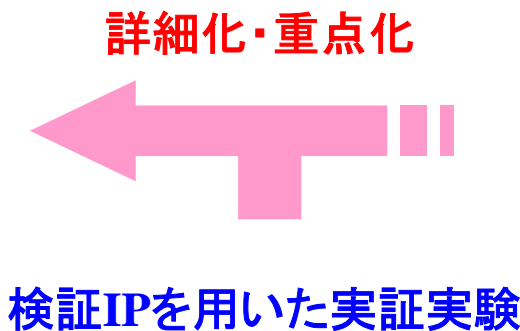
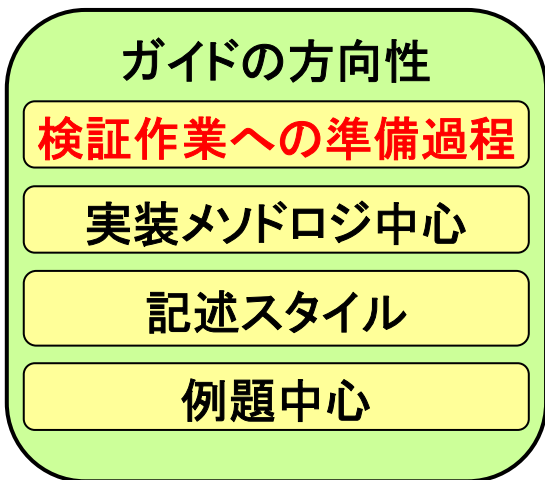
- 2006年3月初版完成(配布先限定版)
 - 4編構成、全体で約600ページ
- 現在、第2版完成に向けて改訂中
- 2007年度下期に書籍販売予定



- IP機能検証ガイドの構成**
- (1) 機能検証シナリオ策定ガイド
 - (2) 機能検証モデル作成ガイド
 - (3) チェッカ記述ガイド
 - (4) 機能カバレッジガイド

検証IPを用いた実証実験

- PCI Express検証 IPを用いた実証実験で機能検証ガイドの改善、検証項目抽出を行う

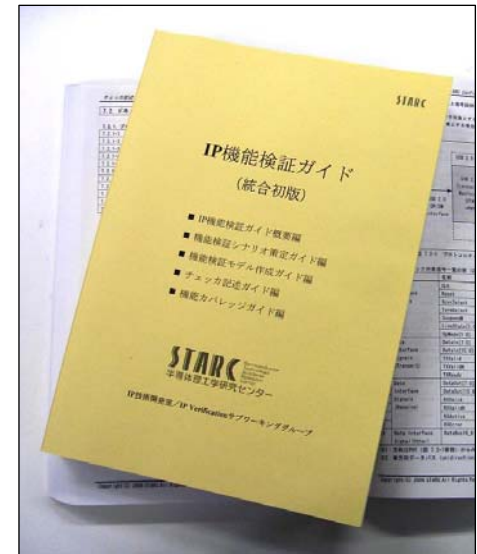
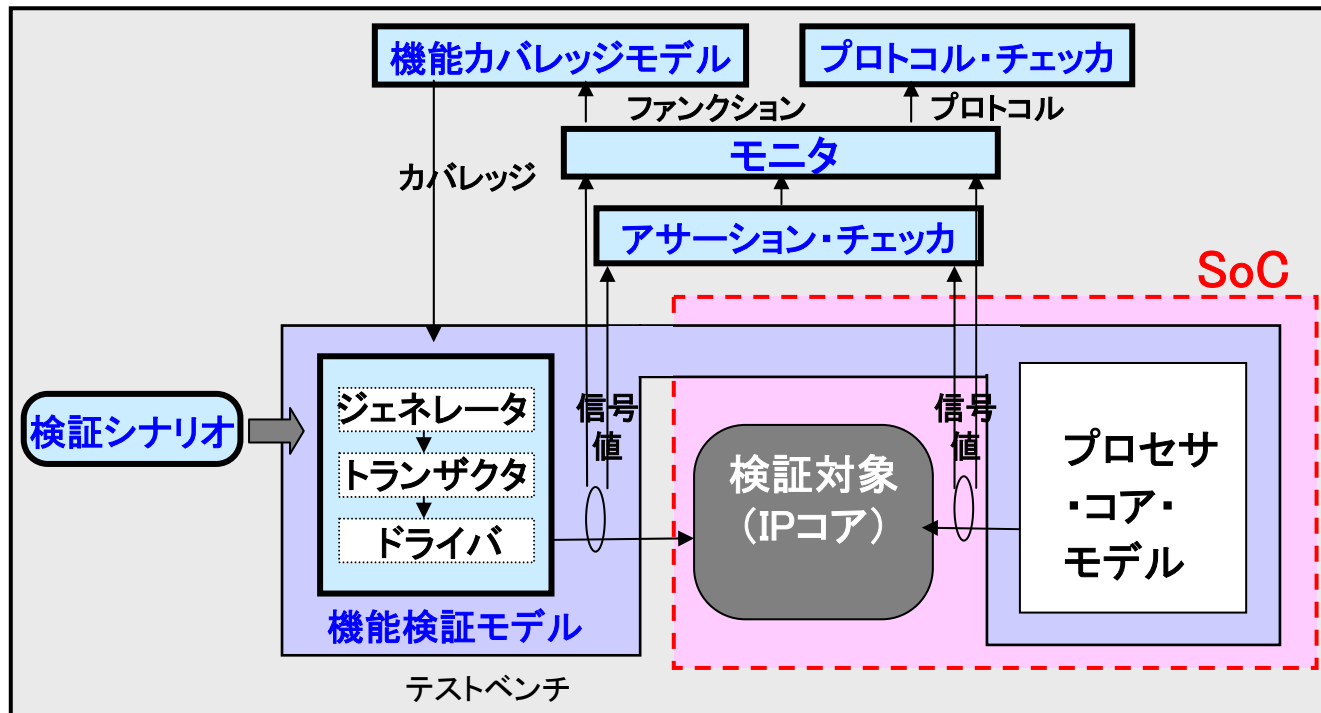


* 検証 IP: Synopsys社から提供協力

IP機能検証ガイド

IP機能検証ガイドにより

- (1) 検証IPおよび検証環境の構築容易化と再利用
- (2) 機能検証手順の明確化による検証品質と検証効率の向上



IP機能検証ガイド

発表の構成

- (1) STARCの活動紹介
- (2) IP機能検証ガイド
- (3) 標準準拠テスト環境 (STIL)**
- (4) 次世代コンパクトモデル HiSIM
- (5) まとめ

■ STILとは？

- Standard Test Interface Languageの略
- 1999年にIEEE で標準化されたテストデータの記述言語

■ なぜSTILが必要？

- 従来は各社独自のテスト言語を採用していたため、設計ツール、装置間で変換作業が生じていた
- このため共通に利用できるテスト言語による開発TATの短縮が望まれる

■ STIL利用のメリットは何か？

- 共通言語として会話できる
- 共通のテスト環境を利用できる
- SoCユーザによるテスト作業が軽減できる

■ STILの問題は何か？

- STIL仕様に曖昧な部分があり文法解釈に相違を生じる
- それが方言を生み普及、流通を阻害する可能性がある

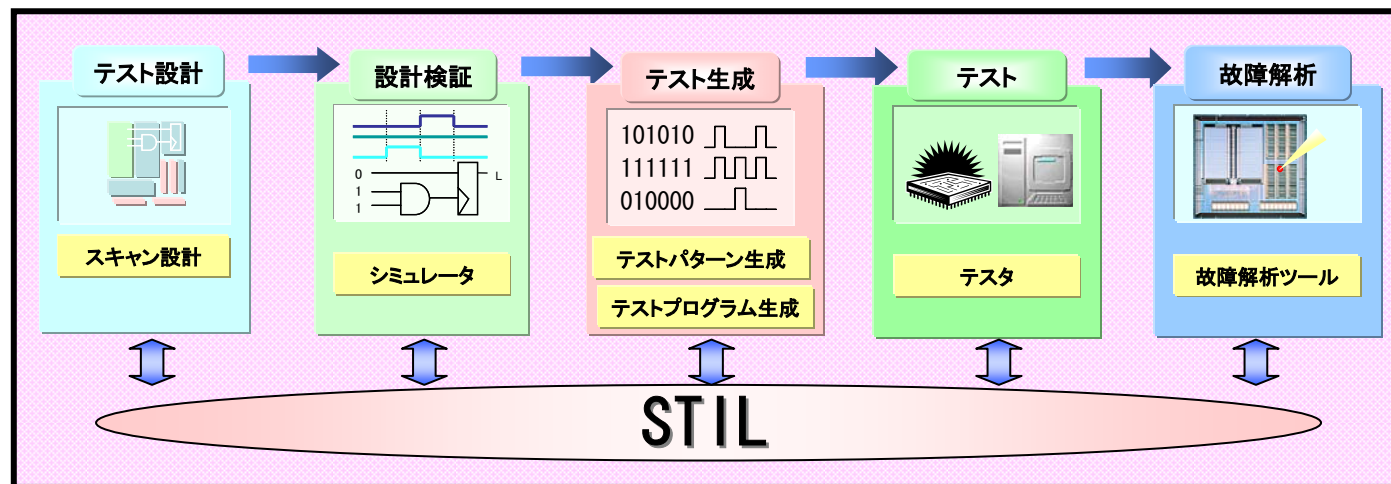
■ IEEEでのSTILの標準化動向

バージョン	用途	標準化状況
1450.0-1999	テストパターン	(標準化済み)
1450.1-2005	設計環境	(標準化済み)
1450.2-2002	DC記述	(標準化済み)
P1450.3	テストタ制約	(活動中、投票段階)
P1450.4	テストフロー	(活動中)
P1450.5	テストメソッド	(.4標準化後に活動予定)
1450.6-2005	コアテスト	(標準化済み)
P1450.7	アナログテスト	(活動を開始)
P1450.8	設計情報	(活動準備中)

標準準拠テスト環境

■ 目的

- STIL解釈の共通のガイドライン(STIL活用ガイド)作成によるSTILの普及
- STIL(テストプログラム)環境整備の取り組みによる早期STILインタフェース実現
- テスト資産の相互利用によるTAT短縮とテストコストの低減



■ STILテスト推進委員会(SSTAG)

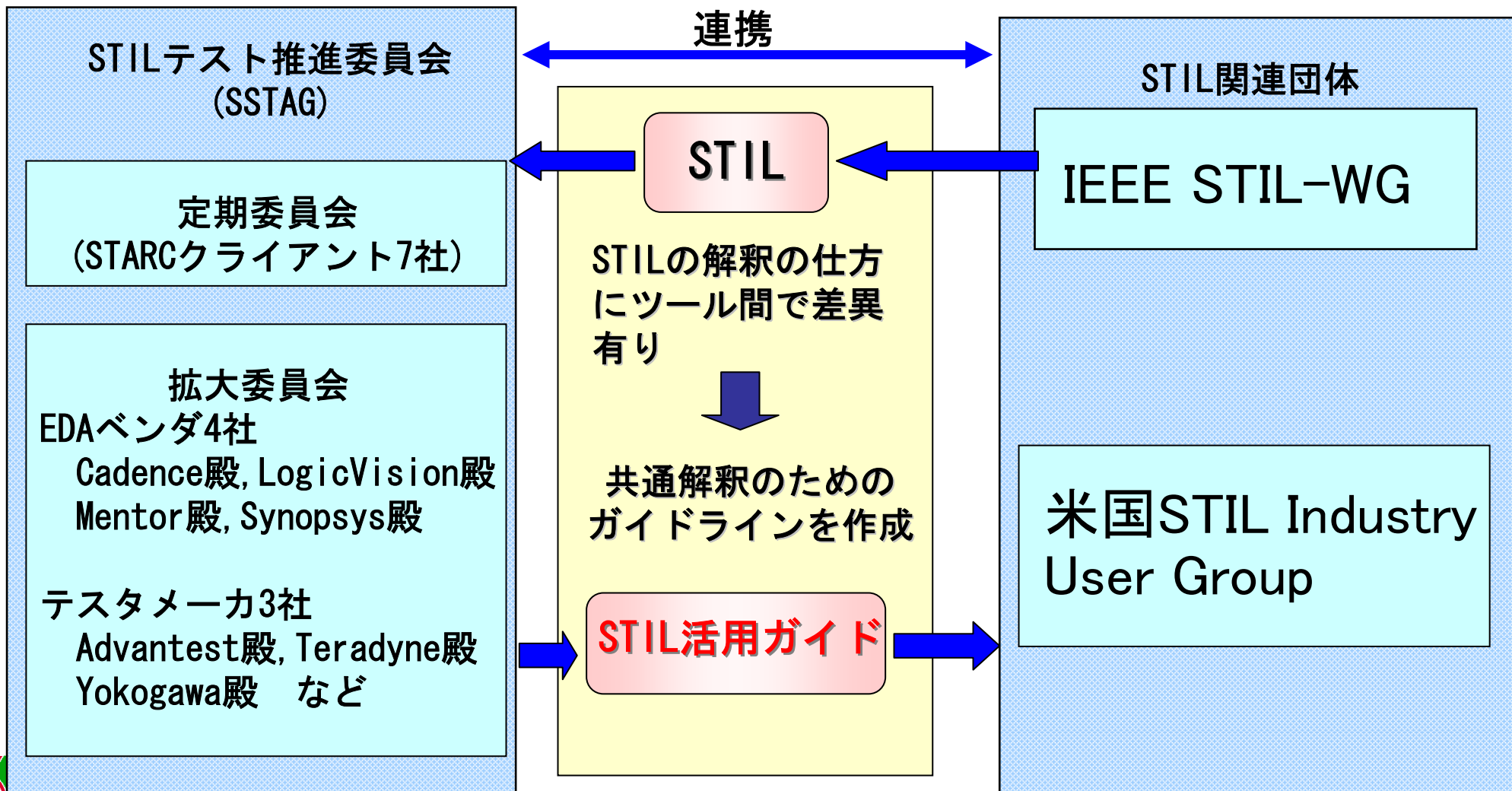
STIL-based Semiconductor Test Action Group

■ SSTAG活動内容

- STILの記述・運用に対し標準的解釈を定め、STIL活用ガイドを制定する
- STIL活用ガイドの普及促進活動を行う
- 普及促進活動の一環として、適宜、海外のSTIL 関連団体との連携を図る
- STILベースのテスト環境を構築・整備して普及促進活動を行う

活動の体制

■ SSTAGと海外STIL関連団体との関係



■ 2006年度活動成果

- STIL活用ガイド1450.0/.2(Rev1.00)英語版
06/8月公開済み
- STIL活用ガイド1450.1(Rev1.00)日本語版、英語版
06/11月公開済み
- STIL活用ガイド1450.0(Rev2.00)日本語版、英語版
(公開準備中)
米国STIL Industry User Groupとのコンセンサス
をとるため活動中

STIL活用ガイドは国内だけでなく
World-Wideでの共通認識に

標準準拠テスト環境

STIL活用ガイドWebサイト

STARC-SSTAG『STIL活用ガイド』 - Microsoft Internet Explorer

ファイル(F) 編集(E) 表示(V) お気に入り(A) ツール(T) ヘルプ(H)

戻る 進む 検索 お気に入り

アドレス(AD) https://www.starc.jp/stil/index-j.html

お問い合わせ サイトマップ English

STARC

株式会社 半導体理工学 研究センター

検索

STARC TOP

STARCについて

大学共同研究と教育

SoC設計技術開発

半導体IPの育成

イベント

メンバーエリア

ダウンロード

STARC-DSG
RTL設計スタイルガイド

90nm シミュレーションサービス
☆ Shuttle スターシャトル®

メンバー専用サイト

STARC-SSTAG
STIL活用ガイド

STARC 株式会社向け
アドバンスド教育

STARC 関連
リンク

STIL活用ガイドとは

『STIL』は記述の自由度が高い
特性があります。それがSTIL
IがSTILを共通に利用してい

『STIL活用ガイド』は、『STIL』
たものです。STIL利用者のが
TIL』の共通利用を可能とし普及

これにより、共通言語として用
共有でき、『STIL』による更なる

『STIL活用ガイド』が、業界全

STIL活用ガイド

- IEEE std 1450.0 STIL活用ガイド (Rev1.00 / 2006-Jan-25 / pdf 293kbyte): Japanese
- IEEE std 1450.0 STIL活用ガイド (Rev1.00 / 2006-Aug-25 / pdf 434kbyte): English
- IEEE std 1450.1 STIL活用ガイド (Rev1.00 / 2006-Nov-2 / pdf 940kbyte): Japanese
- IEEE std 1450.1 STIL活用ガイド (Rev1.00 / 2006-Nov-2 / pdf 473kbyte): English
- IEEE std 1450.2 STIL活用ガイド (Rev1.00 / 2006-Jan-25 / pdf 123kbyte): Japanese
- IEEE std 1450.2 STIL活用ガイド (Rev1.00 / 2006-Aug-25 / pdf 254kbyte): English
- IEEE std 1450.3 STIL活用ガイド (N/A)
- IEEE std 1450.4 STIL活用ガイド (N/A)
- IEEE std 1450.5 STIL活用ガイド (N/A)
- IEEE std 1450.6 STIL活用ガイド (N/A)

STIL活用ガイドの取扱いに関する注意事項

- 無断変更することを禁じます。
- STIL活用ガイドは予告なしに更新される場合があります。最新のSTIL活用ガイドをご利用願います。

お問合せ先

- 本件に関するお問い合わせは[こちら](#)からお願いします。

ご利用条件について 個人情報保護方針 Copyright (C) 1996-2007 STARC. All Rights Reserved.

- IEEE std 1450.0 STIL活用ガイド (Rev1.00 / 2006-Jan-25 / pdf 293kbyte) : Japanese
- IEEE std 1450.0 STIL活用ガイド (Rev1.00 / 2006-Aug-25 / pdf 434kbyte) : English
- IEEE std 1450.1 STIL活用ガイド (Rev1.00 / 2006-Nov-2 / pdf 940kbyte) : Japanese
- IEEE std 1450.1 STIL活用ガイド (Rev1.00 / 2006-Nov-2 / pdf 473kbyte) : English
- IEEE std 1450.2 STIL活用ガイド (Rev1.00 / 2006-Jan-25 / pdf 123kbyte) : Japanese
- IEEE std 1450.2 STIL活用ガイド (Rev1.00 / 2006-Aug-25 / pdf 254kbyte) : English
- IEEE std 1450.3 STIL活用ガイド (N/A)
- IEEE std 1450.4 STIL活用ガイド (N/A)
- IEEE std 1450.5 STIL活用ガイド (N/A)
- IEEE std 1450.6 STIL活用ガイド (N/A)

URL:
<https://www.starc.jp/stil/index-j.html>



標準準拠テスト環境

STIL活用ガイドイメージ図

STIL1450.0活用ガイド(PDF)

問題点の解説

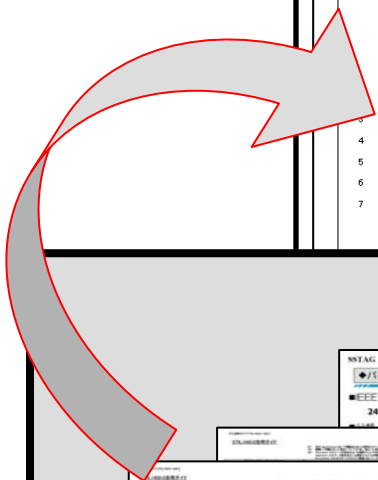
STARC推奨記述
など

STARC標準解釈

関連資料へのリンク

※1 IEEE Specificationにおいて問題点のあった箇所をセクション単位から数えて、例えば1-6(1行目から6行目)として行数を示す。
 ※2 審議して問題のあった項目については「有」、無かった項目については「無」、審議内容が出なかった項目については「-」で示す。
 ※3 Description: STILコマンド記述あるいは解説する上で共通認識しておくべき内容であることを示す。
 Application: STILコマンド記述あるいは解説する上で共通認識しておくべき内容であることを示す。
 Environment: STILを稼働させるテスト環境において、STILコマンドを相互利用する上で共通認識されるべき内容であることを示す。

章	セクション	ページ	行数	有無	タイトル	問題点の関連資料へのリンク	説明	SSTAG
6	STIL syntax description			-				
1	55	Case sensitivity	55	1-2	ユーザが指定する文字列の区別	sect/36	Environment	
	55	Whitespace		-				
	55	Reserved words		-				
4	57	Reserved characters		-				
5	58	Comments		-				
6	58	Token length		-				
7	58	Character strings	58	5-10	連結された文字列の扱い	Psect/36 - 3/36	Application	



STIL1450.0活用ガイド
Version 0.21
2005/10/31
Confidential, Copyright STARC 2005

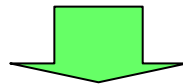
この文字列は、特殊文字の他に、81進位のプレフィックス文字を表わすP、T、G、M...などの文字を示される予約文字(具体的に詳細はSpecificationのPsect/36のTableを参照のこと)が含まれている。これらの文字は良く使われるため、ほとんどのユーザを悩ませる一重引符で囲まなければならない。STARC標準でも囲まれている例がある。

- (1) STARCの活動紹介
- (2) IP機能検証ガイド
- (3) 標準準拠テスト環境 (STIL)
- (4) 次世代コンパクトモデル HiSIM**
- (5) まとめ

次世代コンパクトモデル HiSIM2

- トランジスタモデルはLSI設計の成功の鍵
- HiSIM2の特長
表面ポテンシャル・ベースの物理モデル

- 物理現象を忠実に表現する
- Poisson方程式を反復計算で求解する



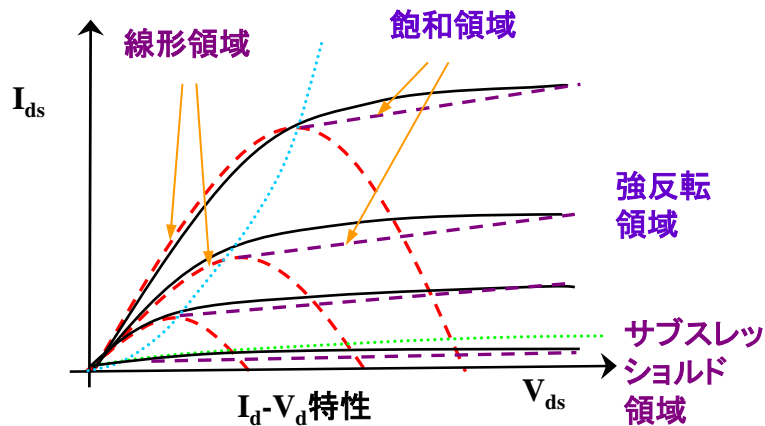
実際のCMOS素子の動きを計算式で表すことに成功！

HiSIM2モデルの特長

表面ポテンシャルに基づき、超微細トランジスタの物理現象を表現

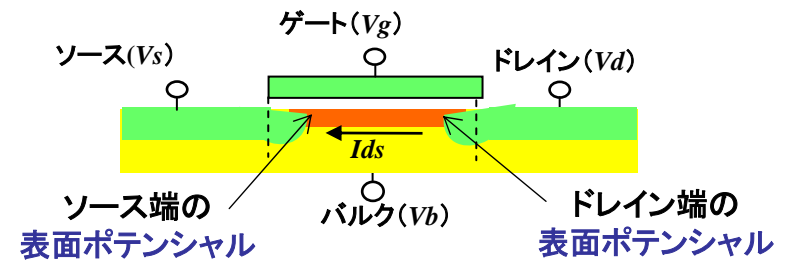
従来モデル (BSIM)

V_{th} ベースの基本電流式を元にして
動作領域毎に異なるモデル式を導出し、
境界領域を特性に合わせて接続



- 微細Trへの適用は精度的に限界
- パラメータ数が増大(約340)

HiSIM2モデル



Trの表面ポテンシャルをベースとして
物理現象に基づくポアソン方程式
と電流連続式よりモデル式を導出

単一のモデル式で
Trの全動作領域を連続的にカバー

- 全動作領域に渡って高精度を実現
- パラメータ数が激減(約180)
- 65nm以降のデバイスにも適用可

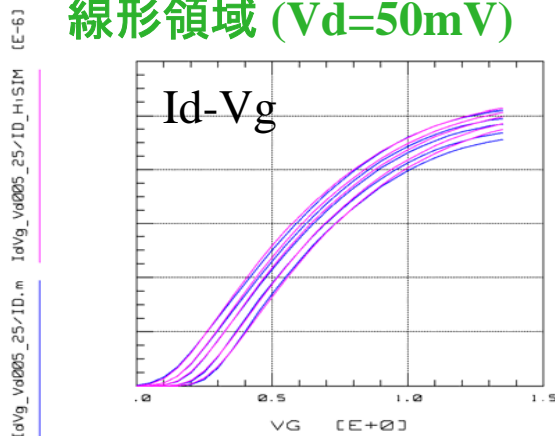
コンパクトモデルの比較

Model	HiSIM2	PSP	BSIM4
Author	Hiroshima Univ. Prof. Mitiko Miura	A.S.U. Prof. G. Gildenblat	U.C.B Prof. Chenming Hu
Base Model	Surface Potential	Surface Potential	Charge Based
Technology	< 45,65,90nm	< 45,65,90nm	90,130,180nm <
Parameters	~160	~200	~340
Binning	No (optional)	Must (Local / Global)	Must
Code	C , (Verilog-A)	(C) , Verilog-A	C
Speed	Fast	Slow	Middle

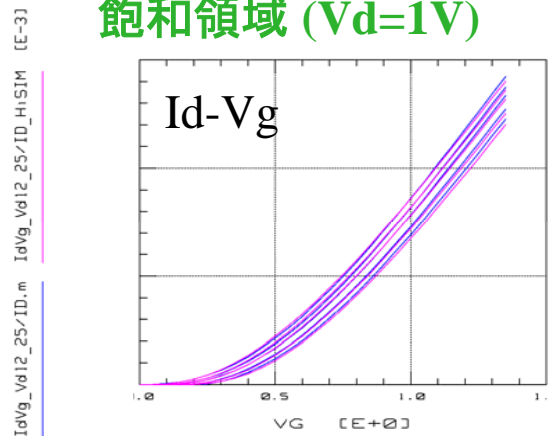
■ 高精度 (90nmプロセスのパラメータ抽出)

NMOS
L=long
W=wide

線形領域 ($V_d=50\text{mV}$)



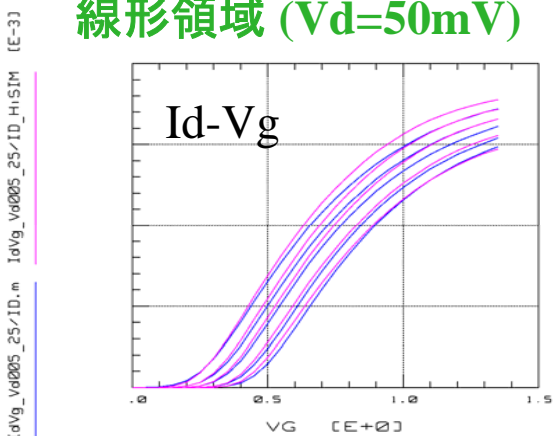
飽和領域 ($V_d=1\text{V}$)



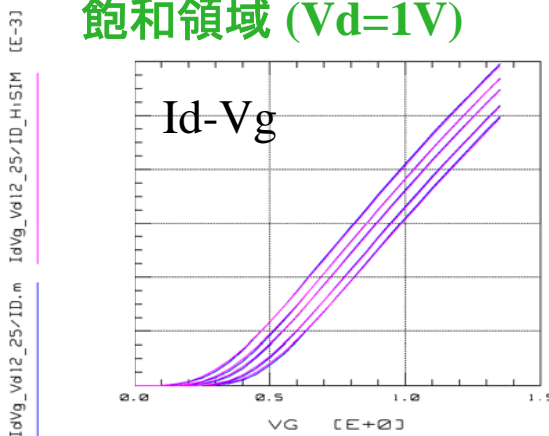
測定値
HiSIM2

NMOS
L=short
W=wide

線形領域 ($V_d=50\text{mV}$)



飽和領域 ($V_d=1\text{V}$)



■ 高速な回路シミュレーション

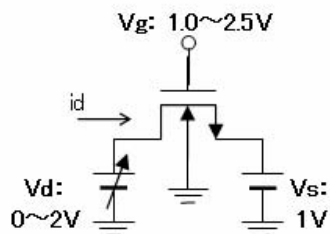
	HD-SRAM	AD Converter
# Nodes	11,973	18,066
# Elements	24,145	7,544
# Diodes	0	0
# BJT's	0	0
# JFET's	0	0
# MOSFET's	4,942	7,296

BSIM3で規格化したSimulation時間

	BSIM3	HiSIM	PSP
HDSRAM	1	1.2	2.8
ADC	1	2.6	5.0

アナログ設計での優位性

■ 微分特性を高精度に表現



— 実測
— モデル

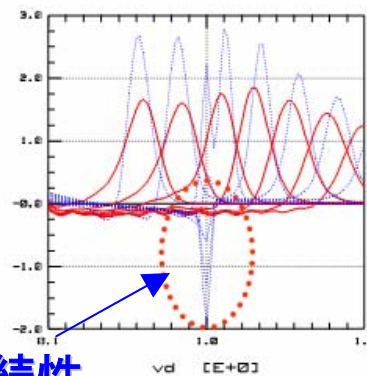
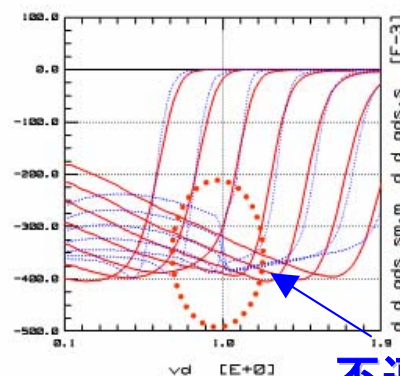
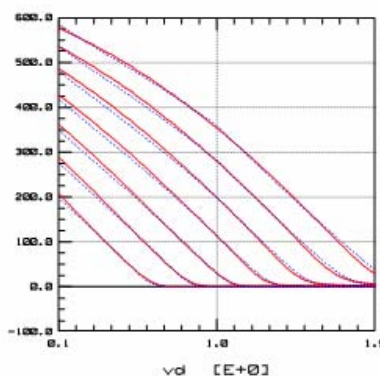
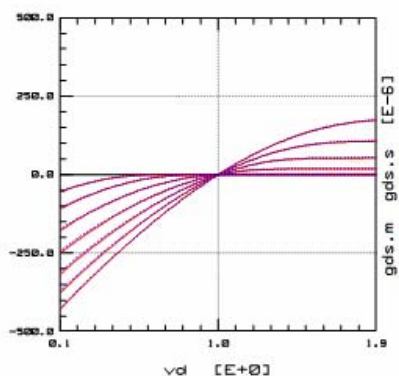
$i_d - v_d$

1次微分 $\frac{\partial i_d}{\partial v_{ds}} - v_d$

2次微分 $\frac{\partial^2 i_d}{\partial v_{ds}^2} - v_d$

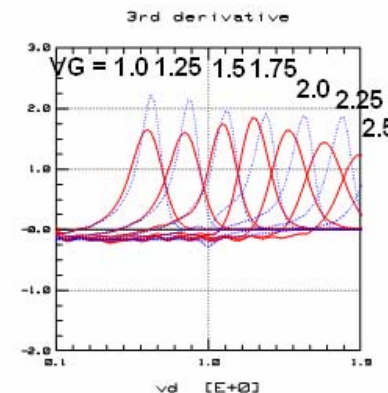
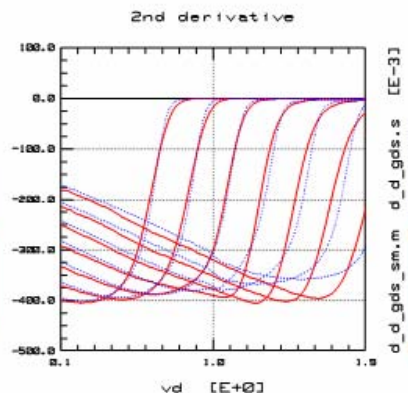
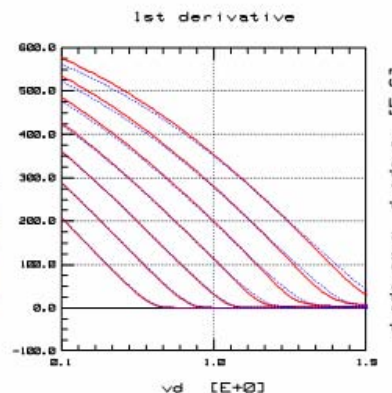
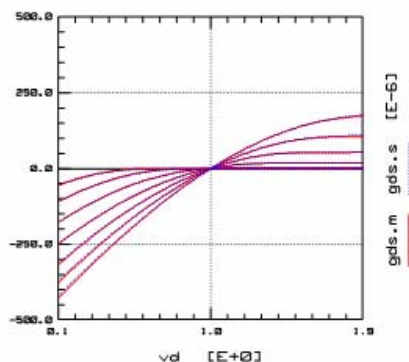
3次微分 $\frac{\partial^3 i_d}{\partial v_{ds}^3} - v_d$

BSIM
3v3



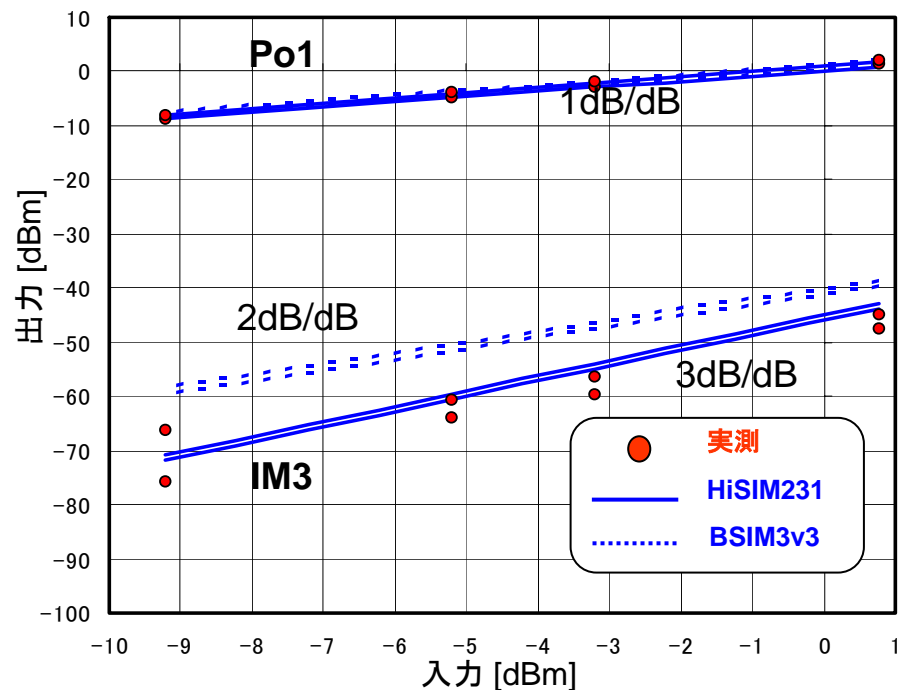
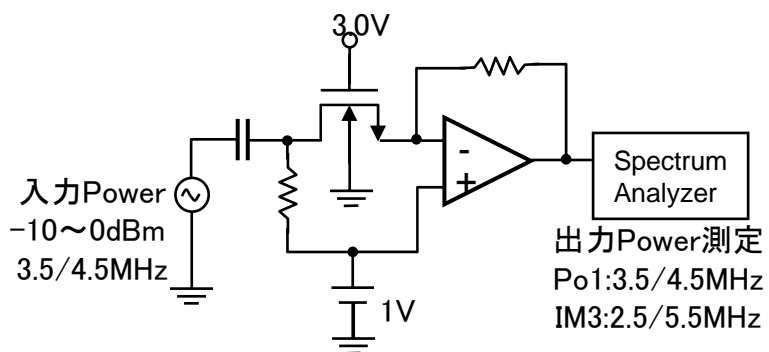
不連続性

HiSIM
2.3.1



アナログ設計での優位性

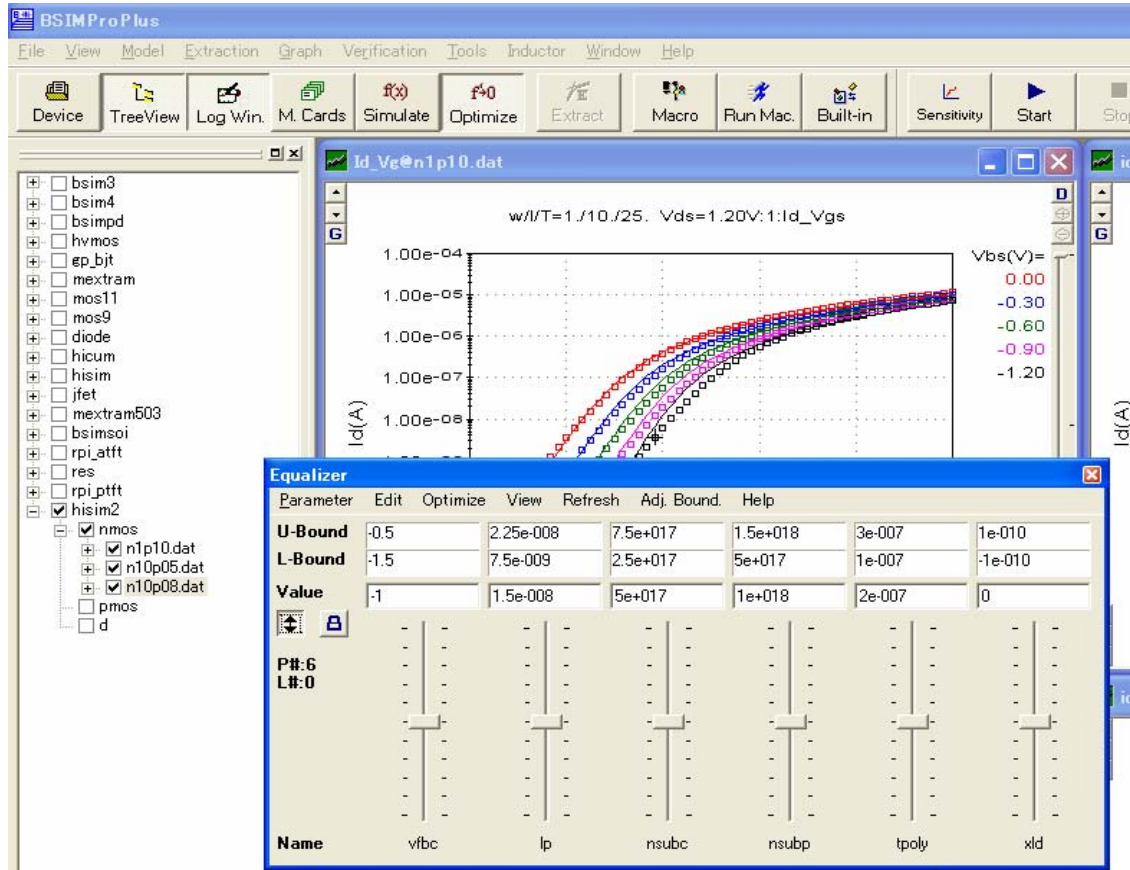
■ IM3シミュレーションが可能に



*IM3: 3次相互高調波歪解析

HiSIM2の実用化

■ パラメータ抽出ツールへの組み込み



開発完了

Cadence: ProPlus
(PDS社)

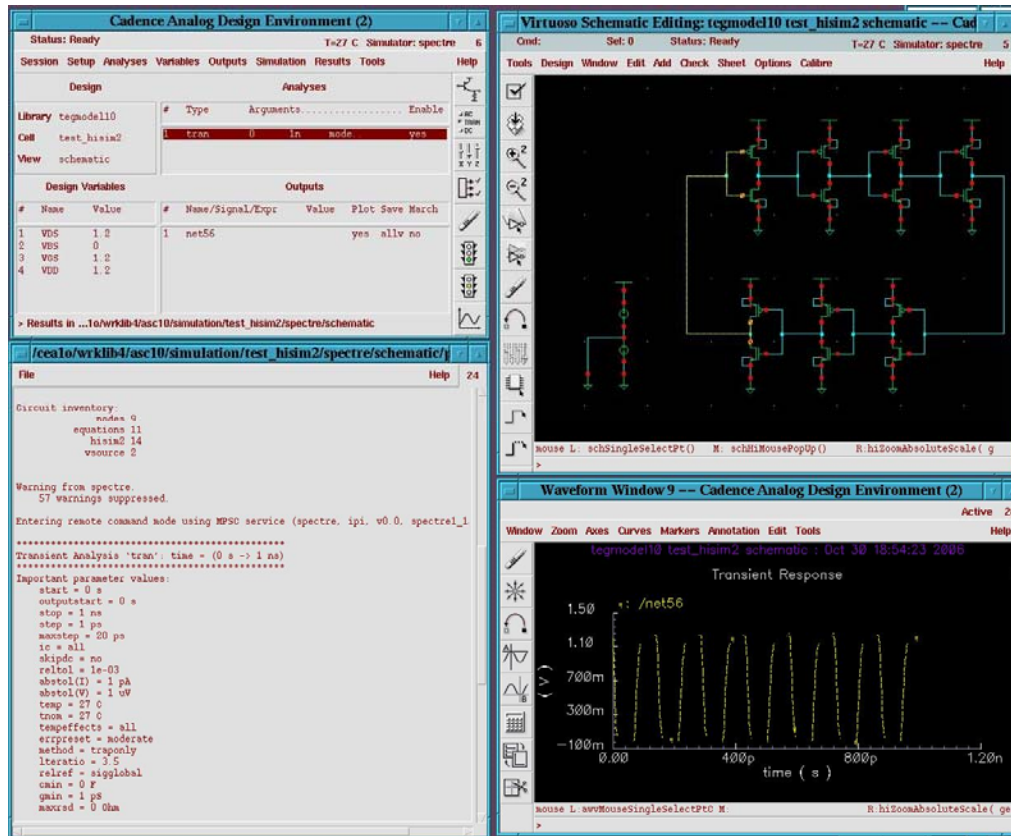
SimuCAD: UTMOST4

開発中

Agilent: ICCAP
進化システム: Shamp-GA

HiSIM2の実用化

■ 回路シミュレータへの組み込み



開発完了

Cadence:

Spectre

Spectre RF

SimuCAD:

SmartSpice

SmartSpiceRF

開発中

Synopsys:

HSPICE

Mentor:

Eldo

Agilent:

ADS

Magma:

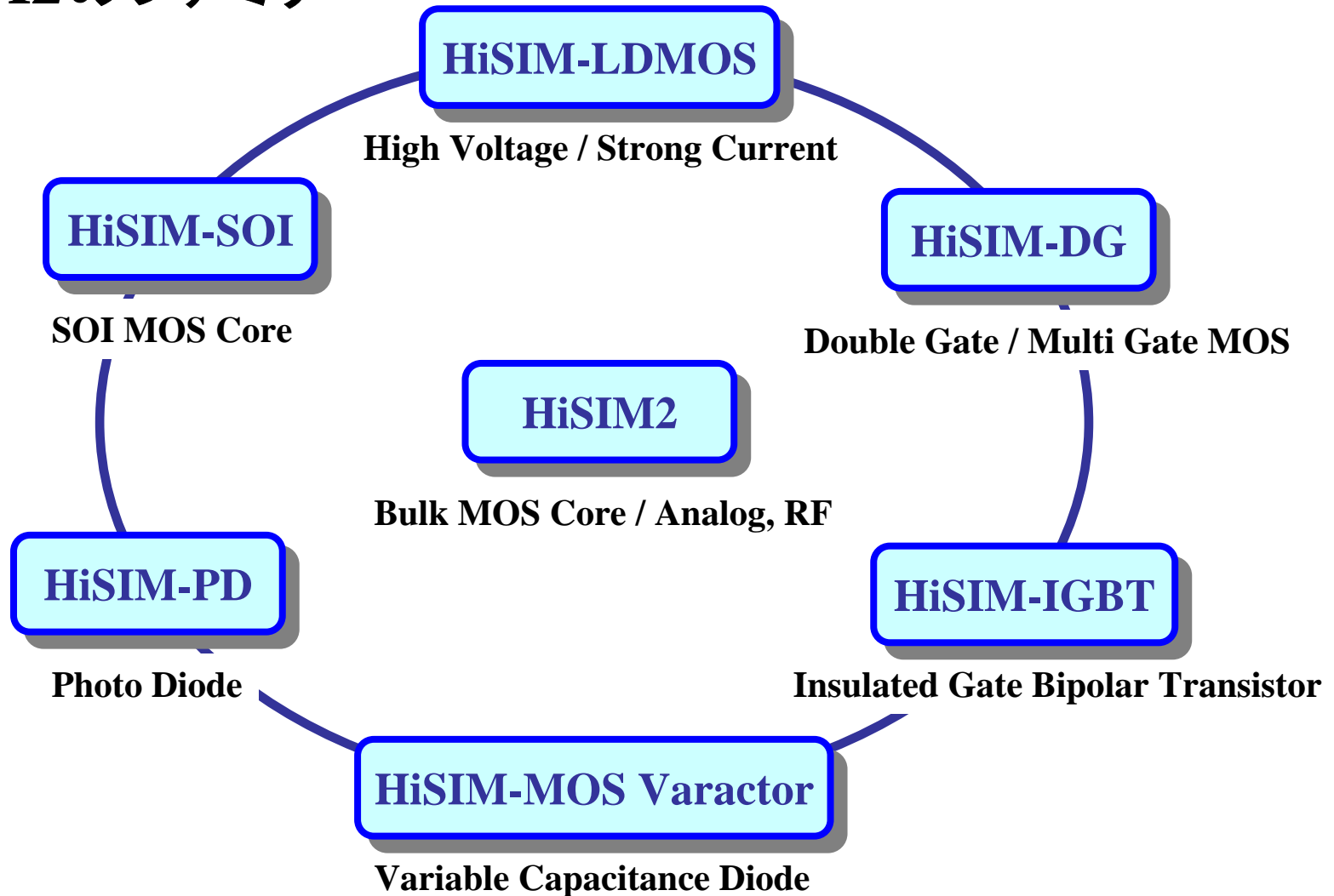
FineSIM

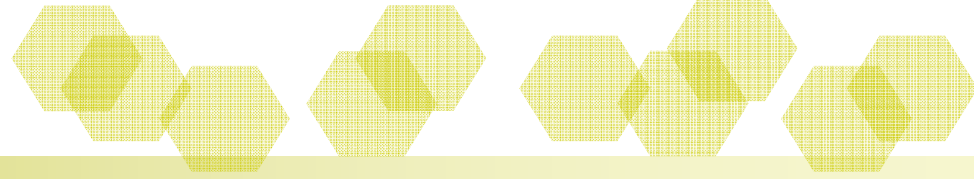
Ansoft:

Nexxim

HiSIM2モデルの展開

■ HiSIM2のファミリー





■ モデルQA_SWGでモデル品質基準を策定中

目的:

- コンパクトモデルの品質保証
- コンパクトモデルにより抽出したモデルパラメータの品質保証

評価項目:

Consistency、 Stability、 Accuracy、 Efficiency、 Usability

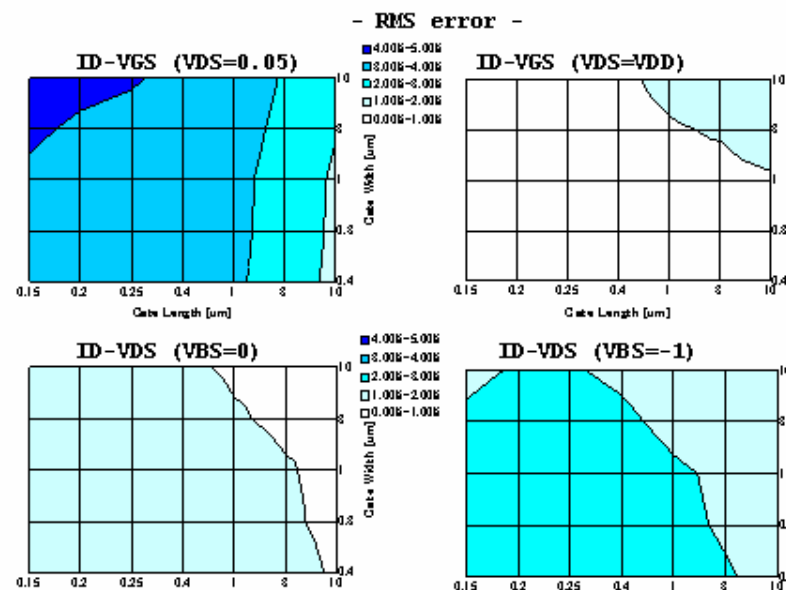
効果:

- シミュレーションの収束性向上
- シミュレーション時間の短縮

■ モデル品質評価基準

- モデルの精度、収束性、連続性の定量評価基準の標準化
- International Workshop on Compact Modelで論文発表 (2007.1)

Consistency	Formulation	Vth-based, Charge Sheet, Surface Potential
	Required satisfaction	Small size effects: (/)
		Parasitic current: (/)
Analog High freq: (/)		
Accuracy	Sample size	# of LW pair: (/) Temperature (-40, 27, 125)
	Ids-Vds	Bias point: Vgs= , Vds= , Vbs= , RSM Error(Type1): %
	Ids-Vgs	Bias point: Vgs= , Vds= , Vbs= , RSM Error(Type2): %
	Cgg-Vgs	Bias point: Vgs= , Vds= , Vbs= , RSM Error(Type3): %
	Stability	MOS Symmetry Conductance @ over range
Efficiency	Example size	# of CKT: (/)
	Convergence	# of no-convergence CKT: (/)
	CPU etc	Inv. ROSC 13-stage: CPU= , # iteration= Inv. ROSC 53-stage: CPU= , # iteration=

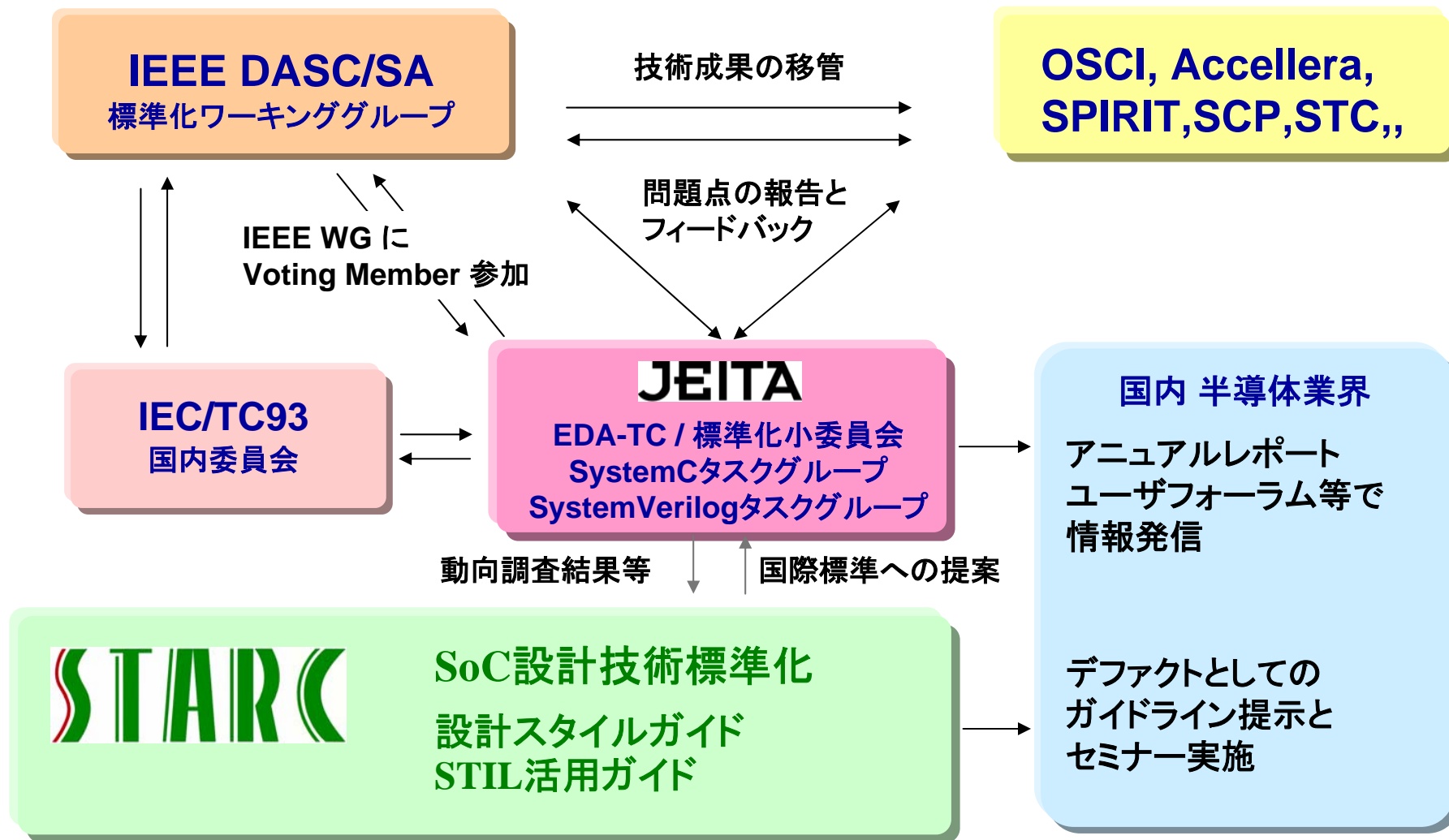


モデルのフィッティング誤差マップ

モデル品質評価基準 (デジタル設計用)

- (1) STARCの活動紹介
- (2) IP機能検証ガイド
- (3) 標準標準拠テスト環境 (STIL)
- (4) 次世代コンパクトモデル HiSIM
- (5) まとめ

標準化団体との連携





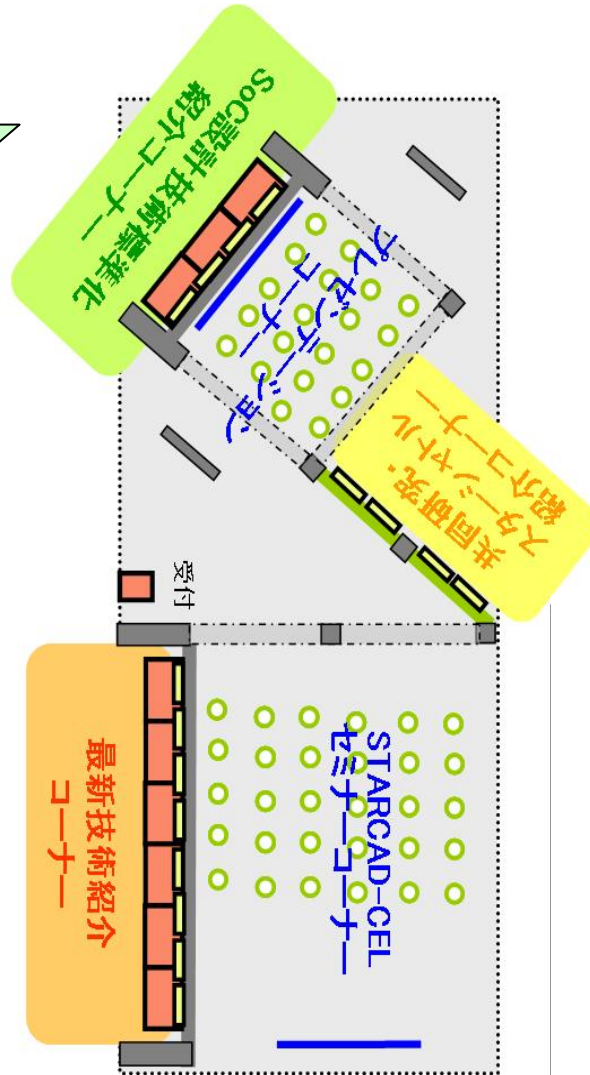
**STARCは SoC設計技術の標準化により
企業間ネットワーク強化に貢献します。**

ご清聴ありがとうございました

STARCブースへお越してください！



展示ブース 606



世界標準を目指した設計技術開発の取組みをご紹介します

- **パネル展示 & デモ紹介**
SoC設計技術標準化、最新技術、共同研究・スターチャトル、の3つのコーナーでご紹介します
- **プレゼンテーション**
設計技術標準化、最新技術、スターチャトルのホットな情報をお届けします
<裏面スケジュール表をご覧ください>
- **STARCAD-CELセミナー**
プロセスフレンドリー設計の最新技術情報を、詳細に解説します