

SDQMによる高品質ディレイ テストの実現



DFM時代のテストへのインパクト

プロセスの進歩

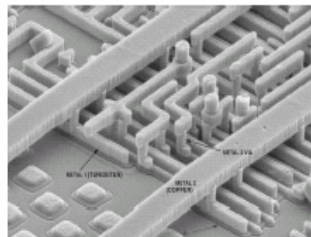
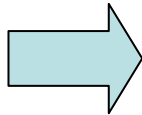


Figure 6. First two metal layers in a microprocessor (permission of ICE Corp.).

90 nm node

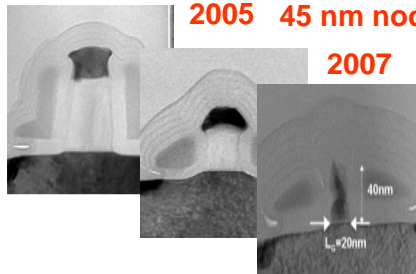
2003

65 nm node

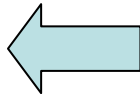
2005

45 nm node

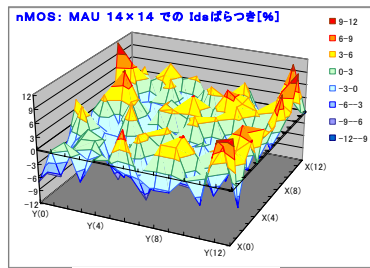
2007



DFMに基づいた新しい設計手法の適用



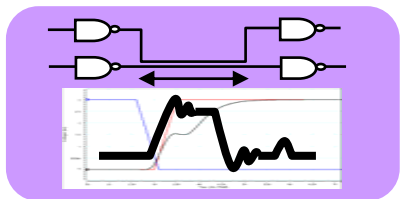
パラメトリック欠陥



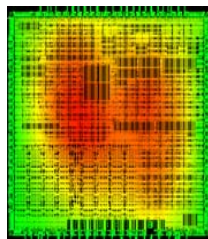
L = 0.1um
W = 0.4um

平均 = 203.7uA
σ = 4.4%
min = -11.4%
max = 11.4%

ばらつき



クロストークノイズ



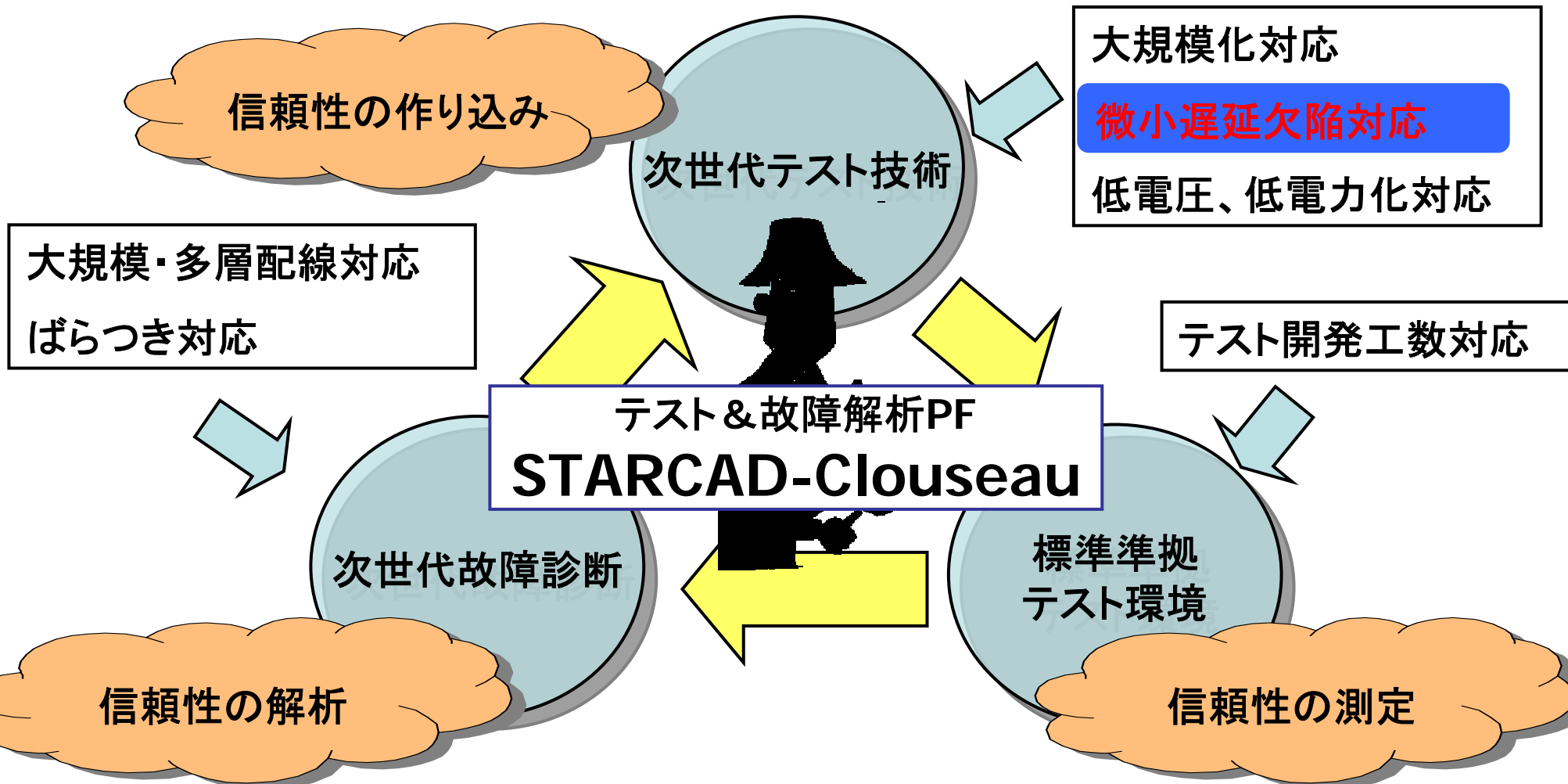
IRドロップ

など...

従来のテスト手法では対応できない！！

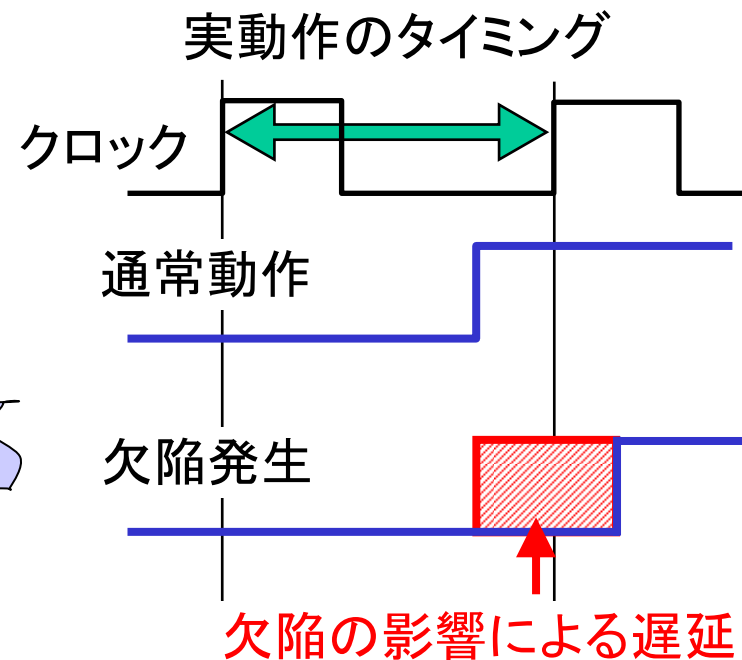
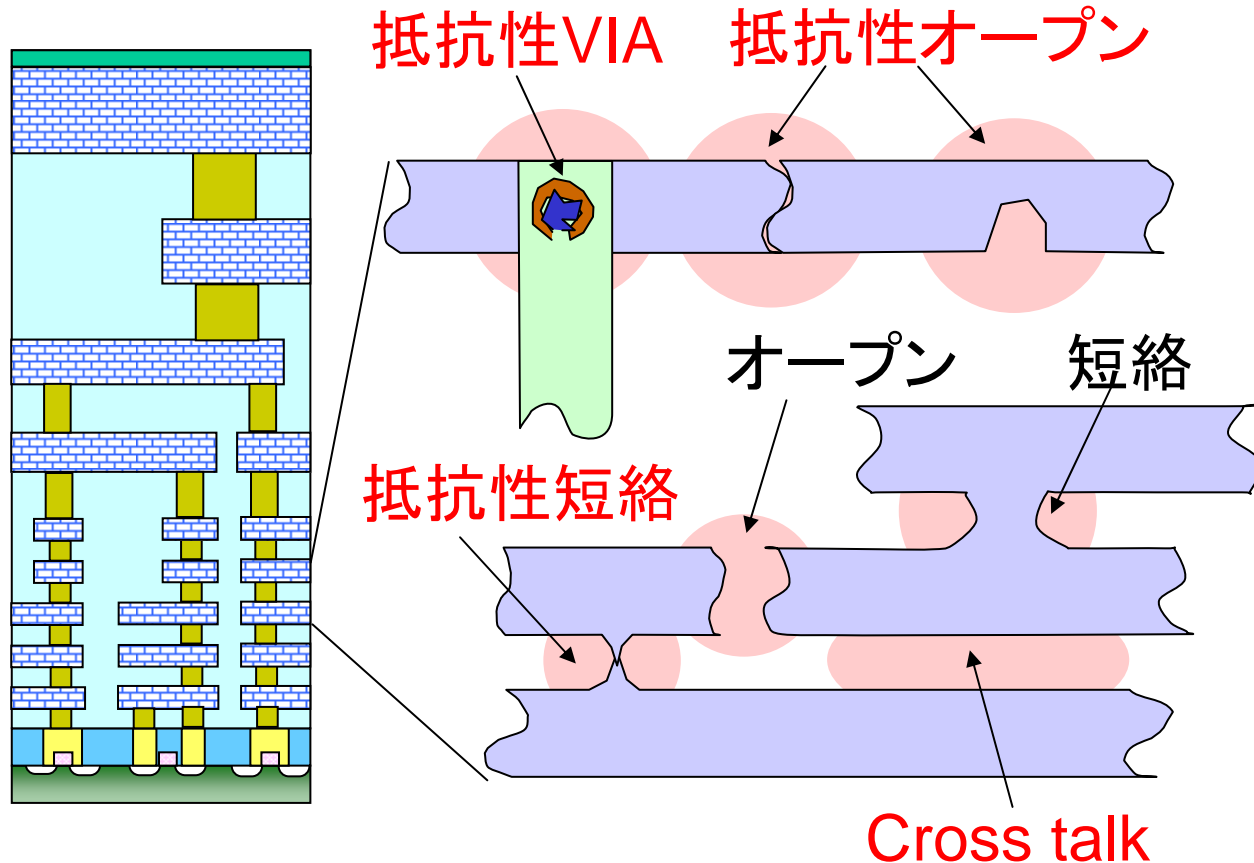
テスト&故障解析PFのコンセプト

～次世代SoCのテスト・故障診断～



欠陥の影響と遅延故障

欠陥の多くは遅延故障の原因となる。



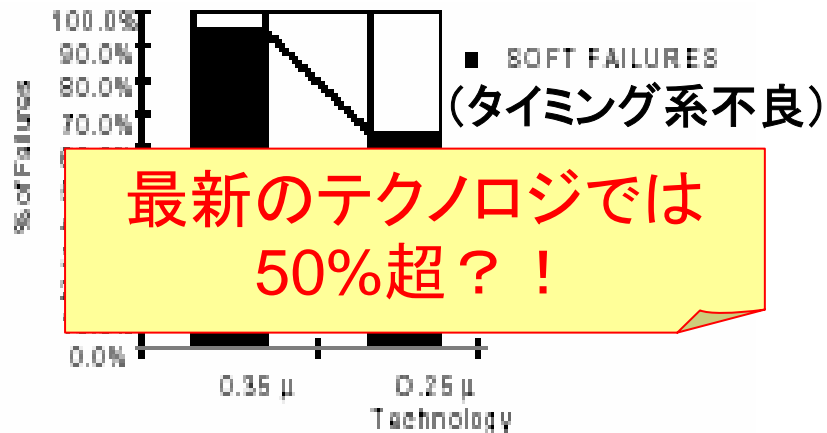
遅延故障が発生

実速度でのディレイテストは必須

微小遅延欠陥の増加

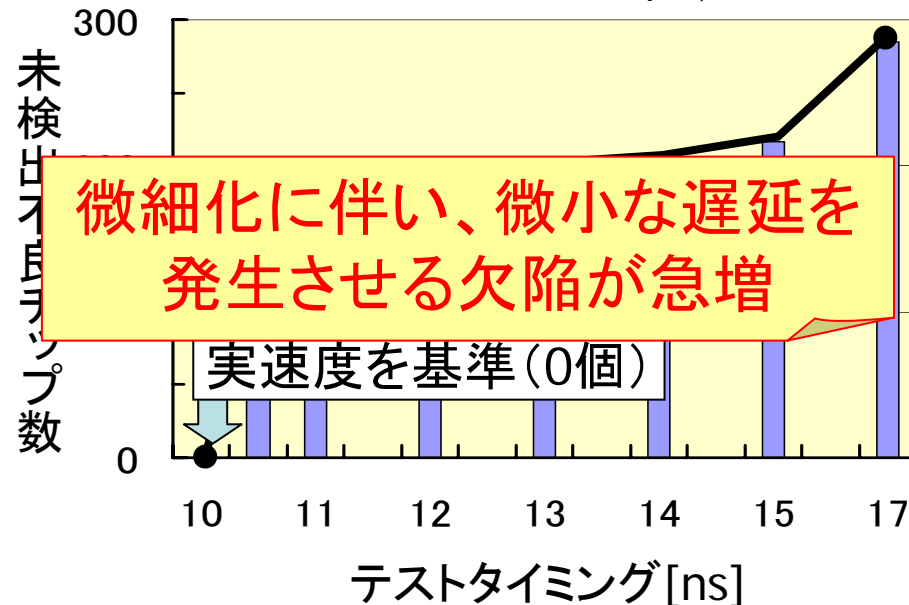


ITC 1998 (Intel)より



最新のテクノロジーでは
50%超?!

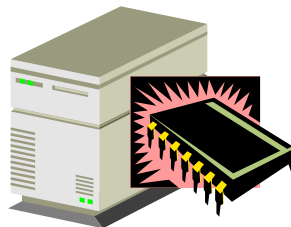
Mitra他、VTS2004



微細化に伴い、微小な遅延を
発生させる欠陥が急増

従来のディレイテストでは...

LSI テスタ



微小遅延欠陥がどの程度、検出
できているのかわからない!!

微小遅延欠陥がSoCの品質危機を引き起こす。

SDQM : Statistical Delay Quality Model

遅延系品質に影響する4つの要素を考慮したモデル

設計マージン

テストパターン品質

SDQM

テストタイミング精度

定量化

製造プロセス品質

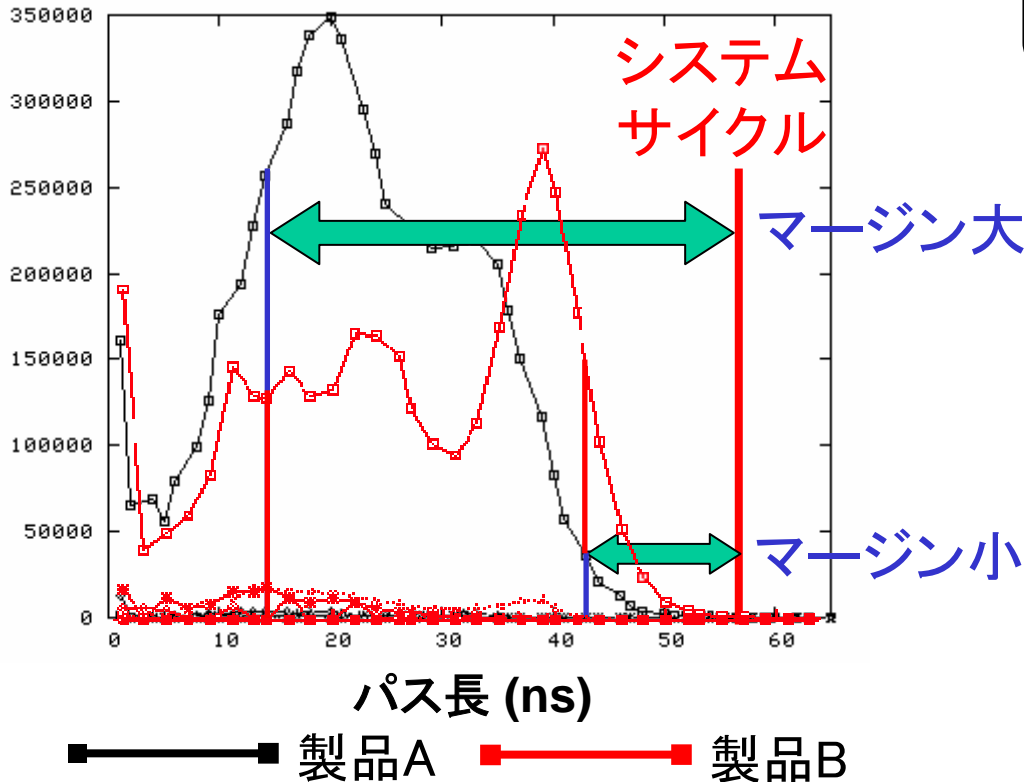
品質指標: SDQL
(Statistical Delay Quality Level)

微小遅延欠陥検出能力が評価可能

設計マージン

設計マージン

パス長分布



例:

遷移遅延検出率
90%

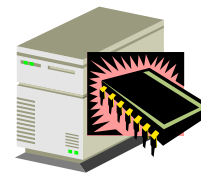
製品A

0.13 μm , 15mm²
200MHz

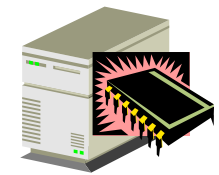
製品B

0.13 μm , 15mm²
200MHz

LSI テスタ



LSI テスタ



出荷後

100 ppm

200 ppm

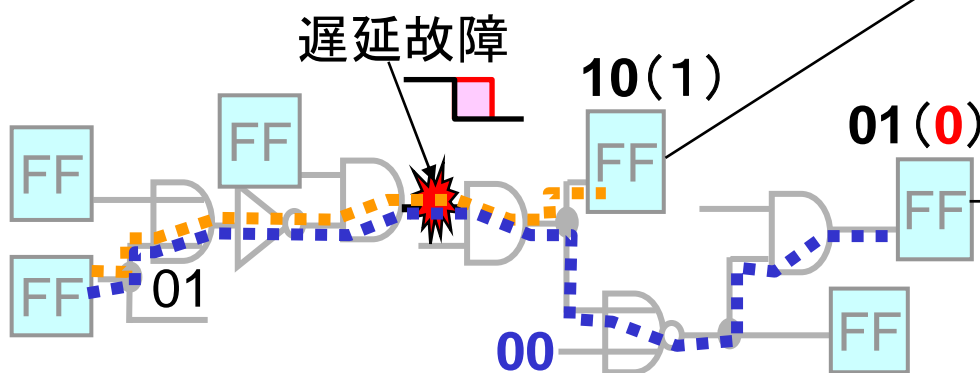
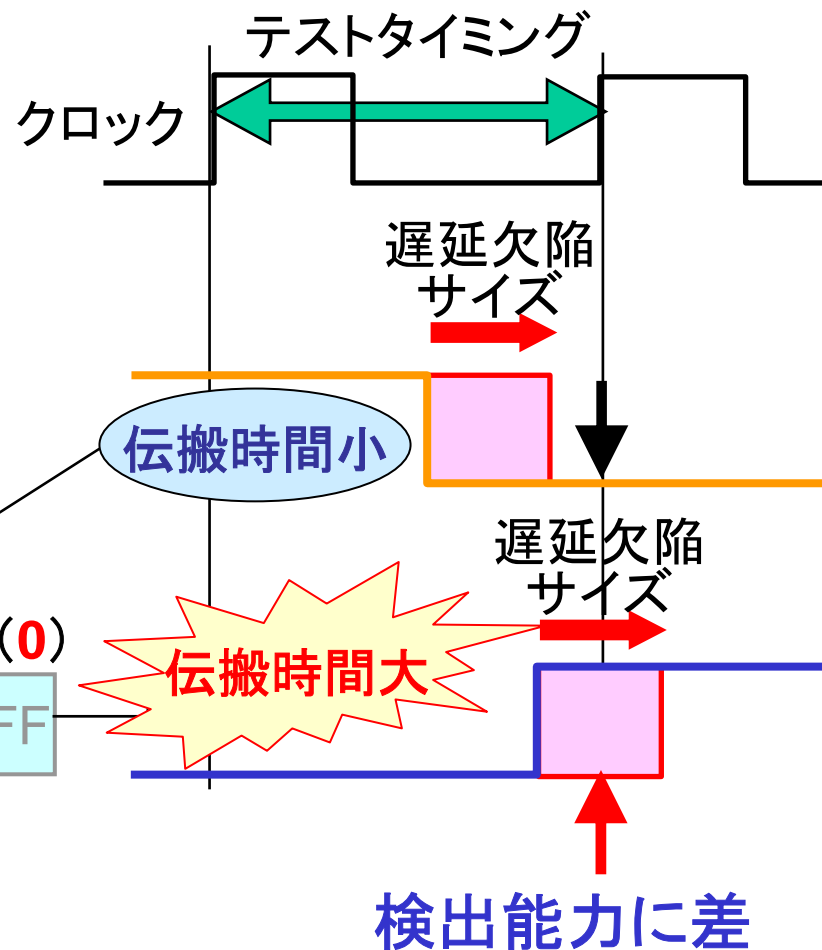
市場不良率に差

設計マージンの考慮が必要

テストパターン品質

設計マージン

テストパターン品質

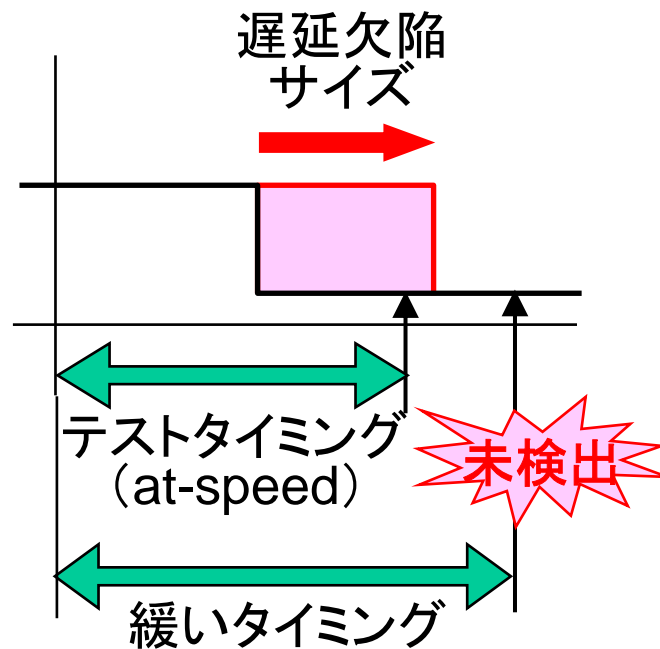


テストタイミング

設計マージン

テストパターン品質

テストタイミング精度



検出可能な遅延欠陥サイズは
テストタイミング精度に依存！！

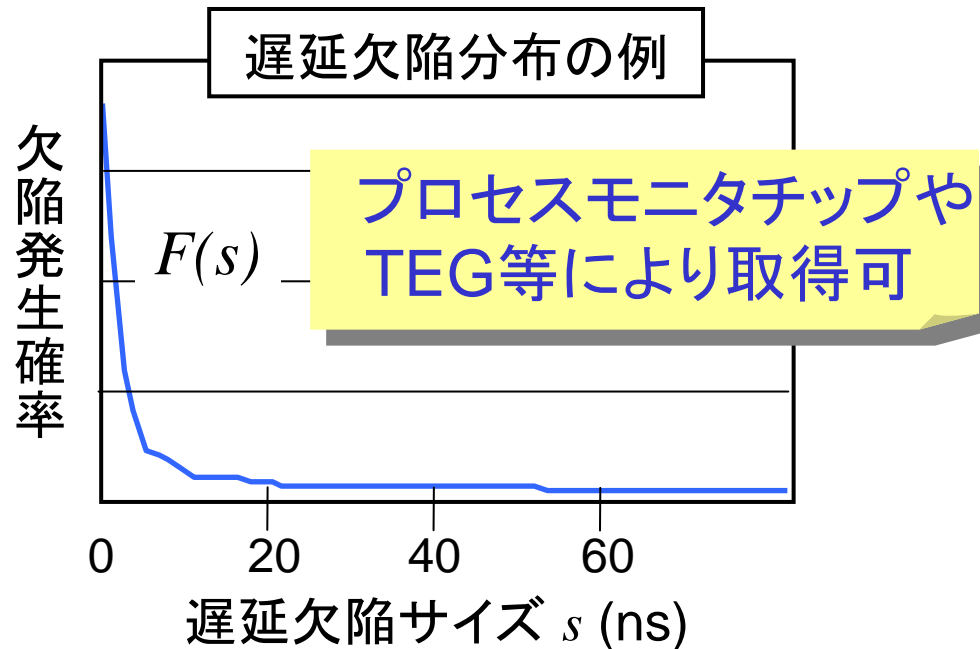
製造プロセス品質

設計マージン

テストパターン品質

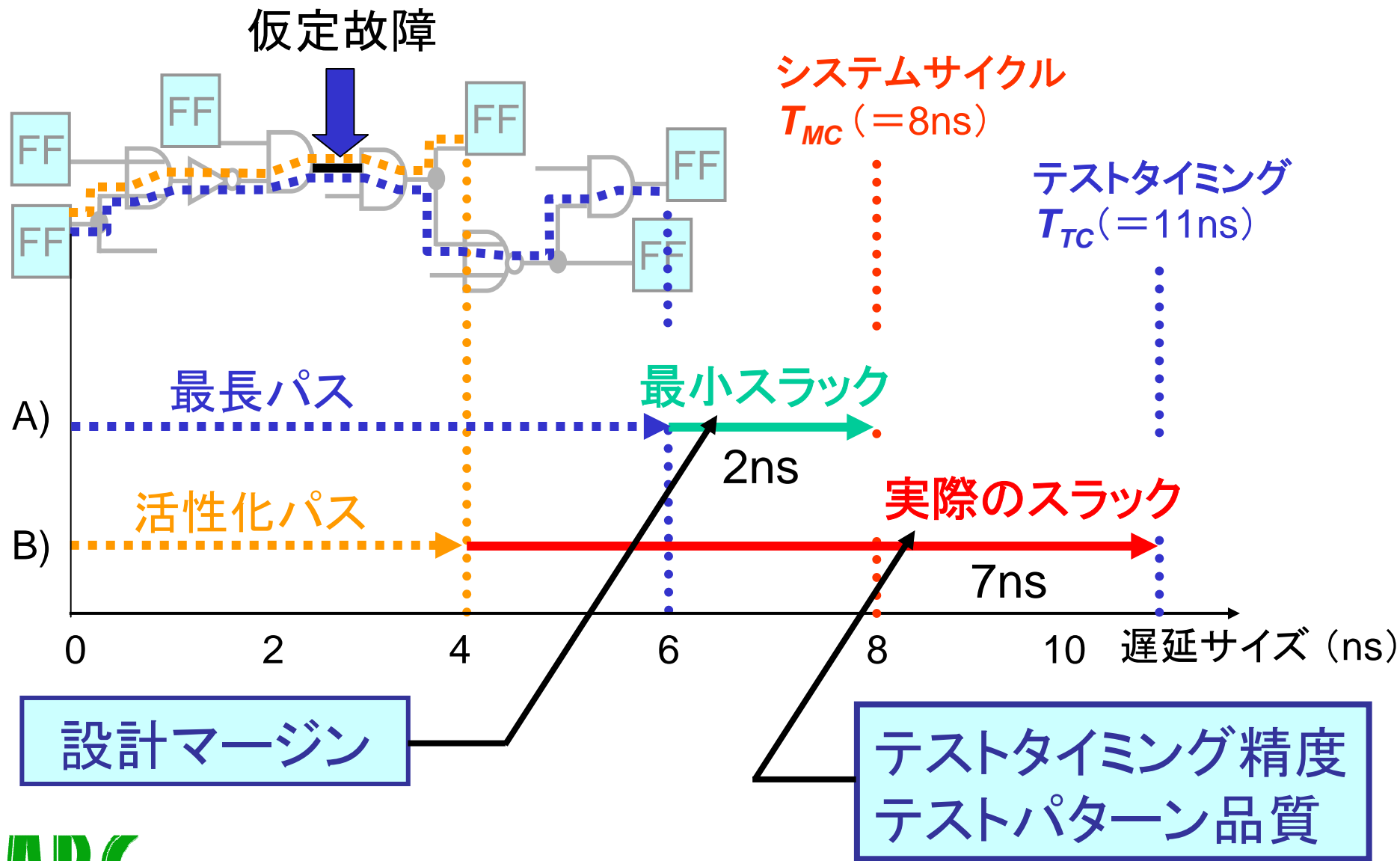
テストタイミング精度

製造プロセス品質



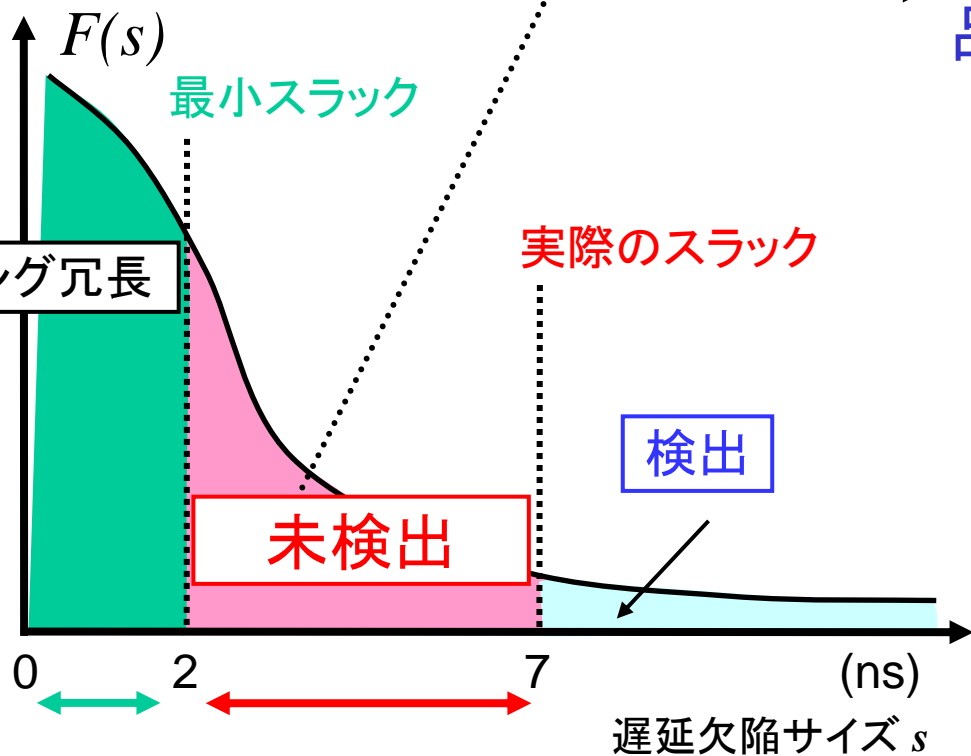
s : 遅延欠陥サイズ
 $F(s)$: 遅延欠陥発生確率

品質指標の算出(1)



品質指標の算出(2)

遅延欠陥分布



$2 < s < 7$ の遅延欠陥が未検出

この面積が1仮定故障当たりの品質指標 SDQL

チップ全体のSDQLは、

$$SDQL(CHIP) = \sum_{k=1}^{2N} SDQL(f_k)$$

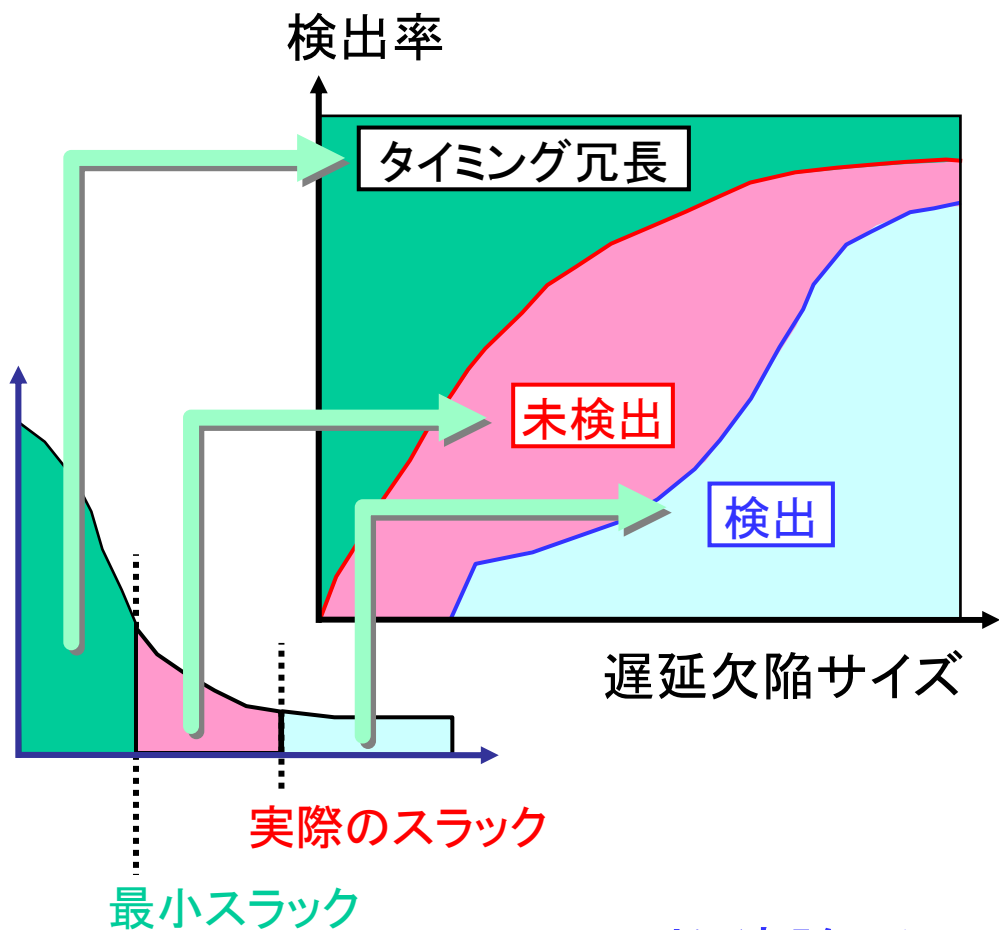
$2N =$ 仮定故障数

- * 故障仮定箇所は遷移遅延と同様
- ** SDQLが小さいほど品質は良い

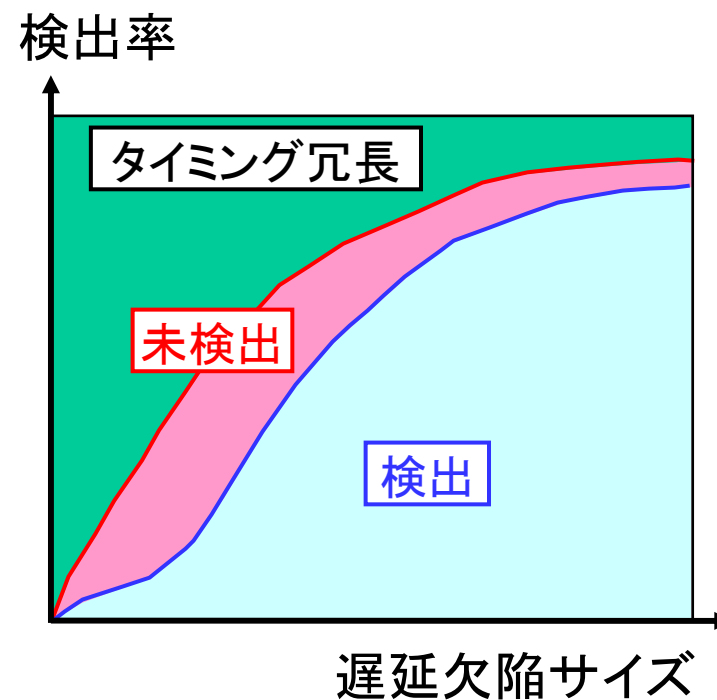
不良率に相当する指標
テスト品質を定量化

テスト品質の向上

従来のディレイテスト



SDQMによる微小遅延テスト

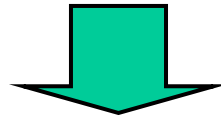


未検出な欠陥の減少により
高品質なテストが実現

故障診断への応用により歩留まり向上に期待

SDQM: Statistical Delay Quality Model

- テスト済みチップの品質を予測
 - 遅延品質の4要素はSDQLにより定量化
 - 市場不良率の予測が可能
 - 異なる品種間の比較も可能
 - 故障診断への応用が可能



テスト品質の改善
市場不良率の改善
品質とコストの最適化
歩留まり向上

3社と共同開発中

Cadence

ケイデンス、ディレイ・テストの品質改善に向けて、STARC のテクノロジーをサポート
日本のトップ・レベルの研究センターの品質モデルにより、ケイデンスのEncounter True-Time Delay Testの優れたカバレッジを実証 (2005年11月8日 プレスリリースより引用)

Mentor

STARCとの提携によりナノメータDFT設計のためのより優れたアットスピード・テスト手法を
共同開発 (2006年1月25日 プレスリリースより引用)

Synopsys

半導体各社、新しいATPGテクノロジーの確立を目指してシノプシスと協業

中略

日本の主要な半導体各社の共同出資により研究開発を行っている株式会社半導体理工学研究センター(STARC)は、過去2年にわたり、この新しいテクノロジーを開発し有効性を実証するためにシノプシスと協業してきた。
(2006年10月18日 プレスリリースより引用)

