

☆Shuttleスターシャトル[®] のご紹介

90nm世代に向けた
スターシャトルの活用方法



☆Shuttleスターシャトル[®]とは

■ ☆Shuttleスターシャトル[®]は、業界コンソーシアムの標準技術による、90nmSoCテクノロジプラットフォームを活用した シャトルです。

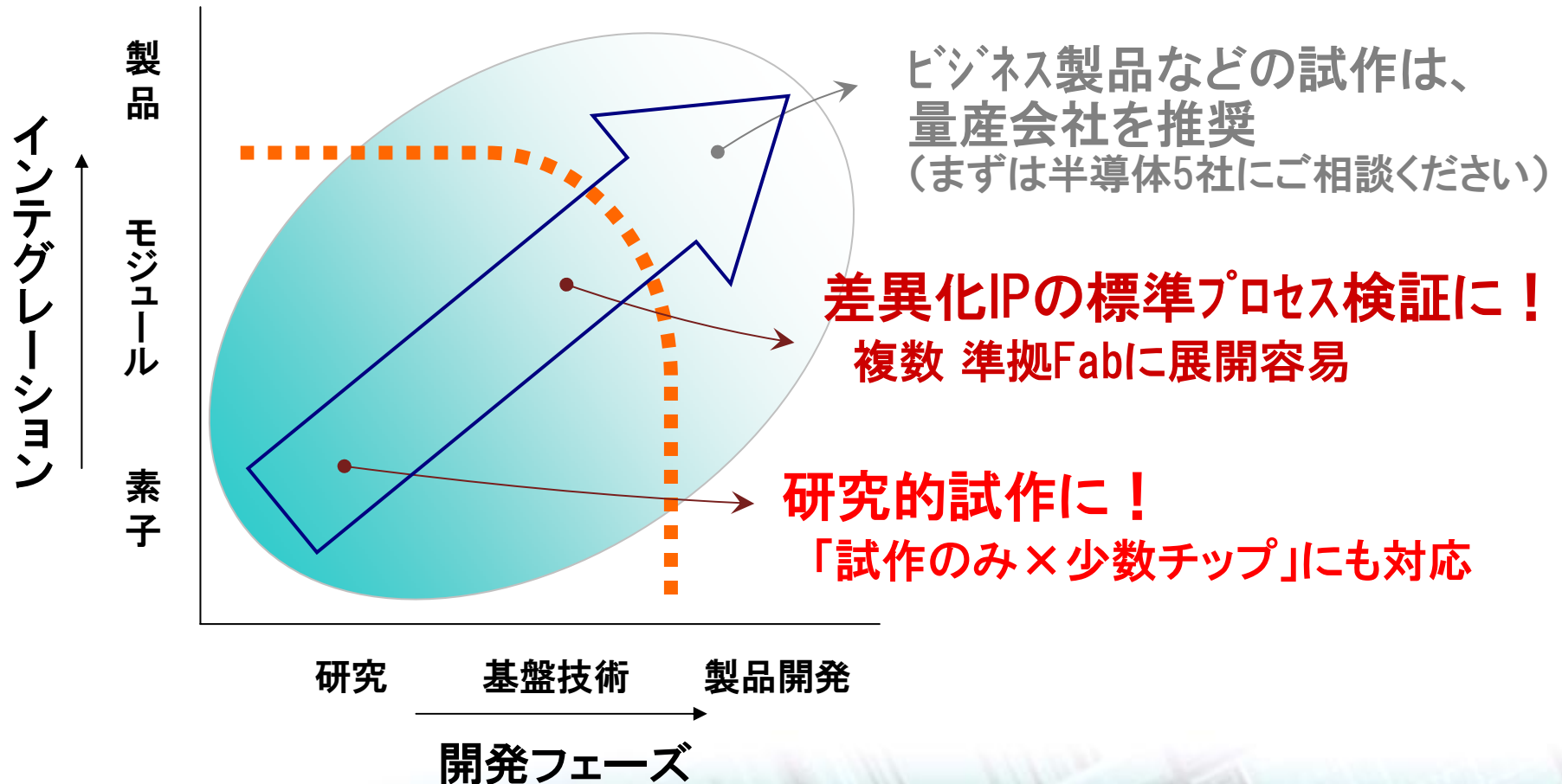
1. 「試作目的」で「少量チップ」などの研究開発用途にもご利用頂ける試作機会を提供します。
2. 半導体IPのインキュベーションやその成果の実用化を支援します。
3. コンソーシアムによる業界標準技術を核に、設計層の拡大と、産学、産産の種々コラボレーション活性化の機会を提供致します。

目次

- **スターシャトルのご案内**
 - 試作サービスの内容は？
 - 試作サービス利用の手順は？
 - 実績はあるの？
 - 提供物件は何があるの？
 - シャトルの運行計画は？
- **まとめ**

スターシャトルのご案内

■ 研究的試作に，IP検証に，是非ご活用下さい。

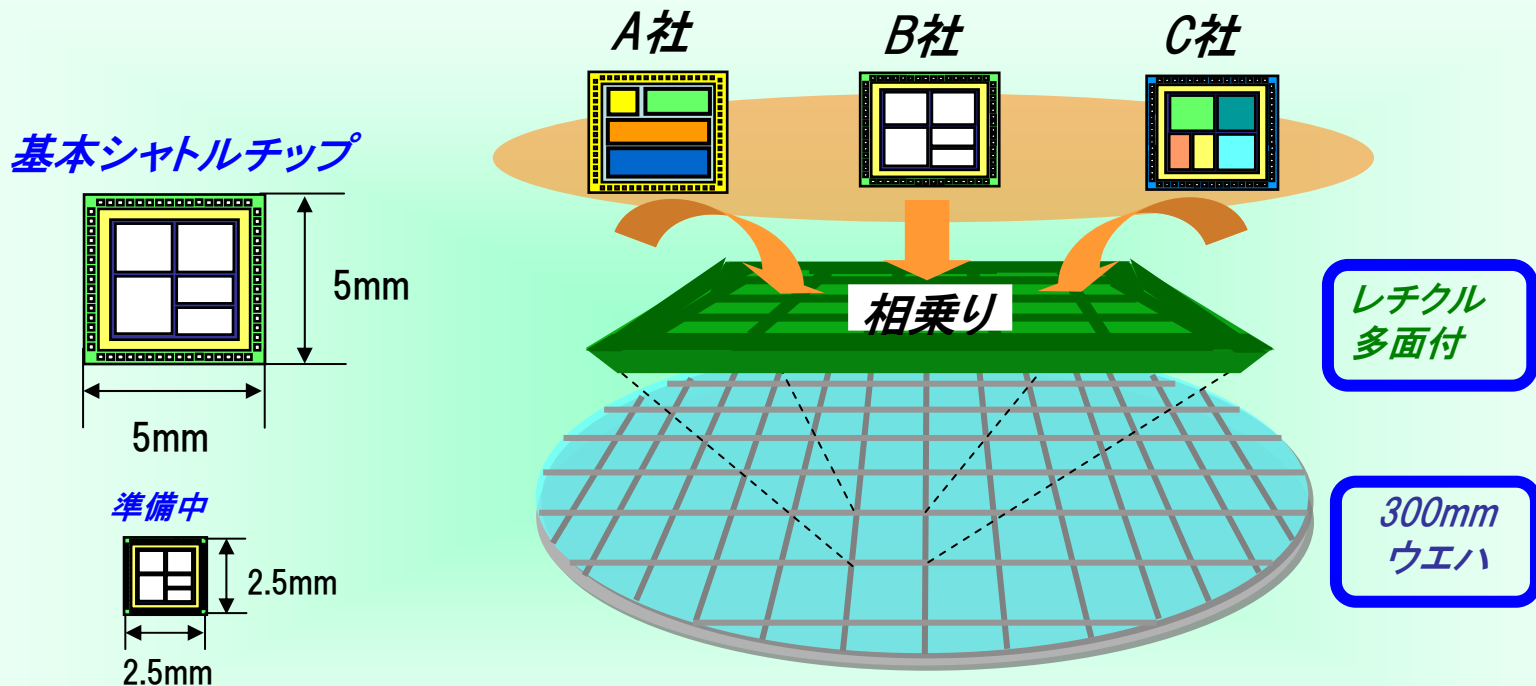


目次

- スターシャトルのご案内
 - 試作サービスの内容は？
 - 試作サービス利用の手順は？
 - 実績はあるの？
 - 提供物件は何があるの？
 - シャトルの運行計画は？
- まとめ

スターシャトルの概要

- 90nmプロセスで、5mm[□]チップをベースとする複数顧客相乗り試作



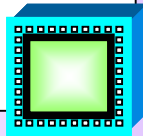
* 5mm[□]の整数倍 (x4 等)の区画要求は、個別相談となります。

納品物

標準サポート

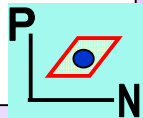
標準提供サンプル

ASPLAプロセスの出荷検査基準値をクリアしたウエハ上の40チップを提供します。テストングはありません。



サンプルの特性

標準の40チップは、特性センター条件で提供し、信頼性保証はありません。



出荷データ

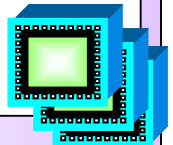
トランジスタ特性	抵抗
オン/オフ電流	拡散層/ゲート
スレッシュホールド電圧	コンタクト/配線
耐圧 等	VIA 等

オン電流
XXXXXX

オプションサポート

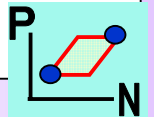
追加サンプル対応

40チップ以上の追加サンプル要求に対応を致します。但し、追加ウエハの投入等は、お客様負担となります。



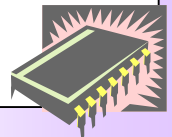
Vth条件振り対応

Vthコーナー (N/P:Hi/Hi、Low/Low) のサンプルに対応します。但し、追加ウエハ2枚等の費用はお客様負担となります。



パッケージ組立対応

提携組立会社のラインアップ内で、組立手配代行に対応します。但し、組立費用は、お客様負担となります。
(min.24pinDIP~max.484pinPBGA)



* 上記は概要です。正式には個別相談により、見積りを提示致します。

基本プロセス

■ Genericシャトル

Tr : Core 1.0v (マルチVth:Hi-P, Mid-P)、I/O 2.5v
配線: 6層Cu + Pad Al + PI Cover

オプション

- ① Deep Nwell(Triple Well)、
- ② CI容量(MOS容量)プロセス
- ③ I/O 3.3v

* Low Powerシャトルは、現状、不定期便となっています。個別にお問合せ下さい。

Tr : Core 1.2v (マルチVth:Hi-P, Mid-P)、I/O 2.5v
配線: 6層Cu + Pad Al + PI Cover

ベーステクノロジー

■特徴

- ・高速Generic用【AS90G】と低リークLow Power用【AS90LP】の2種。
- ・ Multi-Vt方式でライブラリを構成。
標準Vt Tr(Middle Performance)、低Vt Tr(High Performance)
- ・想定性能：SRAM動作周波数 G版500MHz、LP版200MHz

Technology Name	【AS90G】		【AS90LP】	
	MP	HP	MP	HP
・Core Voltage (V)	1.0		1.2	
・Gate Tox(A)	16		20	
・nMOS Lg(nm)	60		85	
Ion(μ A/ μ m)	440	590	390	490
Ioff(nA/ μ m)	0.5	5	0.004	0.04
・pMOS Lg(nm)	60		85	
Ion(μ A/ μ m)	190	250	160	195
Ioff(nA/ μ m)	1	10	0.01	0.07

パッケージガイド

ーパートナー組立て会社のラインアップー

*5mm□ベースでの対応可能なPKG一覧です。(は推奨)

Pin数PKG	外形	24	72	80	100	108	132	192	208	256	289	304	352	484
セラミック DIP ※1	30.5x15.1	●												
PGA ※1	27.9x27.9		●											
	35.5x35.5						●							
QFP	14x14			●										
	14x20				●									
	28x28								●					
FPBGA ※2	11x11					○								
	14x14							○						
	19x19											○		
BGA ※2	27x27									○				
	35x35												○	○
CSP ※2	5x5										○			

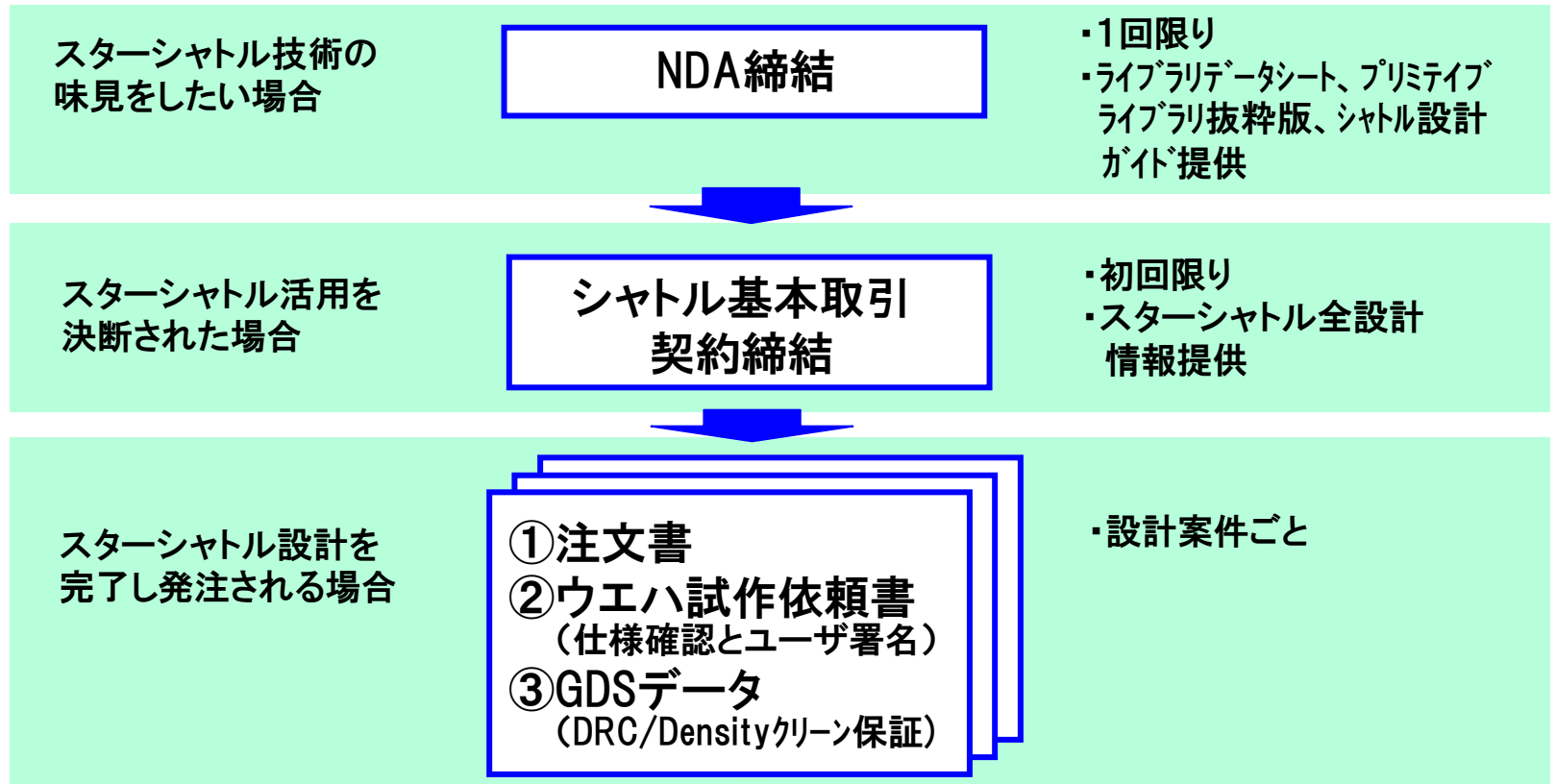
●5mm□チップ推奨PKG
*尚 2.5mm□は、QFP100(14x20)、
QFP208(28x28)の2種類が組立
可能なPKGとなります。

※1)5mm□チップに対応します。尚、セラミックDIP、PGAは、試作3ヶ月前の仮予約時にご相談下さい。
※2)FPBGA、BGA、CSPは個別案件毎にアSEMBリパートナーにお問い合わせ下さい。

目次

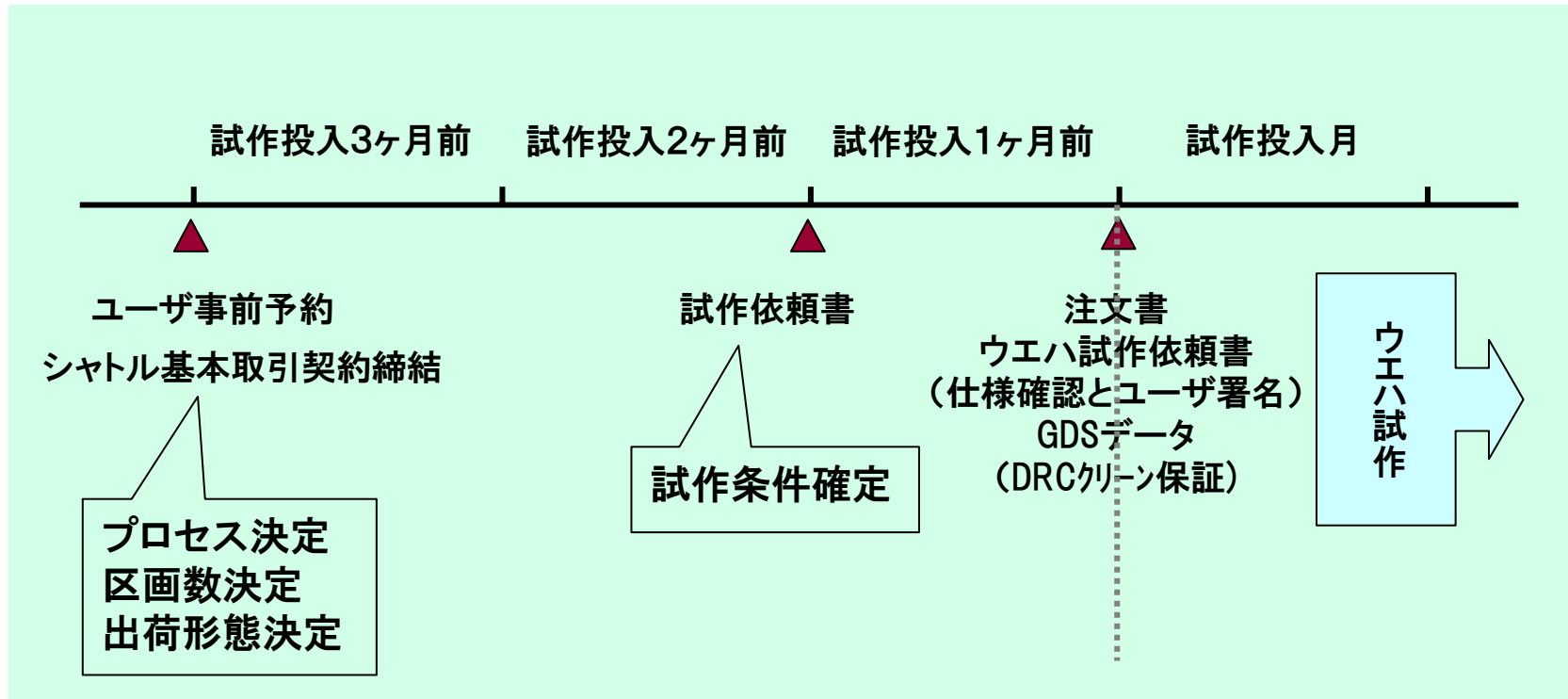
- スターシャトルのご案内
 - 試作サービスの内容は？
 - 試作サービス利用の手順は？
 - 実績はあるの？
 - 提供物件は何があるの？
 - シャトルの運行計画は？
- まとめ

ご利用の手順(1)

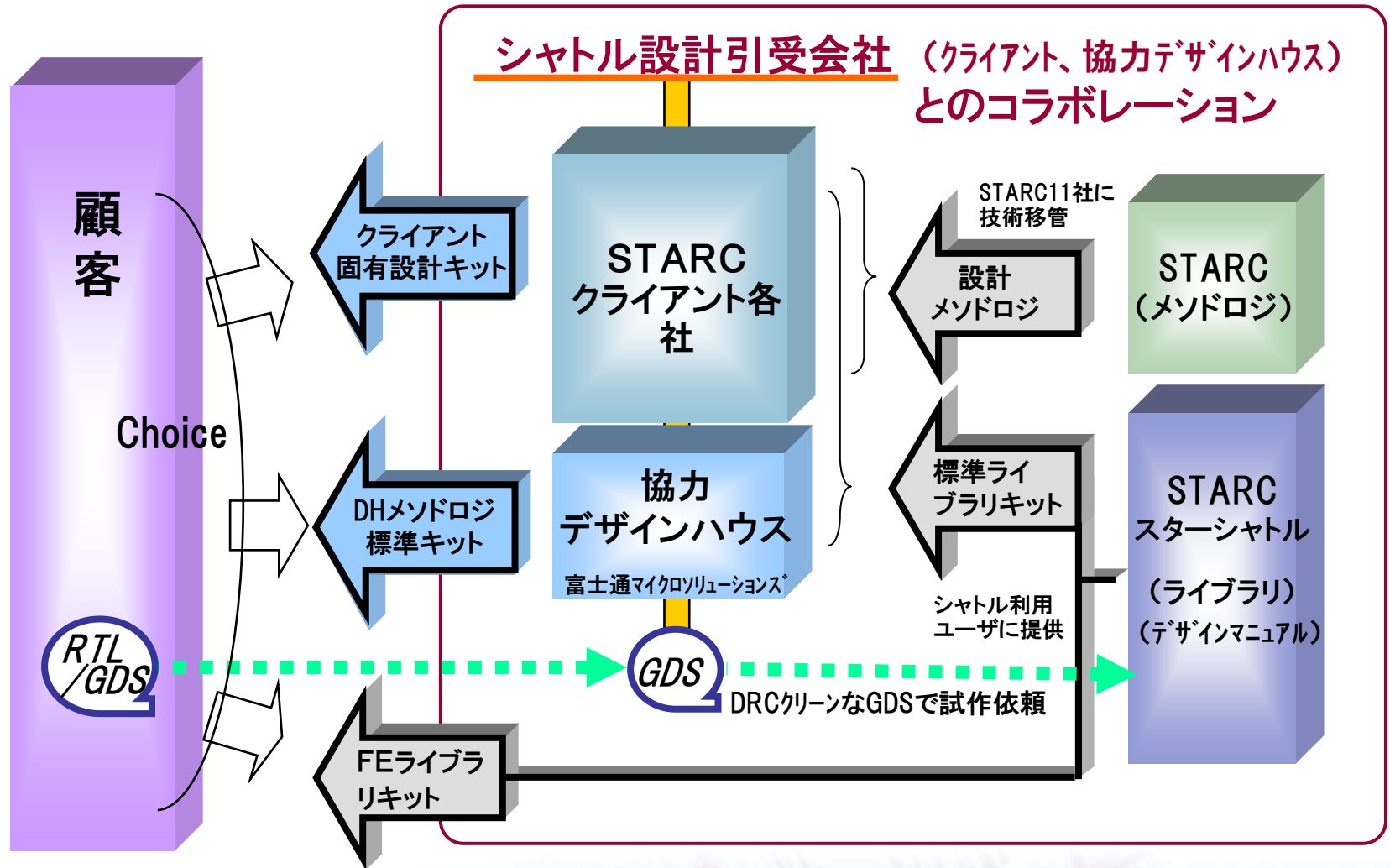


ご利用の手順(2)

- 試作投入月の3ヶ月前に事前予約
- NDAベースの味見はそれ以前に開始可能



サポートスキーム

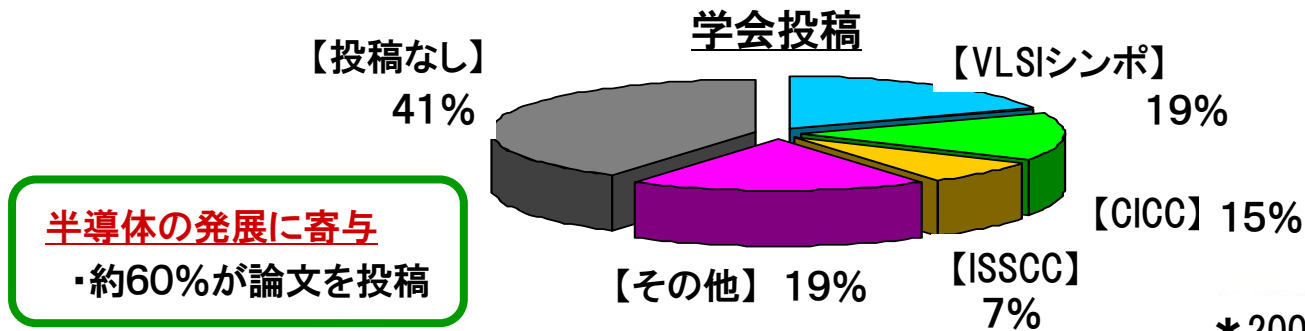
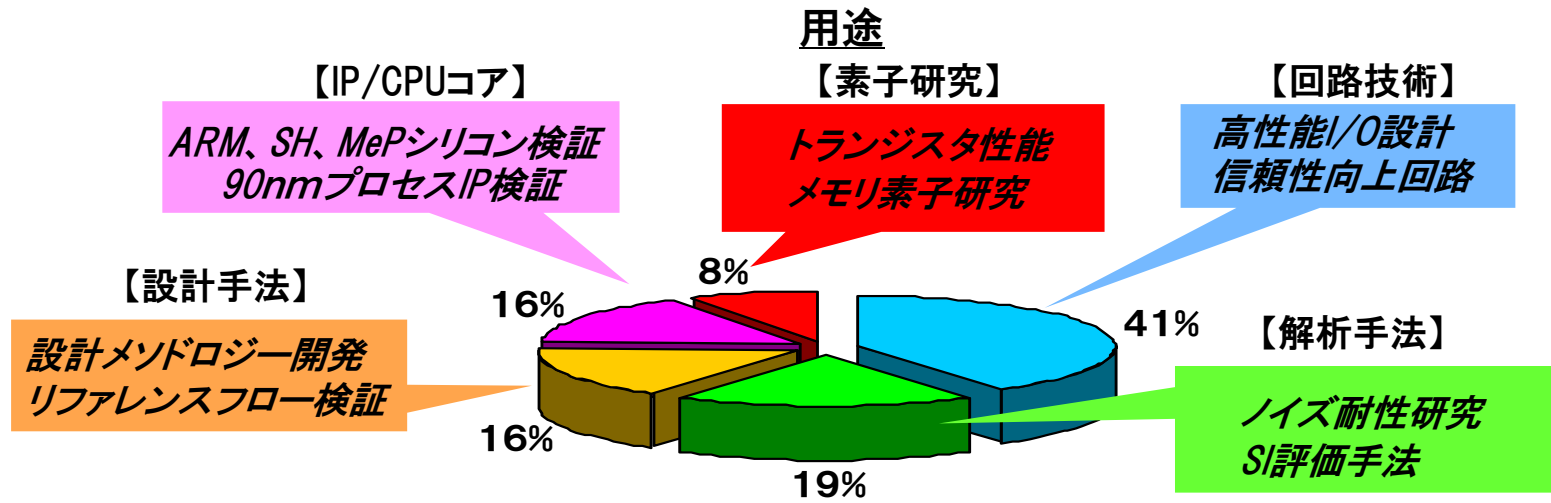


目次

- スターシャトルのご案内
 - 試作サービスの内容は？
 - 試作サービス利用の手順は？
 - **実績はあるの？**
 - 提供物件は何があるの？
 - シャトルの運行計画は？
- まとめ

スターシャトル活用実績

- 累積150件以上の顧客活用実績あり
- 研究用途, 評価用途, IP検証用途での実績多数



* 2005.9時点のデータ

IP評価実績

- ARM7, SH-4, MePの試作検証実績あり
- MIPS32の合成評価実績あり

- * 90nmプロセスに期待される性能およびライブラリパフォーマンスを確認した。
- * SoCテクノロジプラットフォーム上でのSoC設計方式を確立した。

評価IP	評価内容	諸元	試作結果	成果
ARM7TDMI	Generic版テクノロジによる プロセスポーティング	624Ktrs+3.3V I/O	一発完動	プロセス完成度を実証
SH-4	LowPower版ライブラリ適用 による設計および試作	1MG Logic+Memory +PLL+3.3V I/O	一発完動	プロセス完成度および ライブラリパフォーマンス を確認
MeP	LowPower版ライブラリ適用 による設計および試作	340KG Logic+Memory +PLL+3.3V I/O	一発完動	SoCテクノロジプラット フォームを使用した SoC設計方式を実証
MIPS32 4KEc/24Kc	Generic版/LowPower版 ライブラリ適用による合成	Area 0.5sq.mm @4KEc Area 0.9sq.mm @24Kc	-	ライブラリパフォーマンス を確認

目次

- スターシャトルのご案内
 - 試作サービスの内容は？
 - 試作サービス利用の手順は？
 - 実績はあるの？
 - 提供物件は何があるの？
 - シャトルの運行計画は？
- まとめ

設計用ドキュメント/ライブラリキット

- 「NDA」締結 ⇒ ③、④、⑥(抜粋)を提供(概要を掌握)
- 「シャトル基本取引契約書」締結 ⇒ 下表全情報を提供

◆ドキュメント関連	Generic	Low Power	備考
①デザインマニュアル	✓	✓	
②SPICEモデル	✓	✓	
③ライブラリデータシート類	✓	✓	
④シャトル設計ガイド	✓	✓	FAQのノウハウを蓄積
⑤アナログ設計ガイド	✓	✓	
◆ライブラリキット関連	Generic	Low Power	備考
⑥プリミティブ	✓	✓	
⑦I/O	✓	✓	TEG/IP検証用
⑧メモリコンパイラ	✓	✓	
⑨PLL	TBD	TBD	2006/3リリース予定

✓ ; available DRCファイルは、ライブラリキットに含まれる。

ライブラリの全容

プリミティブ・ライブラリ

テクノロジ	電源電圧	Vth	セル種
Generic版	1.0V	High	341種
		Low	341種
Low Power版	1.2V	High	593種
		Low	593種

(Multi-Vth方式)

I/Oライブラリ (G,LP版とも)

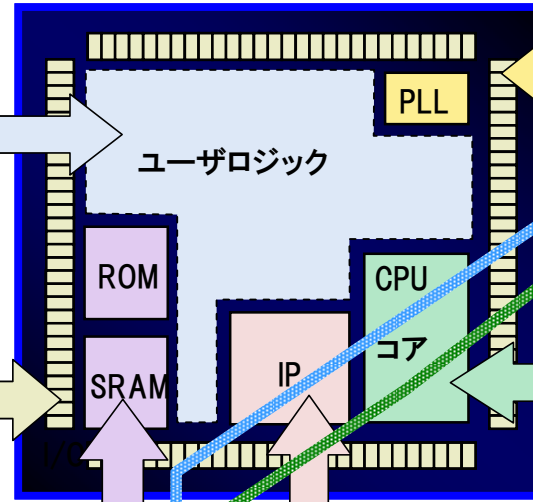
Io	V	2.5V	3.3V
2mA	CMOS level interface		
4mA			
8mA			

メモリ・ライブラリ (コンパイラ方式)

コンパイラ	構成	最大動作周波数	
		Gen版	LP版
SP SRAM	max 512kb	500MHz	200MHz
DP SRAM	max 256kb		
SP RgF	max 32kb		
DP RgF	max 16kb		
Via ROM	max 2Mb		

STARCより提供する基本ライブラリキット

チップイメージ



PLL

- ・Programmable方式
- ・Generic、LP版

CPUコア

- ・ルネサス社/SH-4
- ・ARM社/ARM7TDMI
- ・MIPS社/MIPS32 4KEc, MIPS32 24Kc,

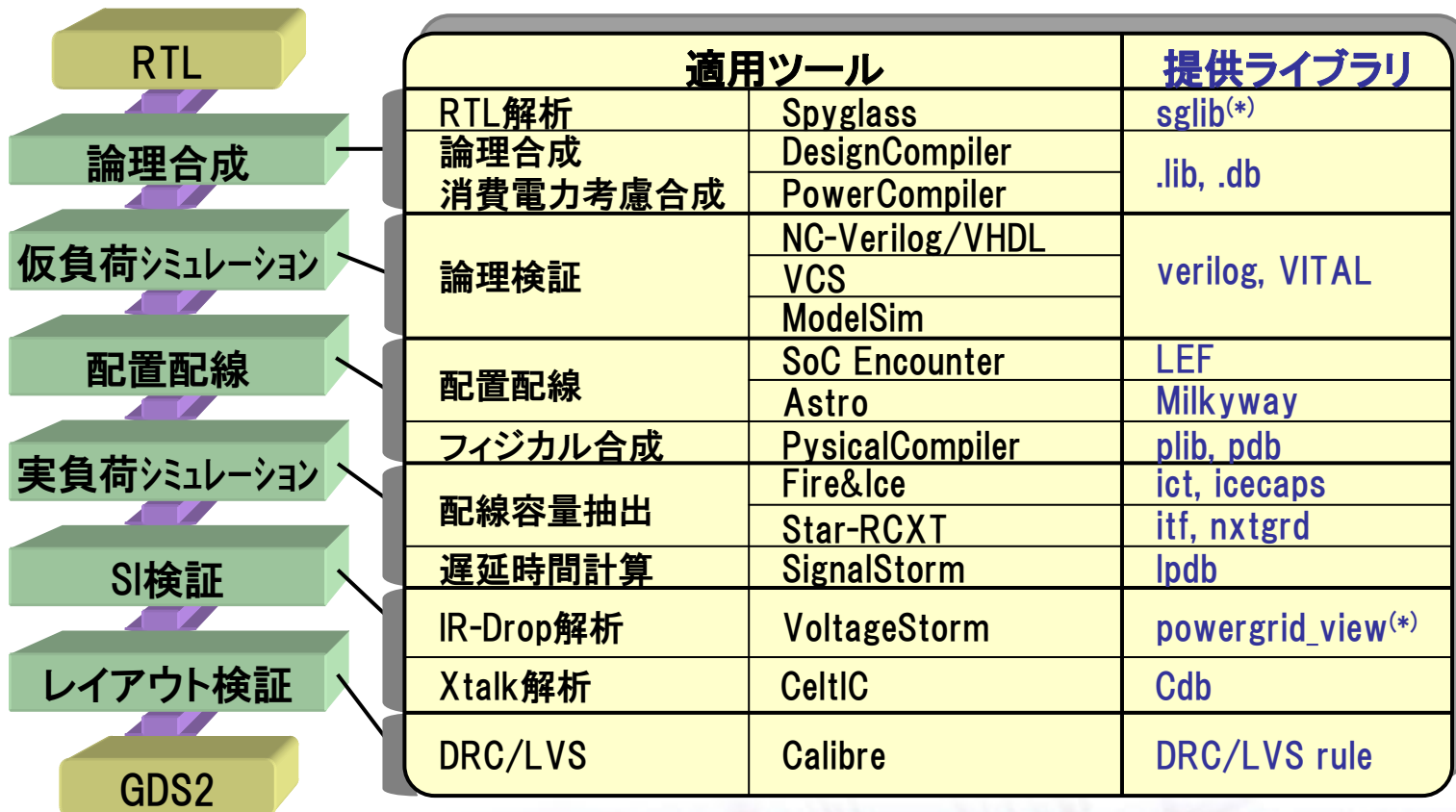
各種IP 「☆shuttle IPパートナープログラム」で対応

CPU/DSP	Interface	Network / Encryption	Multimedia
SH4-202S ZSP400, ZSP500, ZSP540, ZSP600, MIPS32 4KEc, MIPS32 24Kc, ARM7TDMI	USB1.1, USB2.0, USB2.0 PHY and USB2.0 OTG, PCI/PCI-X, PCI Express, SATA Host, AMBA	WLAN MODEM Core, ADVANCED WLAN MAC Core Giga Ethernet MAC Core, Ethernet, 802.11i, 802.11a/g, AEC-Cipher, 802.11 MAC layer, 802.11b Base band 802.11a/g高速Vitabi Decoder Wireless Analog Front End	Secure Digital- Multimedia- Card, JPEG 8bit 205M Video Analog Front End 10bit 80M Video Analog Front End

IPパートナーより支援頂けるIP群

EDAライブラリーキット

■ 90nm技術に不可欠なSIを考慮した
SoC統合設計フロー対応のEDAライブラリーを提供

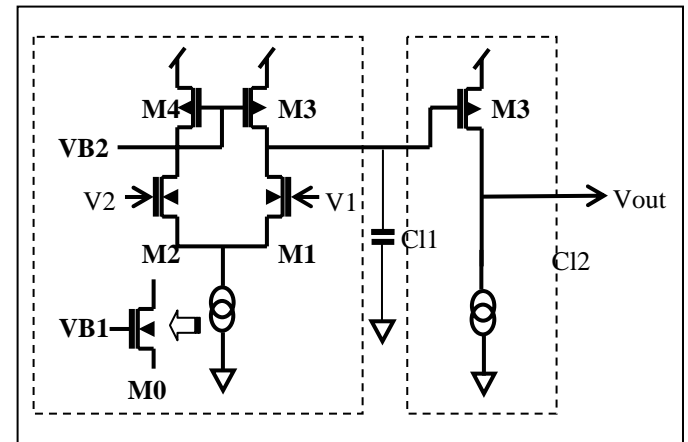
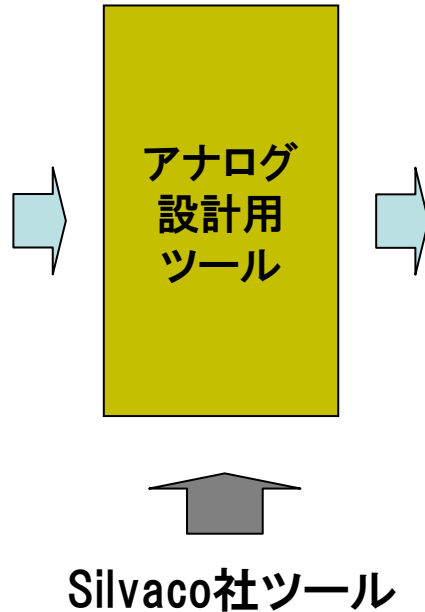


(*) : LP版のみ

PDK

■ アナログ回路設計対応PDKの提供('06/2Q) (PDK : Process Design Kit)

出力データ



- * 回路図
- * SPICEネットリスト
- * 回路レイアウトパターン(GDS)

☆Shuttle IPパートナープログラム

■ スターシャトルサービスで活用できるIPを多数登録

* IPのご利用にあたっては、直接IPパートナー社様にご連絡下さい。

http://www.as-star.net/ipcat/ip_category.php

STARCカテゴリー別登録IPコアリスト

CPU/DSP	Interface	Network / Encryption	Multimedia
SH4-202S ZSP400, ZSP500, ZSP540, ZSP600, MIPS32 4KEc, MIPS32 24Kc, ARM7TDMI	(DSP) USB1.1, USB2.0, USB2.0 PHY and USB2.0 OTG, PCI/PCI-X, PCI Express, SATA Host, AMBA	WLAN MODEM Core, ADVANCED WLAN MAC Core Giga Ethernet MAC Core, Ethernet, 802.11i, 802.11a/g, AEC-Cipher, 802.11 MAC layer, 802.11b Base band 802.11a/g高速Vitabi Decoder Wireless Analog Front End	Secure Digital- Multimedia- Card, JPEG 8bit 205M Video Analog Front End 10bit 80M Video Analog Front End

目次

- スターシャトルのご案内
 - 試作サービスの内容は？
 - 試作サービス利用の手順は？
 - 実績はあるの？
 - 提供物件は何があるの？
 - シャトルの運行計画は？
- まとめ

試作運行計画

- 年間4便の運行を予定
- どの便も予約の早い順にエントリー

* 本推奨は、2005年度の各学会の投稿締切り期日から、試作期間とお客様の評価期間を考慮して計画しています。

	05/	06/										
	10	11	12	1	2	3	4	5	6	7	8	9
スター シャトル 年間計画		11月 (CICC推奨)		2月 (A-SSCC推奨)			5月 (ISSCC推奨)		8月 (VLSIシンポ 推奨)			
		●		○			○		○			
		Generic (試作完)		Generic (確定)			Generic (計画中)		Generic (計画中)			
		GDS締切 (10/E済) 納入完了		GDS締切(1/E) 納入予定(4/E)			GDS締切 (5/B) 納入予定 (8/B)		GDS締切(7/E) 納入予定(10/E)			

*スターシャトル運行計画は、STARC/Webで公開します。

目次

- **スターシャトルのご案内**
 - 試作サービスの内容は？
 - 試作サービス利用の手順は？
 - 実績はあるの？
 - 提供物件は何があるの？
 - シャトルの運行計画は？
- **まとめ**

まとめ

■ スターシャトルの5つの特長

1 研究開発用途に向けた価格設定

- ※ 90nmの試作としては割安な価格で提供致します。
- ※ 2.5mm[□](準備中)はゲートアレイ並みの価格で提供致します。

2 柔軟なチップサイズ対応

- ※ 標準5mm[□]に加え、2.5mm[□](準備中)、10mm[□]にもオプション対応致します。

3 信頼できる品質

- ※ 過去150件以上の顧客活用実績があり、継続活用を頂いています。

4 用途に応じたオプションサービス

- ※ サンプル増量、試作条件追加の他、パッケージ手配代行も致します。

5 大手デザインハウスの設計サポート

- ※ 設計サポートに、弊社の協力デザインハウスをご紹介致します。

最後に

STARCは国内初の90nmシャトル試作サービスを広く一般ユーザに展開し、実績をベースにしたサポートを実施して参ります。

- * なお、大学関係の皆様には、産学共同スキームもあります。
東京大学大規模集積システム設計研究センター(VDEC)にお問合せ下さい。
-

お問い合わせは以下のURLから

<http://www.starc.jp/index-j.html> あるいは

<http://www.starc.jp/starshuttle/ShuttleTop.htm>