

# LSI設計効率を飛躍的に向上させる 設計メソッド(STARCAD-21)の最新情報

2006年1月26日

西口信行

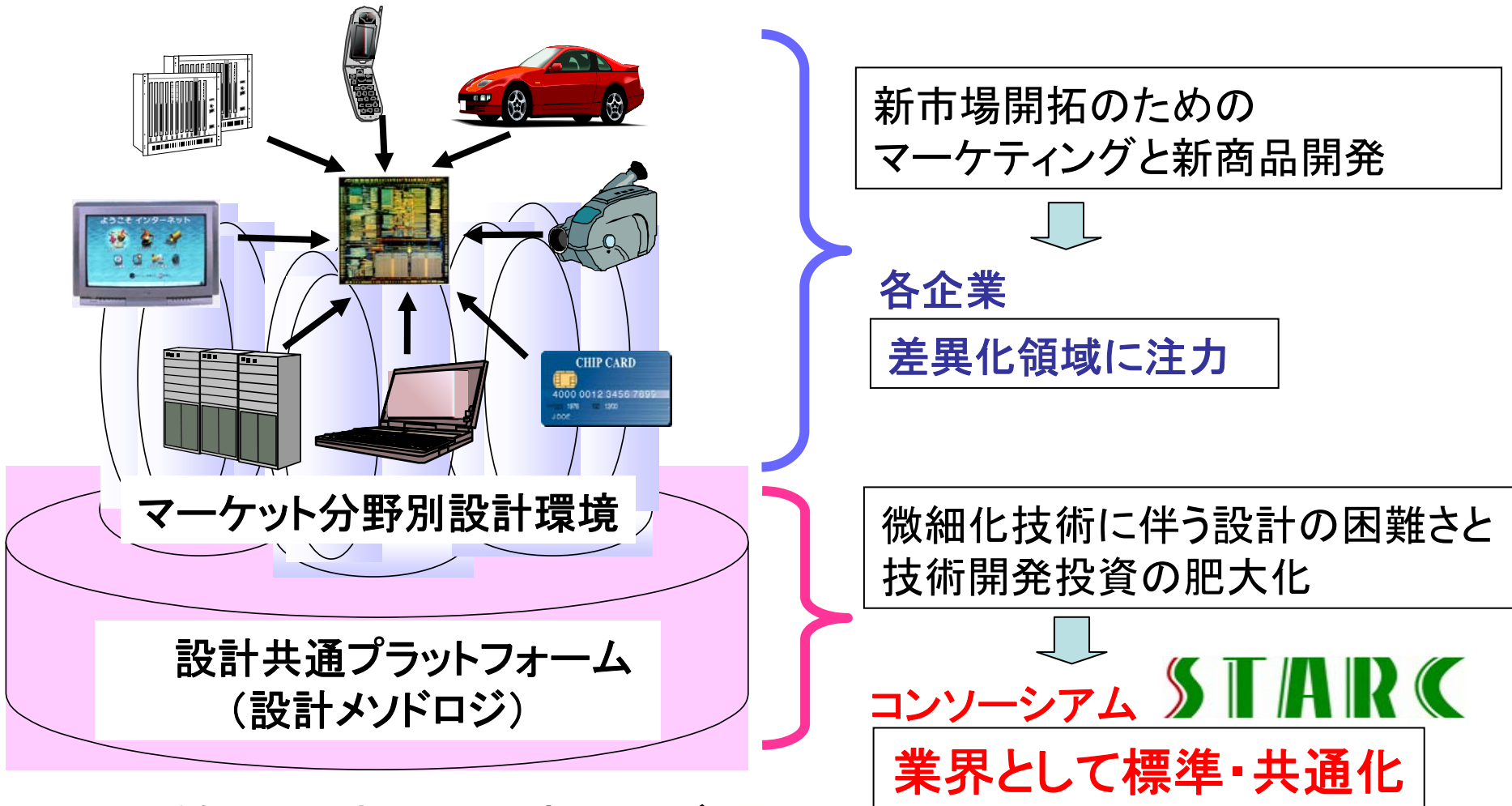
株式会社 半導体理工学研究センター(STARC)

開発第1部メソッド開発室



# 業界における環境の変化

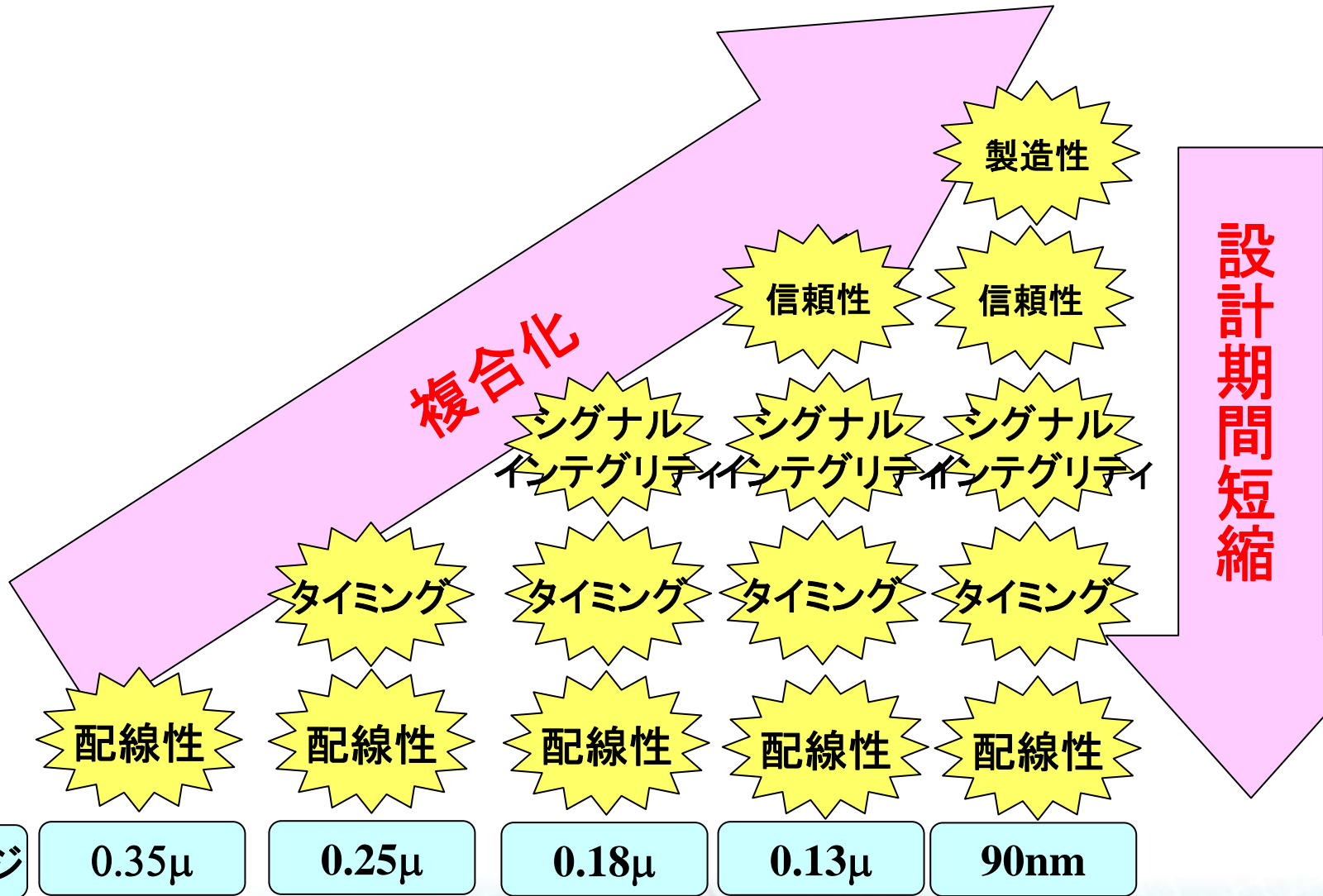
システムLSI設計の業界共通プラットフォーム化の価値が急激に増大



日本の技術の統合、関連ベンダを主導



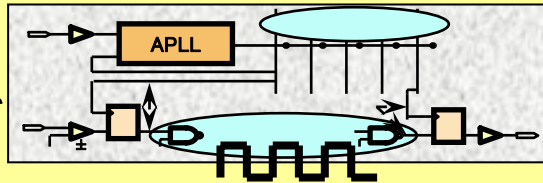
# 設計の複雑化



# 最新世代の課題(設計要素)

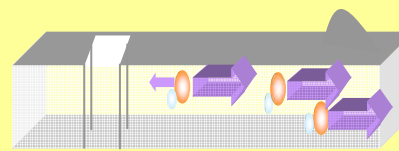
タイミング、シグナルインテグリティ(SI)、信頼性、製造性が  
単独事象の課題ではなく従属事象の課題として存在

## タイミング



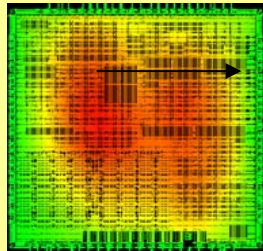
- 遅延予測
- 遅延精度向上
- プロセスばらつき
- 温度・電圧可変遅延計算

## 信頼性



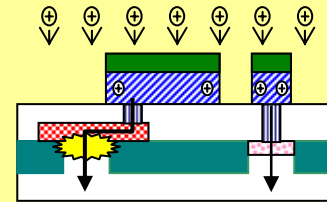
- エレクトロンマイグレーション
- ホットキャリア
- NBTI

## シグナルインテグリティ



- クロストークノイズ
- クロストーク遅延
- 静的IRDロップ
- 動的IRDロップ

## 製造性



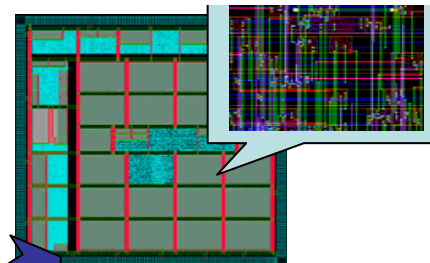
- UDSM対応
- デザインルール
- データ率
- アンテナ効果
- メタルスロットティング

# 設計メソドロジー STARCAD-21

## 設計記述(RTL)

```
always @(posedge CLK) begin  
  if (RST==1'b0);  
    X=A+B  
  else  
    X=C+D;  
end  
endmodule
```

## LSI製造用データ(GDS2)



Check and Go  
予測と予防

チップインプリメンテーション  
(RTLtoGDS2)

論理設計

テスト設計

レイアウト設計

タイミング、SI、DFM、信頼性

全体最適としての統合設計環境  
プロダクションフロー+全体最適

EDAツール  
(論理合成)

EDAツール  
(DFT)

EDAツール  
(レイアウト)

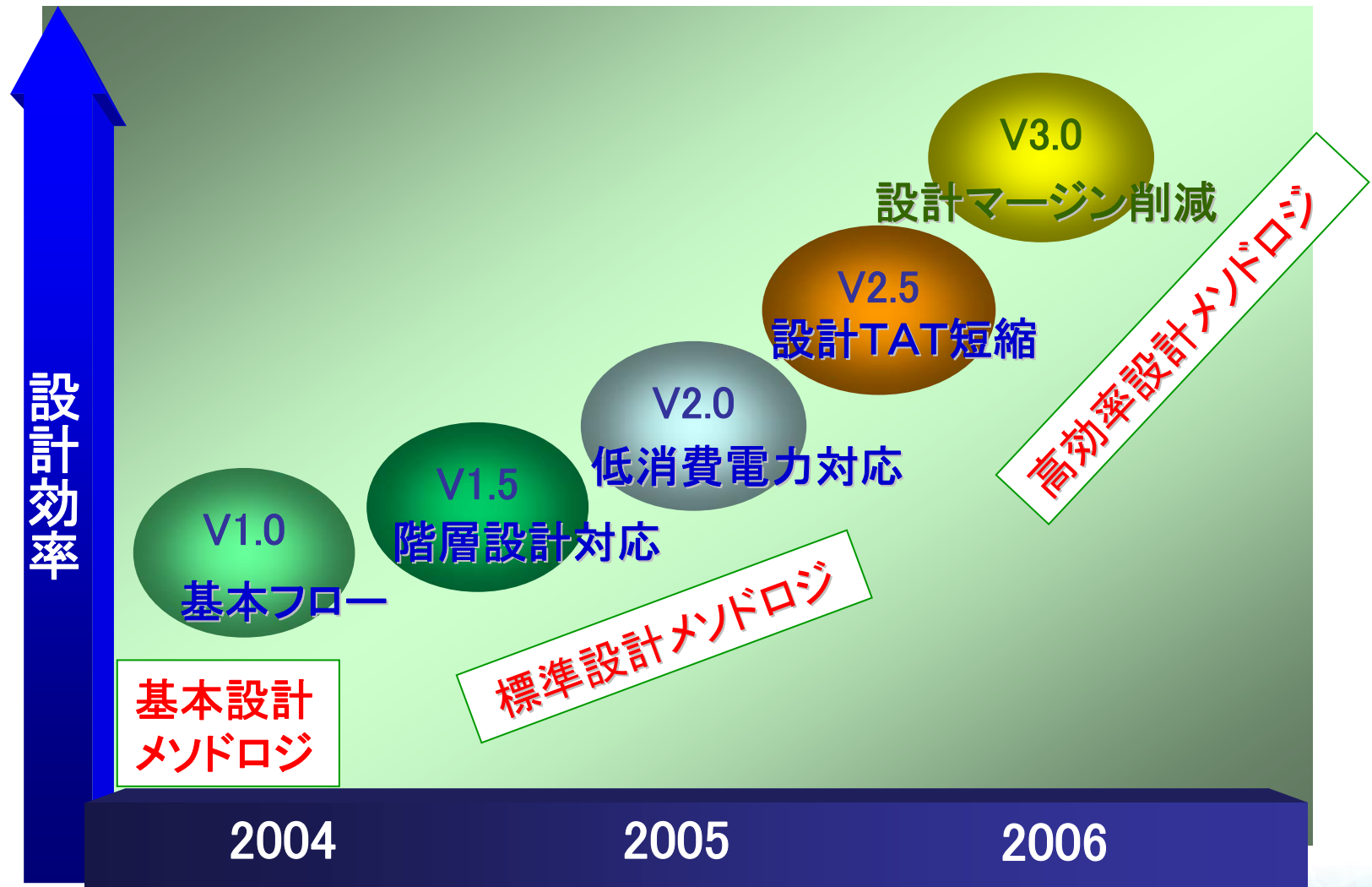
設計ノウハウ  
(ガイドライン)

計算モデル  
(ツール精度)

設計部品  
(ライブラリ)

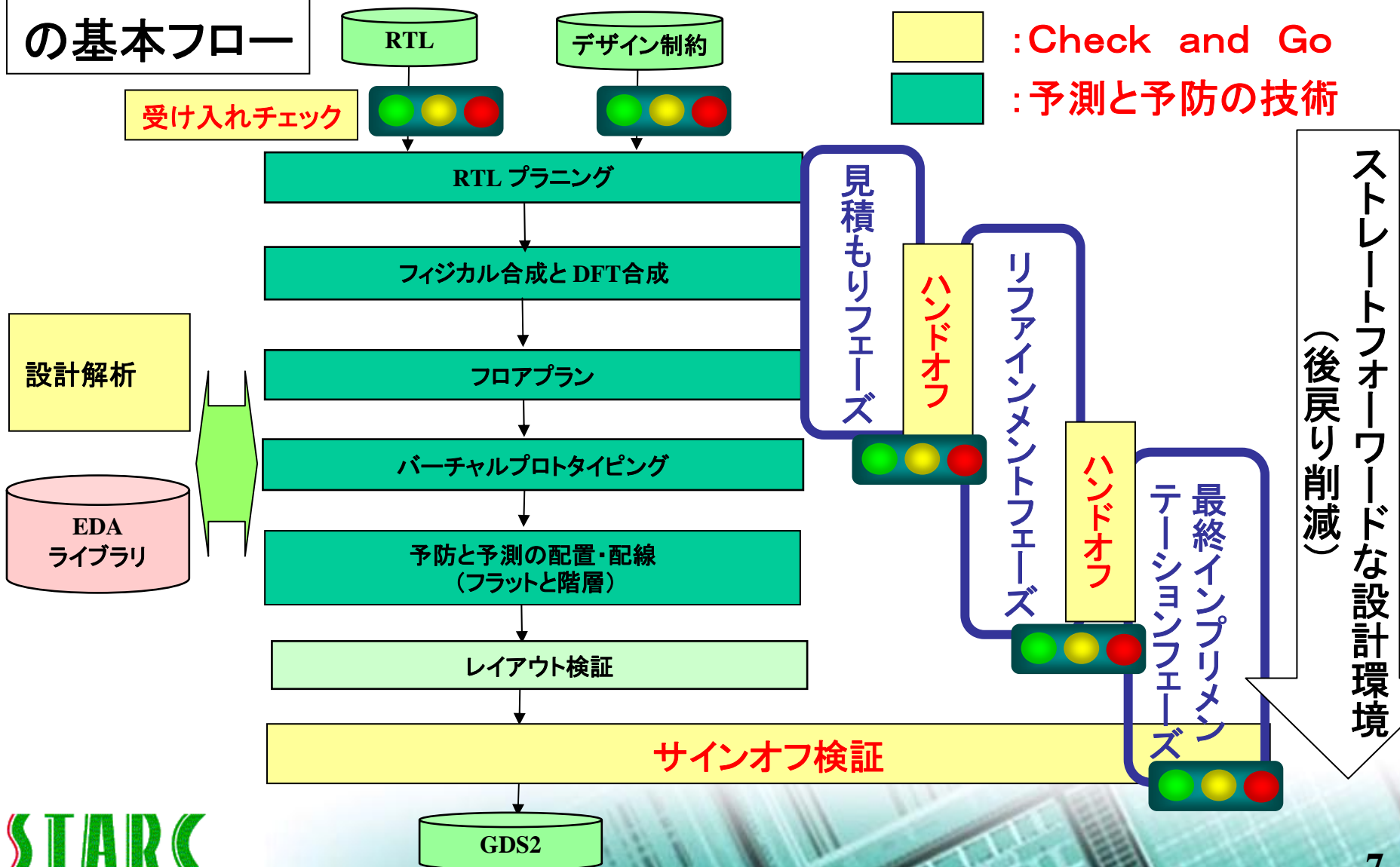
設計課題のトレードオフを解決

# STARCAD-21リリース現状と計画



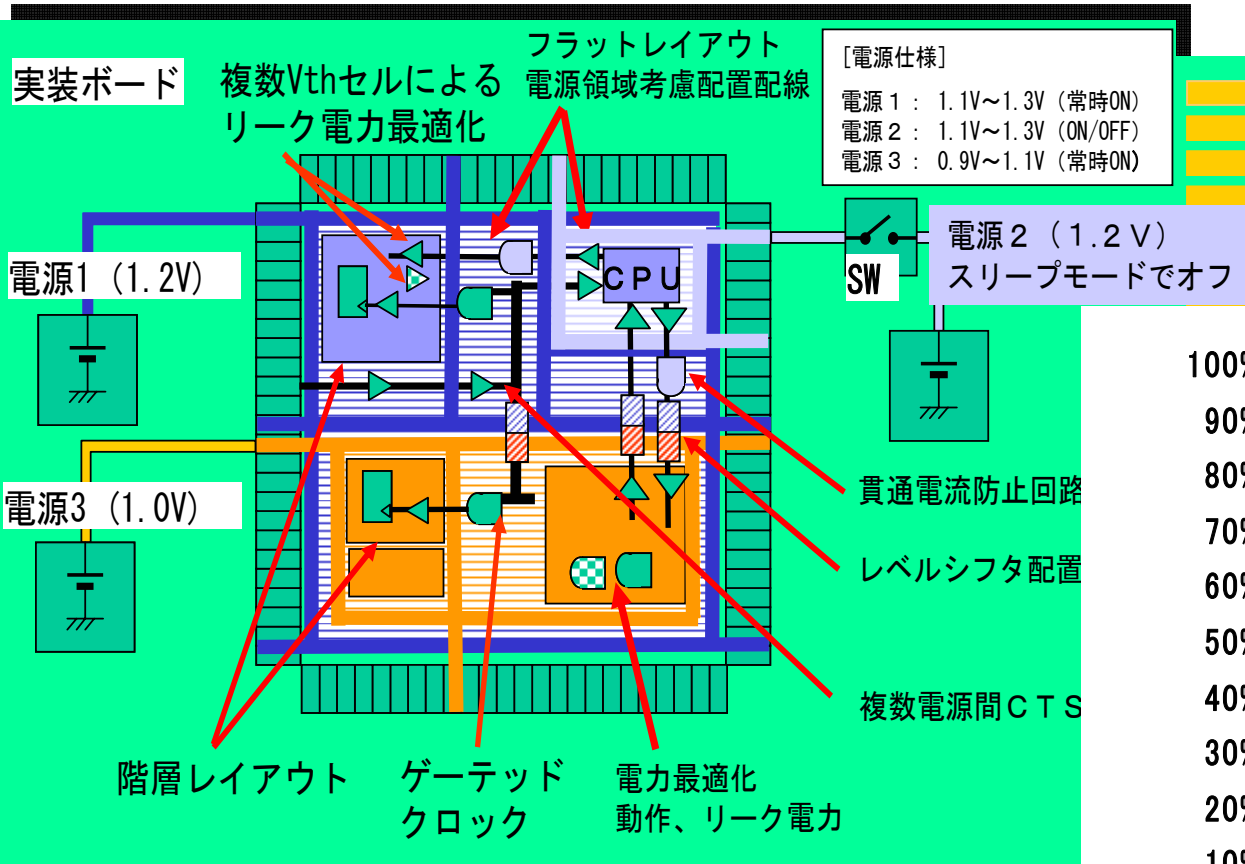
# STARCAD-21 Ver.1.0

## RTLtoGDS2 の基本フロー

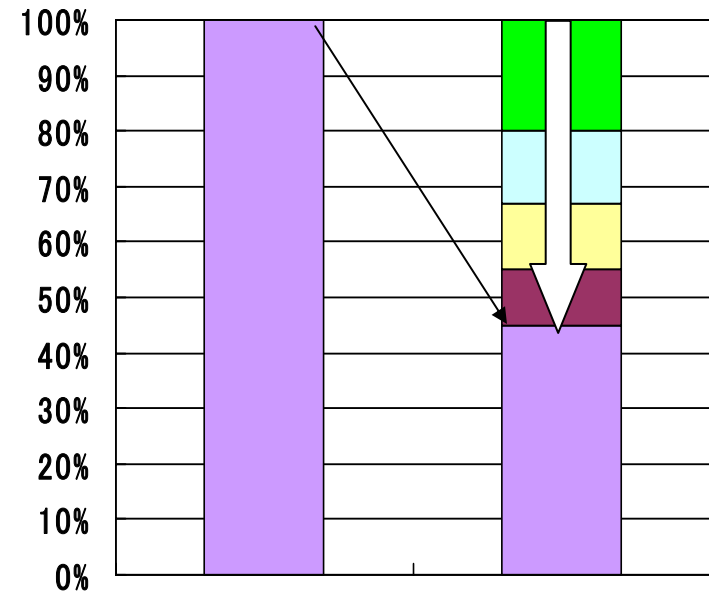




## 低消費電力対応



45%の消費電力で実現

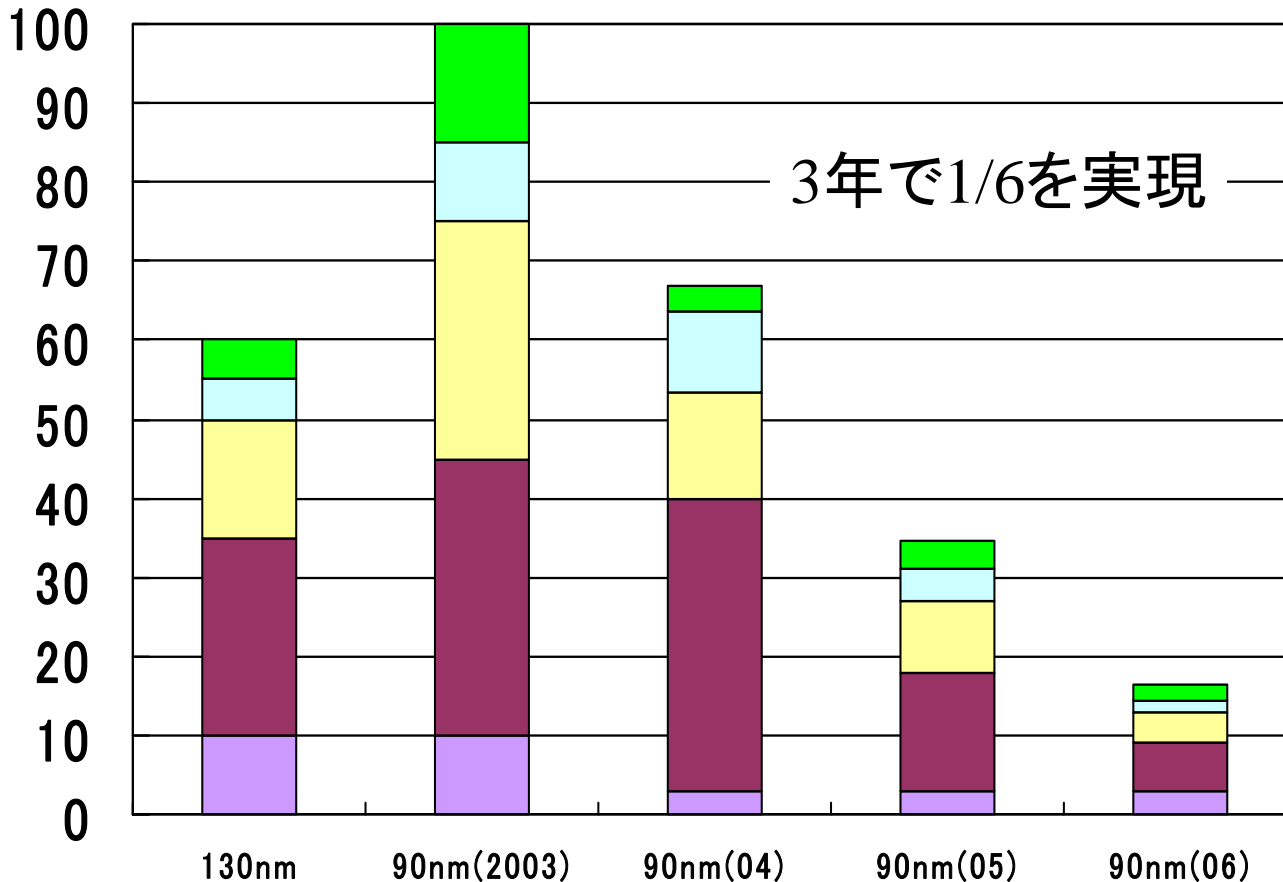


従来

低消費電力対応



## 設計TAT短縮



### 主な取り組み

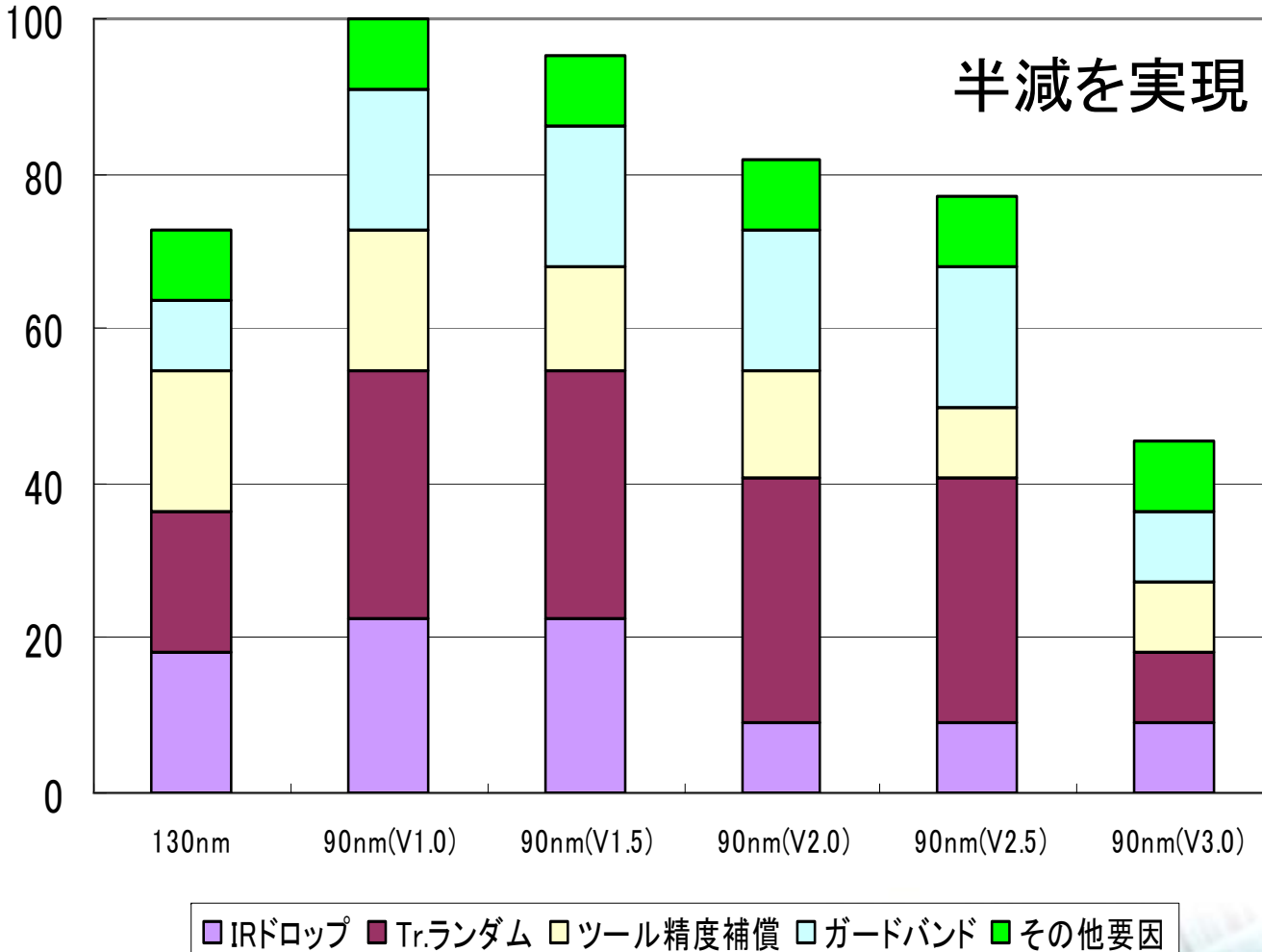
- フロアプラン手法の改善
- インクリメンタル手法の開発
- What-If解析
- ハンドオフ基準の開発
- サインオフコーナ削減
- ノイズ解析の精度向上
- ロジックBISTの導入
- 設計インテンツの活用
- マルチモード解析の開発
- 設計マージン削減
- 階層サインオフ手法の開発

基本
  タイミング
  SI
  テスト
  PI
 SI: Signal Integrity  
PI: Pattern Integrity

# STARCAD-21 V3.0

設計マージン削減

設計TAT削減



主な取り組み

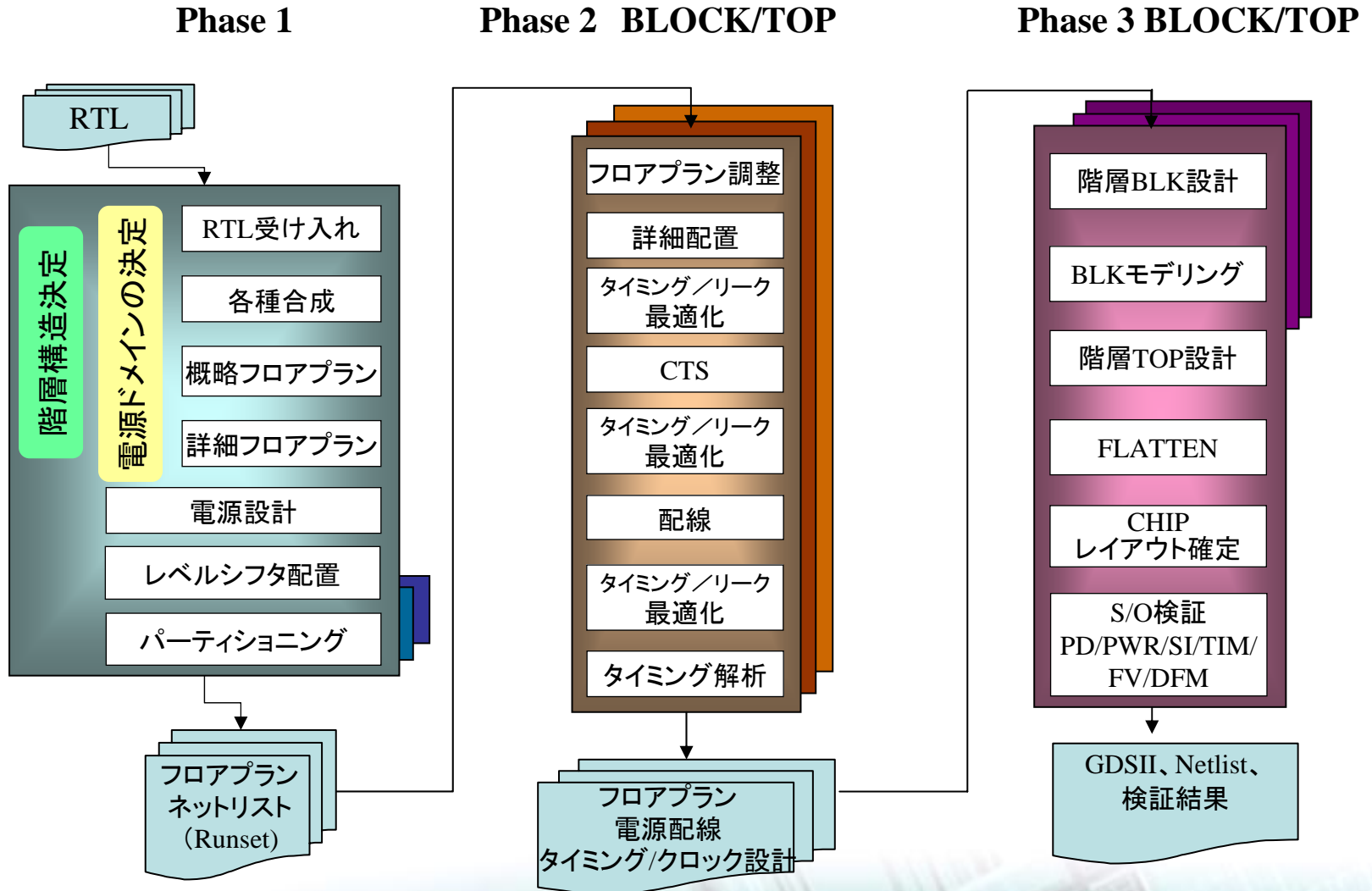
- インスタンスベースのIRドロップ考慮
- ランダムばらつき考慮の遅延計算 (OCV対応)
- 高精度遅延ライブラリ
- ダイナミックIRドロップの遅延へのフィードバック
- ゲートレシオ導入による余分な設計ガードバンド削減

ゲートレシオ:

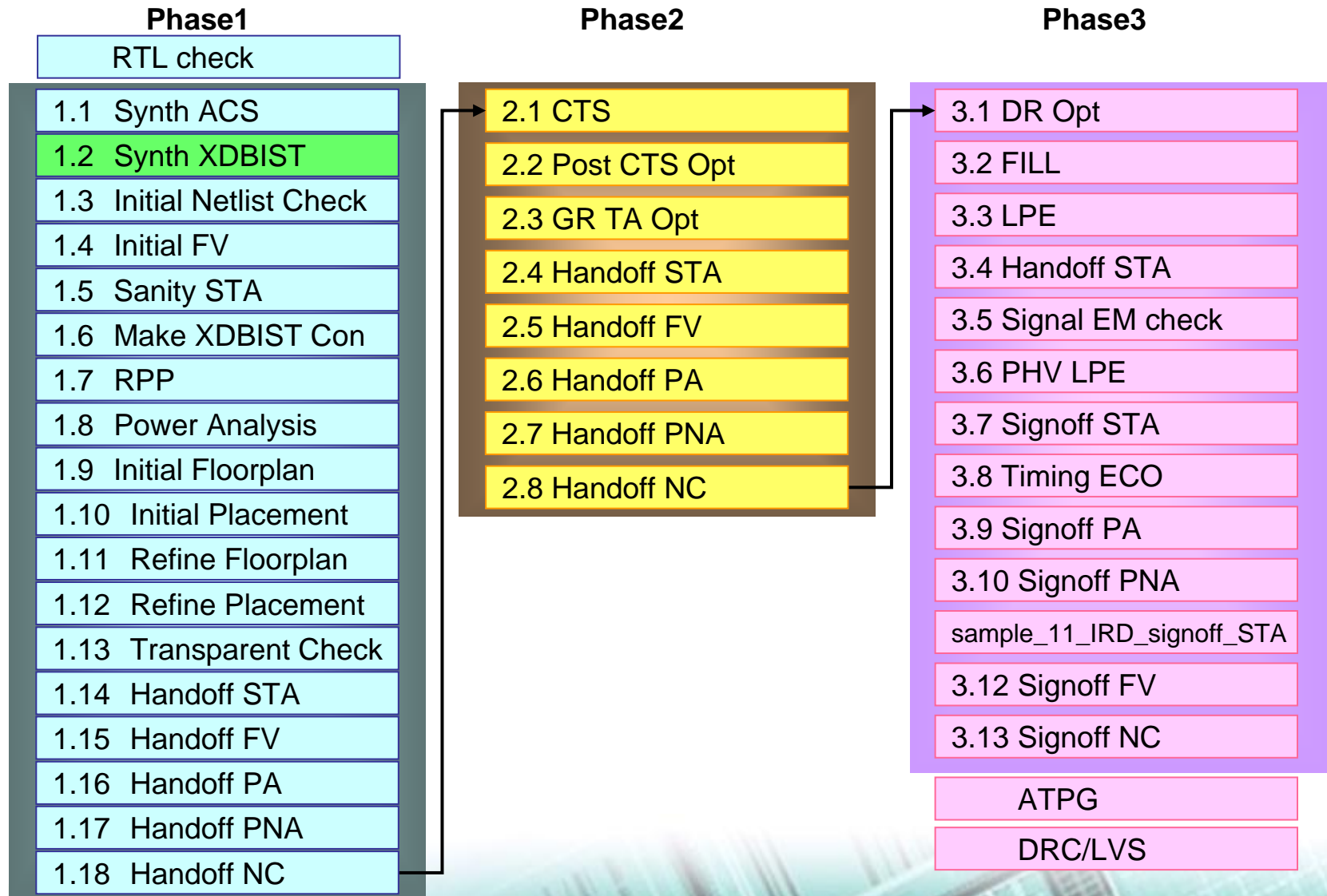
- STARCオリジナル設計制約
- パストータル遅延に対するゲート遅延の割合
- これを一定値に抑えることにより設計ガードバンドの削減が可能

# プロダクションフロー

# 設計TAT削減対応 V2.5 フロー概略図 (ZD)



# 設計TAT削減対応 V2.5 フロー概略図 (Pegas)



# ライブラリ

# 複数電源ライブラリ

- 低消費電力設計、複数電源LSI設計環境に必要なEDAライブラリ技術の導入
  - ライブラリ繁雑性の低減 → 異電位セルかつ同一セル名ライブラリ
  - 異電位間の遅延計算
  - IR-Drop考慮の遅延計算 → 電圧補間遅延計算用ライブラリ
  - コーナ条件の温度依存性考慮 → 温度毎のコーナライブラリ

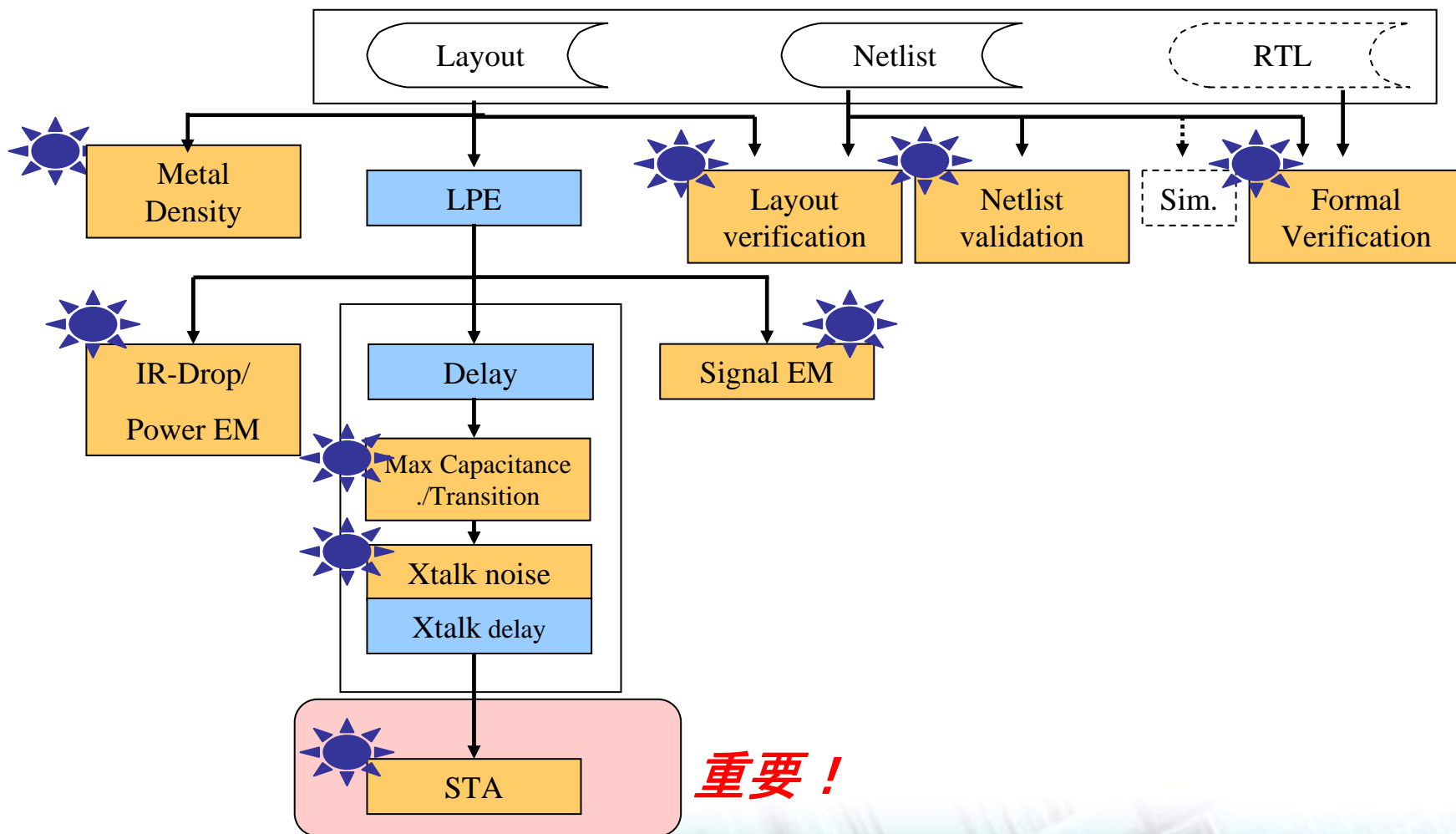
## 同一セル名、電圧補間、プロセス&温度コーナー

Process		MIN(FF)		TYP(TT)	MAX(SS)	
Temperature		T-low(-40°C)	T-high(125°C)		T-low(-40°C)	T-high(125°C)
H-Vdd 1.2V	Normal	1.3V(-40°C)	1.3V(125°C)	1.2V(25°C)	1.1V(-40°C)	1.1V(125°C)
	IR-Drop	1.2V(-40°C)	1.2V(125°C)	-	1.0V(-40°C)	1.0V(125°C)
L-Vdd 1.0V	Normal	1.05V(-40°C)	1.05V(125°C)	1.0V(25°C)	0.95V(-40°C)	0.95V(125°C)
	IR-Drop	0.95V(-40°C)	0.95V(125°C)	-	0.85V(-40°C)	0.85V(125°C)

# サインオフコーナ数削減

# サインオフチェック

 Sign-Off check item



# タイミング設計の複雑化の例

## サインオフ条件

- タイミング・コーナー条件
  - ✓ 5回のLPE(RC条件)
  - ✓ 6検証コーナーでのSETUP・HOLD解析

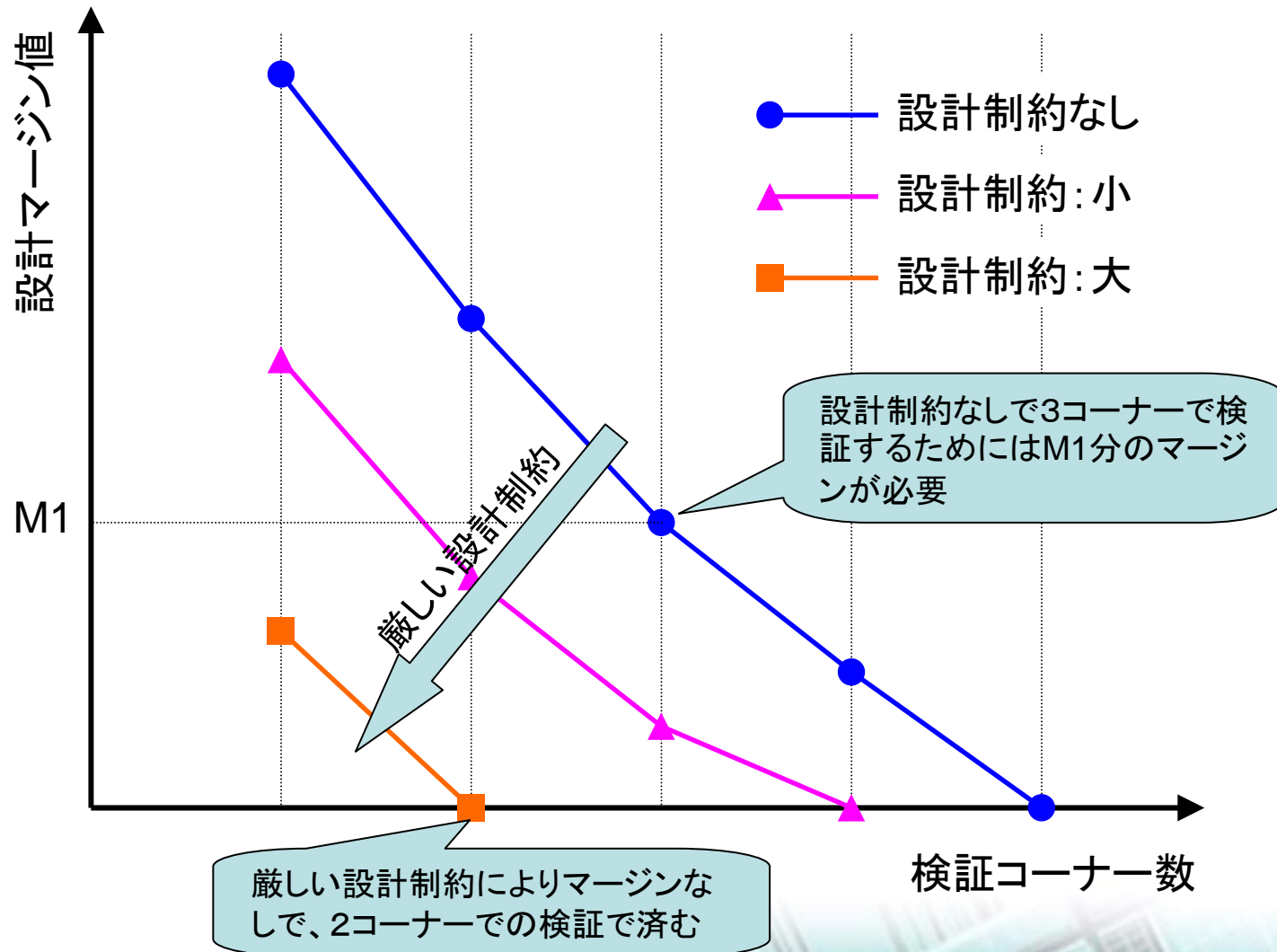
- OCV設計マージン
  - ✓ 全6コーナー条件毎にレンジで20%

- $h$  = 配線層間膜厚 : + 厚い, - 薄い
- $t$  = 配線膜厚 : + 厚い, - 薄い
- $w$  = 配線幅 : + 太る, - 細る
- $\epsilon$  = 誘電率 : + 高い, - 低い
- $\rho_s$  = via抵抗 : + 高い, - 低い

検証条件 No.	Cell LIB			ICT,ITF(RClib)					解析用途
	P	V	T	W					
				h	t	w	$\epsilon$	$\rho_s$	
#1 インプリ MIN	MIN			Wmin(RC1:No.25)					・MINhold (・MINsetup) ※V1.5にて、No.25→'No.27'変更予定。
	FF	1.3	-40	+	+	-	-	-	
#2 MIN(HT)	MIN			Wmax(RC4:No.1)					・MINhold-Skew ※ゲート遅延温度依存性無視。配線のみ考慮。
	FF	1.3	125	-	-	-	+	+	
#3 MAX(LT)	MAX			WCmax_LT(RC3:No.9)					・MAXhold-Skew ※ゲート遅延温度依存性無視。配線のみ考慮。
	SS	1.1	-40	-	+	+	+	-	
#4 インプリ MAX	MAX			Wmax(RC4:No.1)					・MAXsetup ・IR-drop ・MAXhold
	SS	1.1	125	-	-	-	+	+	
#5	MIN			WCmin(RC5:No.19)					・NINhold (・MINsetup)
	FF	1.3	-40	+	-	-	-	-	
#8	MAX			WCmax(RC8:No.9)					・MAXsetup ・Power解析 ・MAXhold
	SS	1.1	125	-	+	+	+	+	

	(1)MAXsetup	(2)MAXhold	(3)MINsetup	(4)MINhold
data(Cs+D)	+5%	-15%	+20%	0%
clock(Ct)	-15%	+5%	0%	+20%

# 設計マージンと検証コーナ



# 設計制約: gate-ratio

## ■ 検証コーナー数削減戦略

- インプリ時に制約可能な項目で検証コーナー数を絞ることのできる制約とその値を見つけ出す。

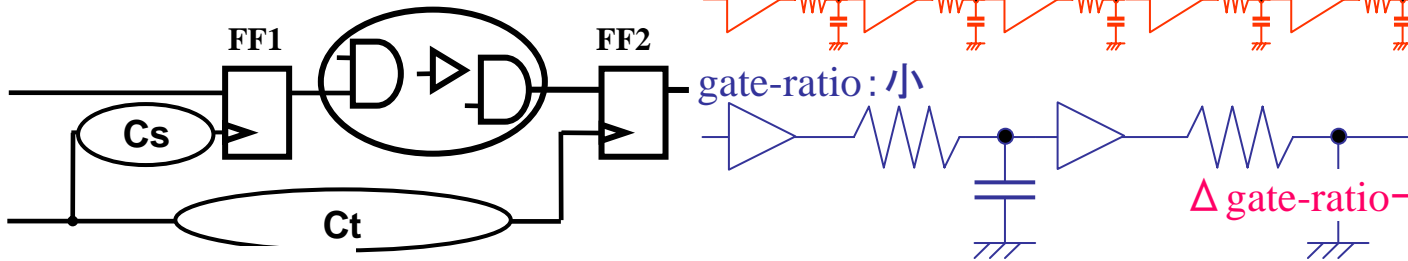
## ■ 着眼点

- クロックラインのパス遅延のなかのゲート遅延の占める割合 (gate-ratio)を定義し、その値を制限することにより、配線遅延とゲート遅延のPVTWによるばらつきの度合いを押さえ、検証コーナを減らす。

$$\text{gate-ratio} = \frac{\text{パスのゲート遅延}}{\text{パス遅延}}$$

**世界初のSTARC  
オリジナルな考え!**

イメージ的には:



共通部分は計算に含めない

すべてのクロックgate-ratioがある制約条件を満足すれば余分設計マージンをもつことなく検証コーナを**6から2**に減らすことが可能

現状のCTS機能で十分実現可能であることも検証した

# IR-ドロップを考慮したタイミング検証

## ■ インスタンスごとのIR-ドロップ考慮による OCV値の削減

V1.5      > OCV設計マージン  
               ✓ 全6コーナー条件  
                毎にレンジで20%

V2.0      インスタンスごとのIR-ドロップを  
               考慮することにより

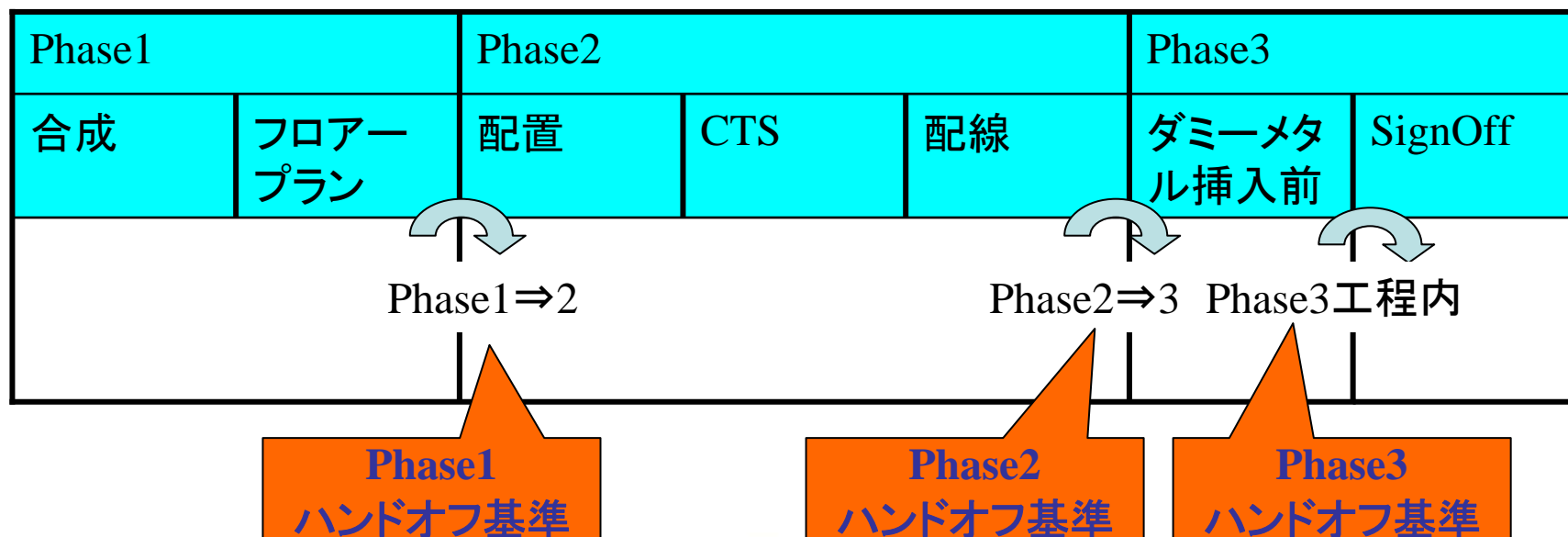
OCV値  
 IR-Drop分 **3%削減**

V2.0		(1)MAXsetup	(2)MAXhold	(3)MINsetup	(4)MINhold
wo IRドロップ	data(Cs+D)	5%*	-15%	19%	-1%
	clkok(Ct)	* -15%	5%	-1%	19%
w IR-ドロップ	data(Cs+D)	2%*	-15%	16%	-1%
	clkok(Ct)	* -15%	2%	-1%	16%

# ハンドオフ基準策定

# 導出フロー概要 Phaseの確認

- ハンドオフ基準作成Phaseは次のPhaseとする。
  - Phase1 ⇒ Phase2 : Phase1 終了基準
  - Phase2 ⇒ Phase3 : Phase2 終了基準
  - Phase3 ⇒ SignOff : Phase3 ダミーメタル挿入前基準



# ハンドオフ基準遵守による設計TAT短縮

## タイミング収束に焦点

## 設計TAT(Phase2の最終工程、Phase3)が72%に！！

	Phase 2 遅延係数	Phase3 遅延係数	Setup 違反数	Setup WNS [ns]	CPU TIME [h:m:s]	使用 メモリ [MB]	インスタ ンス数	エリア [um^2]	TAT比
ハンドオフ基準 未適用	0	0	274 →0	-1.598 →0	111:41:0 0	4297.8	311037	2543786.7 8	1.00
ハンドオフ基準 案1	A	B	0	0	81:23:00	4184.1	310599	2623210.5 3	0.72
ハンドオフ基準 案2	C	D	5 →0	-0.312 →0	107:54:0 0	4387.5	310317	2567504.8 2	0.96

ハンドオフ基準案1

Phase2:遅延係数 A%

Phase3 :遅延係数 B%

マジックナンバー ←

ハンドオフ基準案2

Phase2:遅延係数 C%

Phase3 :遅延係数 D%

# DFM対応

# ビアの2個打ちの例

Phase 3 Sim

Encounter - /svdata1/anezaki/demo\_env/work\_dir/Ph1/encounter - Top Cell: (DTMF\_CHIP)

Design Flip Chip Partition Floorplan Place Clock Route Timing SI Power Verify Tools

Design is: Routed

Tools

Views

All Colors

	V	S
Module		
Black Box		
Fence		
Guide		
Obstruct		
Region		
Screen		
Instance		
Net		
SNet		
Pin		
Ruler		
VCongest		<input type="checkbox"/>
HCongest		<input type="checkbox"/>
Text		

ZD flow

Phase 1

Phase 2

Phase 3

Hummingbird ネットワーク

Microsoft Outlook

Adobe Reader 6.0

def In  
Extract  
Cleanu  
Pin an  
def In  
def In  
def In  
def In  
def In  
def In  
def In  
def In  
def In  
DEF #i  
Merge  
\*\*info  
encoun  
Readin

187019

186900

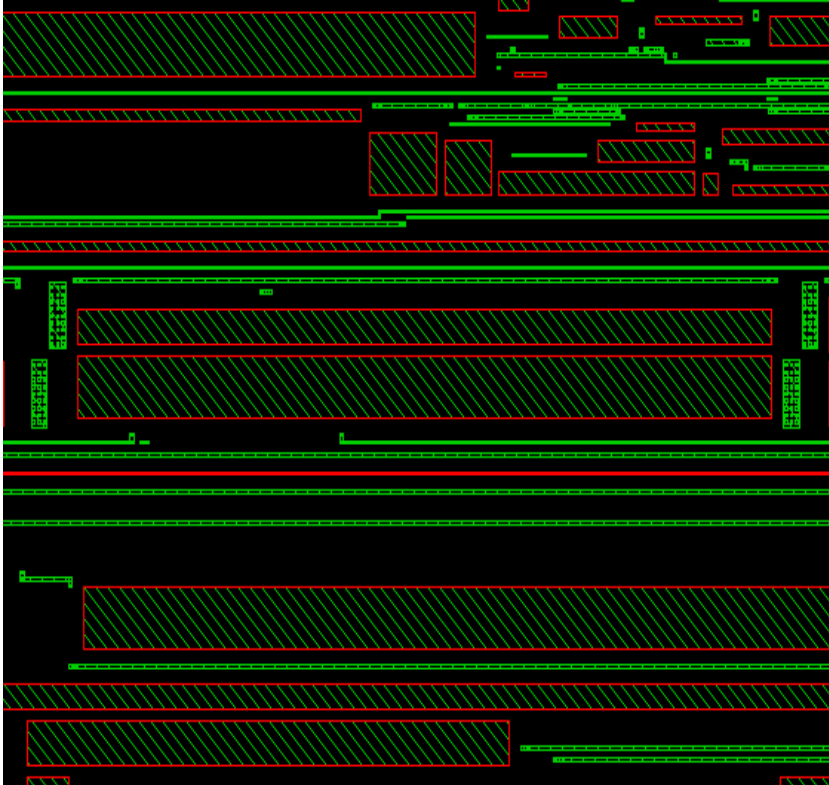
28717

( 685.155, 642.490)



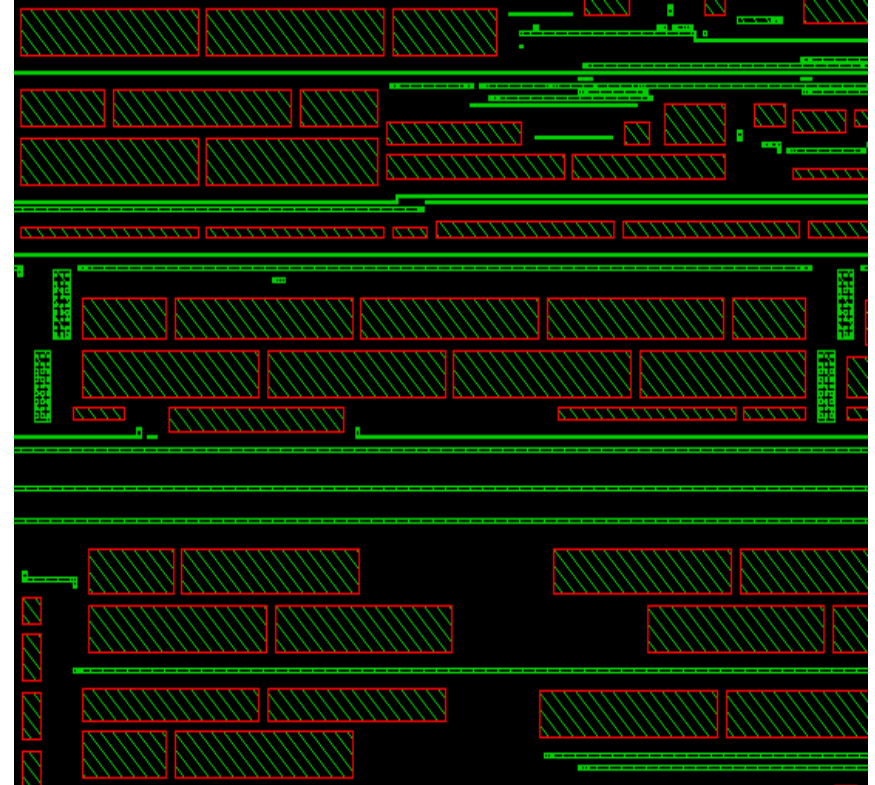
# ダミーメタルの挿入

長いダミーメタル挿入



データ量: 小 (1338045)  
タイミングエラー: 多 (731)  
ノイズエラー: 多 (53)

小さいダミーメタル挿入



データ量: 大 (4987434)  
タイミングエラー: 小 (704)  
ノイズエラー: 小 (43)

# デザインキット

# STARCAD-21の構成要素

フロー1 (ZD)

フロー2 (Pegas)

全体最適化

全体最適化

フロー全体での一貫性、精度の保証

各設計ステップ間インターフェイスの明確化

設計フローとライブラリの親和性の保証

ツール評価用キット

ツール精度評価用スクリプト  
精度確認用テストデータ  
説明書

サインオフ基準作成キット

サインオフコーナ作成スクリプト  
サインオフ作成用データ  
サインオフルール  
説明書

ライブラリ作成キット

ライブラリ作成手順  
モデリングガイドライン  
説明書

フローキット

フロースクリプト  
フロー確認用テストデータ  
フロー説明書

検証ツールを主とした  
ツール評価・解析手法

サインオフ基準、  
ハンドオフ基準  
作成環境

ライブラリ作成環境

# まとめ

- **新テクノロジー対応の標準化されたState of the Artである設計メソドロジの開発**
  - 後戻りのないストレートフォワードの設計メソドロジ
  - EDAツール性能と実際のデザインのギャップをうめる設計メソドロジ
  - 共通プロセス(ASPLA)で検証された設計メソドロジ
  - 標準化されたただれでもが使う設計メソドロジ
- **STARCクライアント各社の知恵と知見を集めて実行**
- **実品種適用可能**