

IP再利用容易化技術

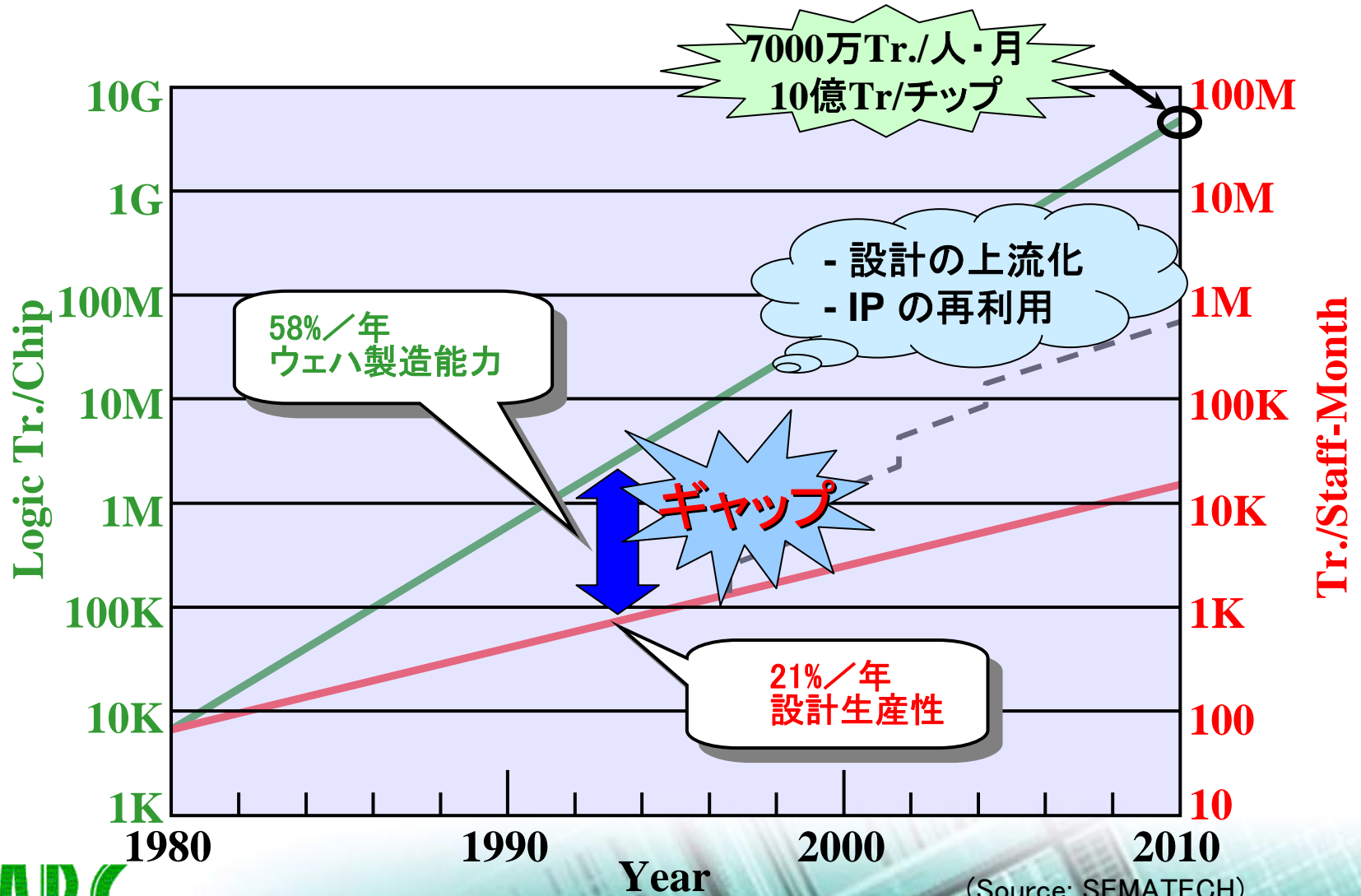
2006年1月26日

(株)半導体理工学研究センター

発表の構成

- (1) IP再利用技術の動向
- (2) IP再利用に向けた STARCの取り組み
- (3) QIPカタログ
- (4) RTL設計スタイルガイド
- (5) IP機能検証ガイド

設計生産性のギャップ



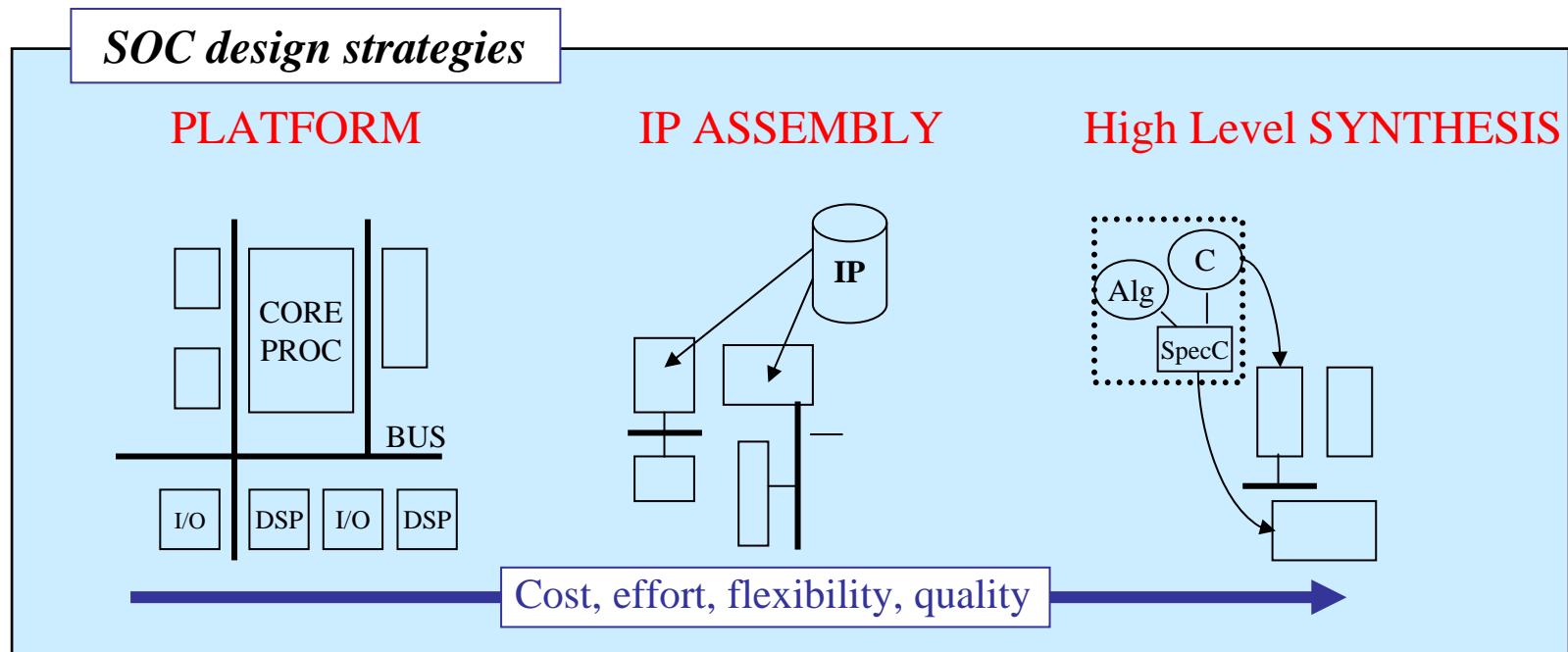
(Source: SEMATECH)

SoC設計生産性の改善

IP再利用は効率化の鍵

3種類のSoC設計手法 (Daniel D. Gajski, UCI教授)

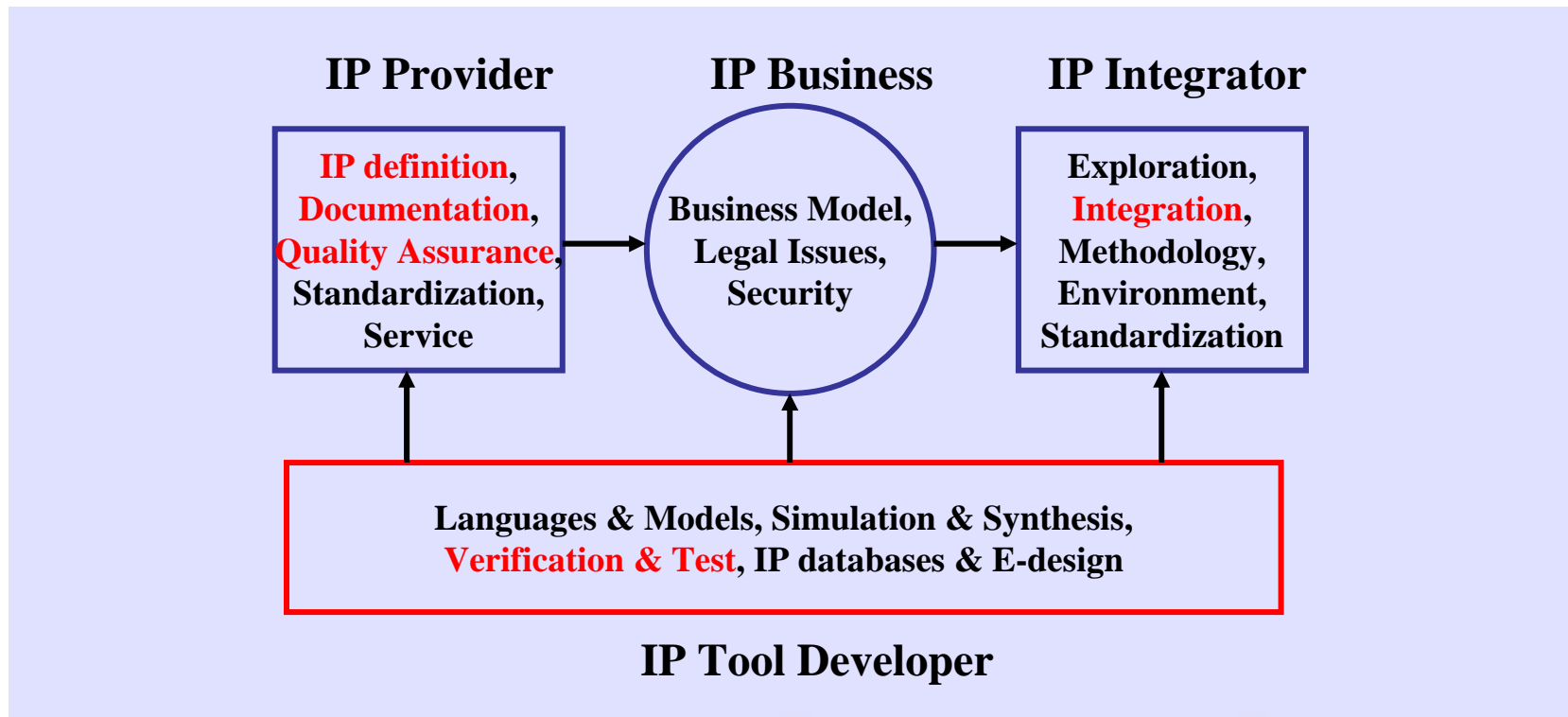
- 1) The use of predefined architectural platforms,
- 2) An assembly of previously designed components, commonly called IPs
- 3) Automatic synthesis of components from high-level descriptions.



(Source: 『IP Status and Trends』 Daniel D Gajski)

IP再利用における主要課題

IP再利用 円滑化のために解決すべき課題は多い



(Source: 『IP Status and Trend』 Daniel D Gajski)

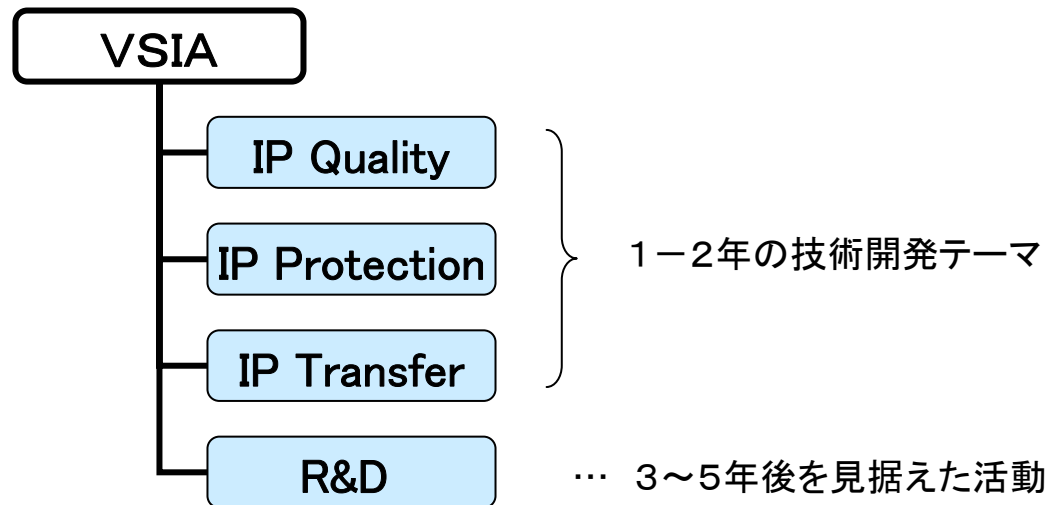
IP再利用に向けたアジアの動き

	IP再利用技術と流通整備
韓国	<ul style="list-style-type: none">●KIPO(韓国工業所有権庁)の支援のもと SIPAC (System Integration and IP Authoring Center) を設立 (2001年)●1800 IP, 150プロバイダ登録 (2005/7)
台湾	<ul style="list-style-type: none">●US&台湾の Fabless Industryは世界の 90%を占める●政府支援により TSMC MPWサービスを実施 (IP検証後、IPモールに登録)●SoCCに 631 IP登録 (2005/10)
中国	<ul style="list-style-type: none">●上海、香港、北京など 7つの開発センターを設立 (CSIP, SSIPEX, HKSTPC)●SMIC MPWサービスで IP開発を支援●VSIA, D&R等との連携で標準技術の導入普及を促進
日本	<ul style="list-style-type: none">●STARCでの IP再利用技術、標準の整備●IPTCの IPカタログは 870 IP, 74プロバイダ掲載 (2005/10)

VSIAの活動

IP品質評価指標「QIP Metric2.0」をリリースする

1) VSIAの体制(4分科会)



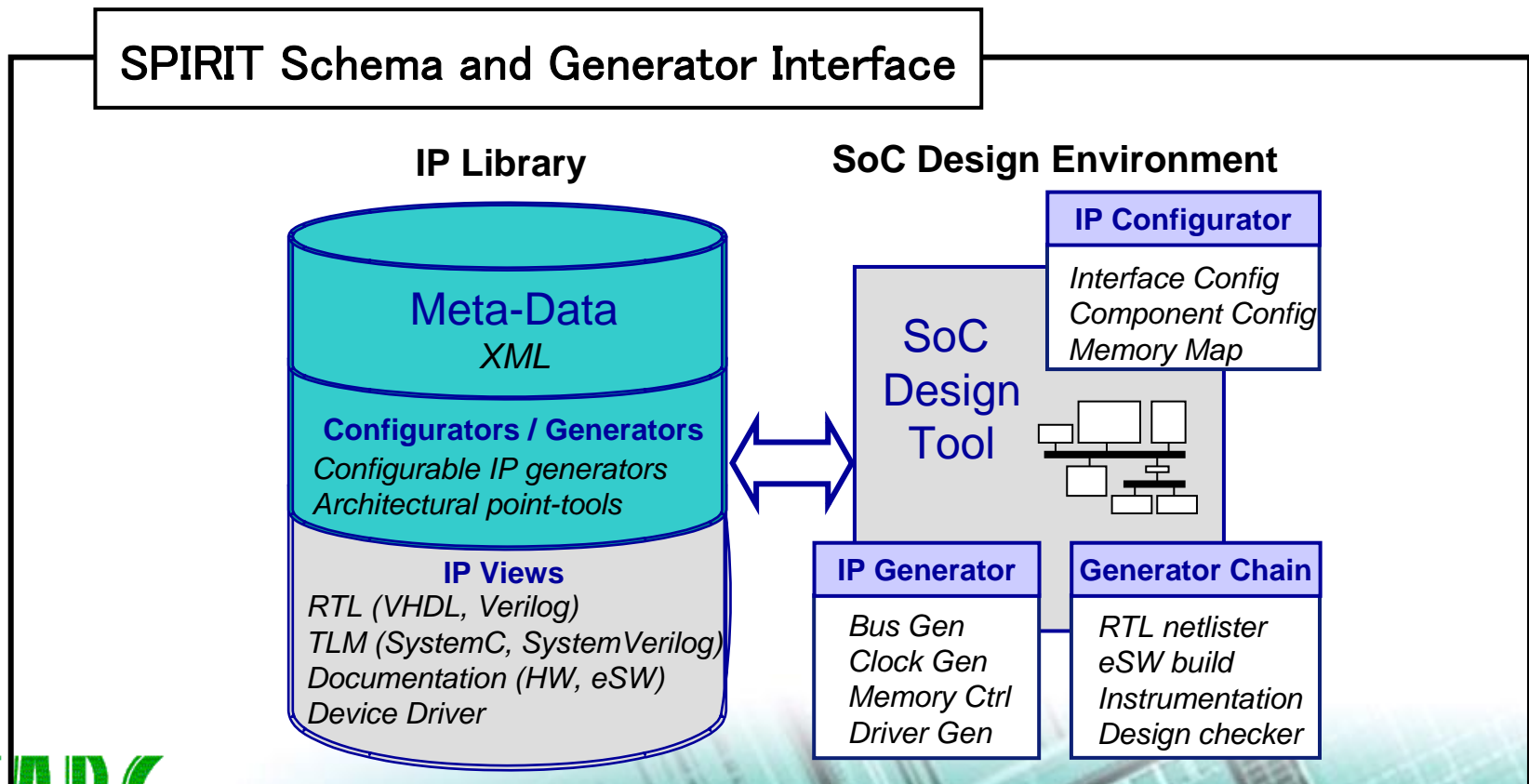
2) IPの品質評価指標「QIP Metric2.0」の制定

- FSA (Fabless Semiconductor Association)と共同活動
- とくに IP設計検証プロセスを重視した品質指標

(Source: DAC2005: Quality IP Metric Updates)

SPIRITの活動

ARM, Cadence, Mentor, Synopsys, ST, Philipsを中心に
「IPをツールフロー内でパッケージ化し再利用する構造」を開発



発表の構成

(1)IP再利用技術の動向

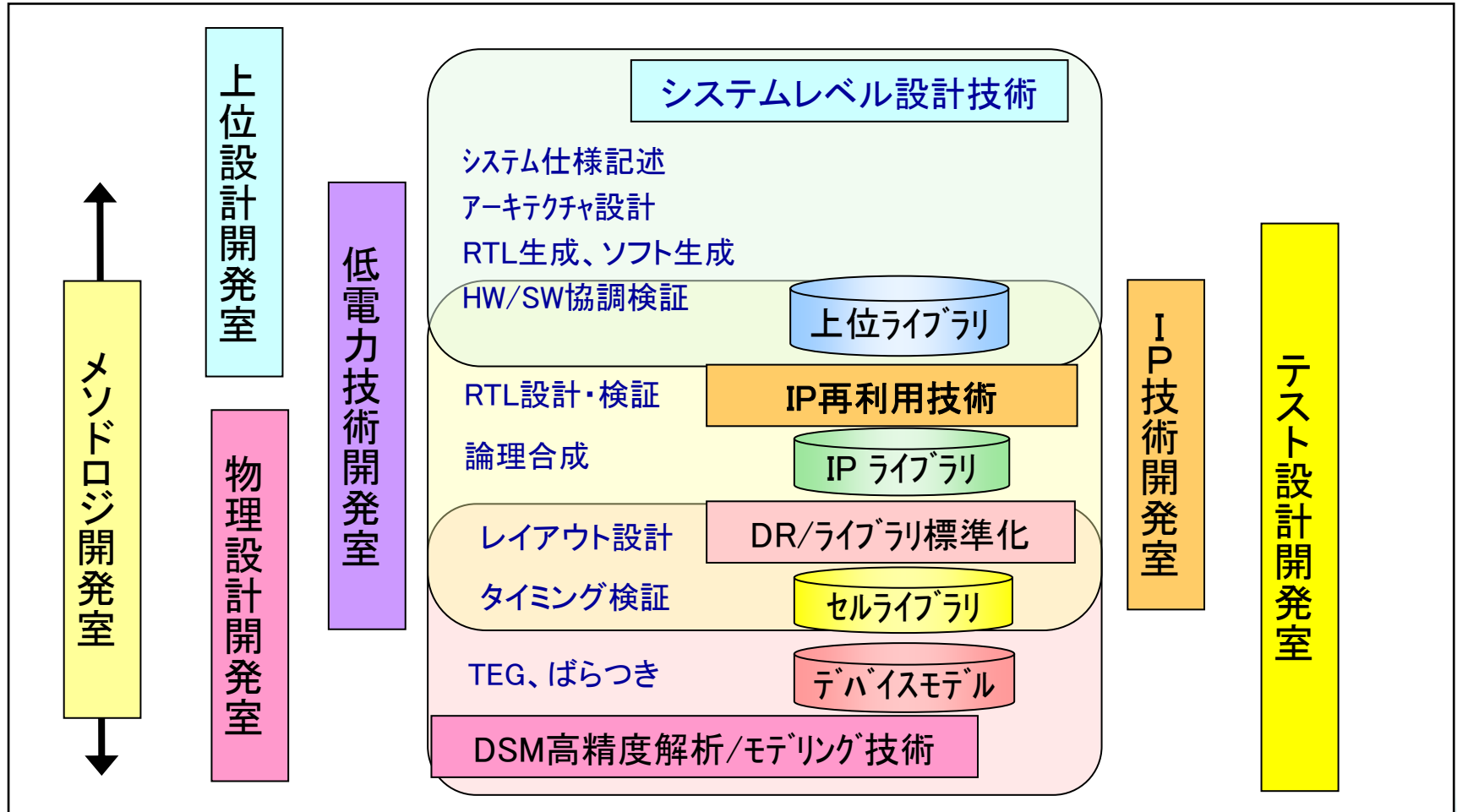
(2)IP再利用に向けた STARCの取り組み

(3)QIPカタログ

(4)RTL設計スタイルガイド

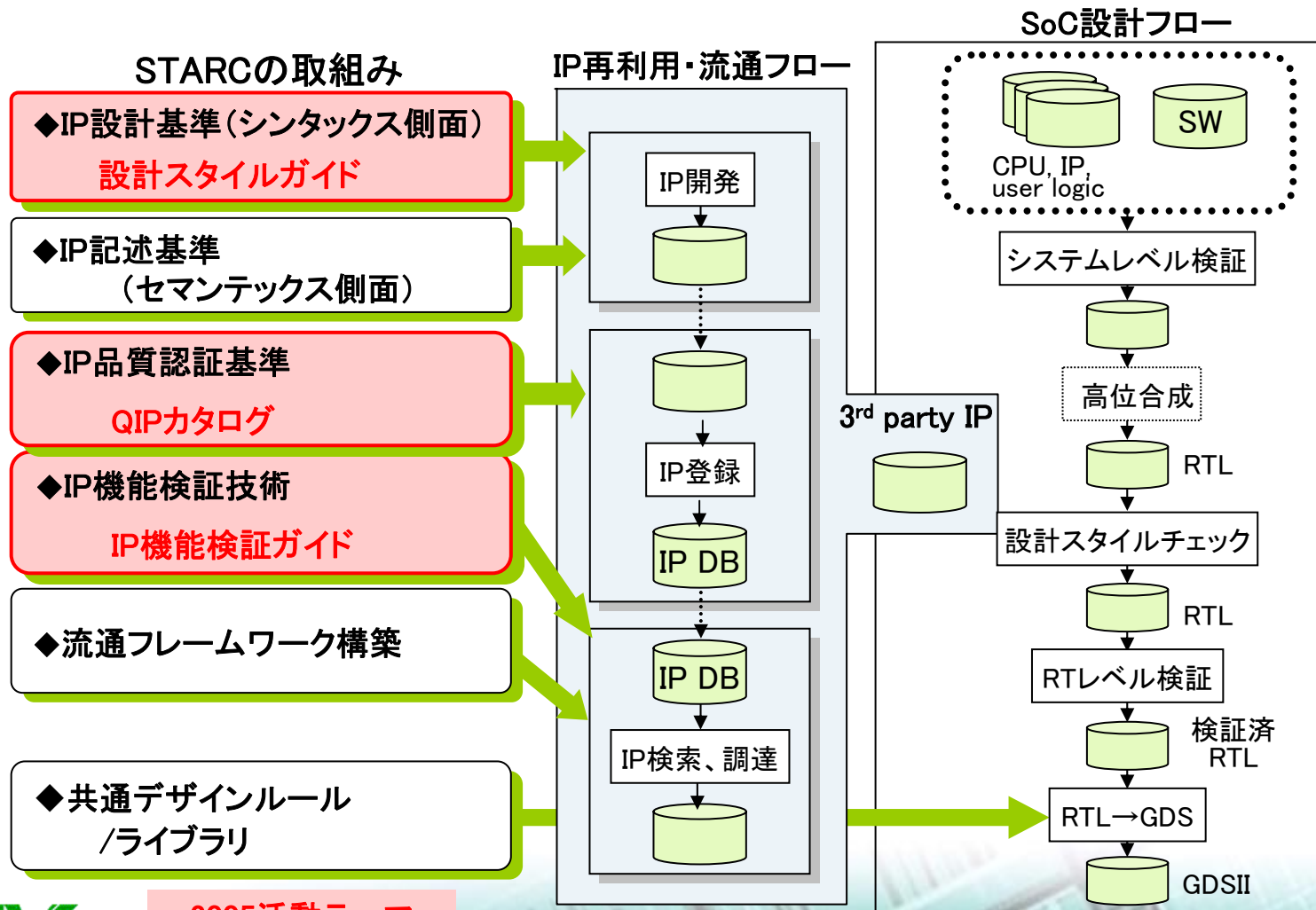
(5)IP機能検証ガイド

SoC設計環境とSTARC開発テーマ



IP再利用・流通技術の構成

流通インフラ整備から、IP設計/検証現場のインフラ整備へ



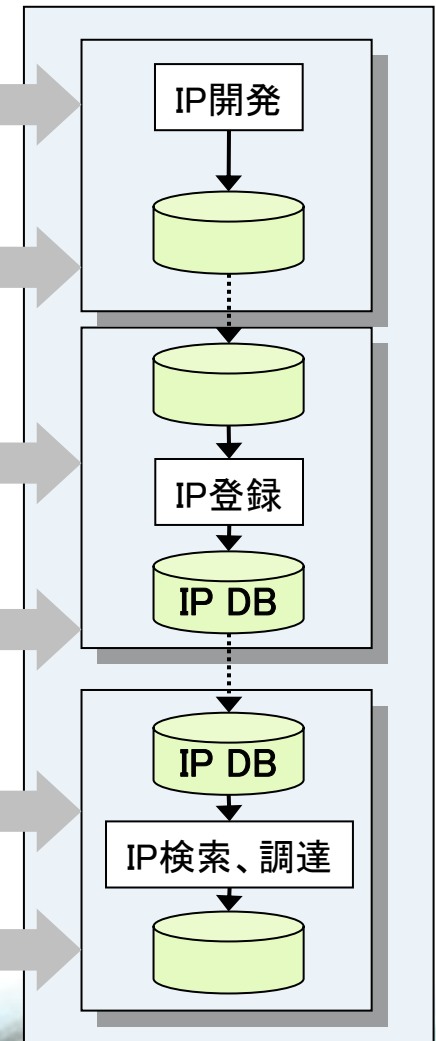
2005活動テーマ

IP再利用・流通技術の成果

STARCの取り組み

- ◆ IP設計基準: **設計スタイルガイド**
hdLab社と共同開発。2003年度から Verilog/VHDL編を出版。
継続して更新中
- ◆ IP記述基準: SoLID
IP接続インタフェース推奨仕様など
- ◆ IP品質認証基準:
IPスコアリングツール: 33社に配布 (2003年)
QIPカタログ: IP品質指標として制定
- ◆ IP機能検証技術: **IP機能検証ガイド**
IP検証の推奨仕様をガイドラインとして制定
- ◆ 流通フレームワーク構築: STARCtrek、IPデータ交換標準I/F
企業間IP流通システム/ネットワーク運用
- ◆ 共通デザインルール/ライブラリ:
0.13 μ 版、90nm版/ デザインルール記述言語 (SoDRML) 開発

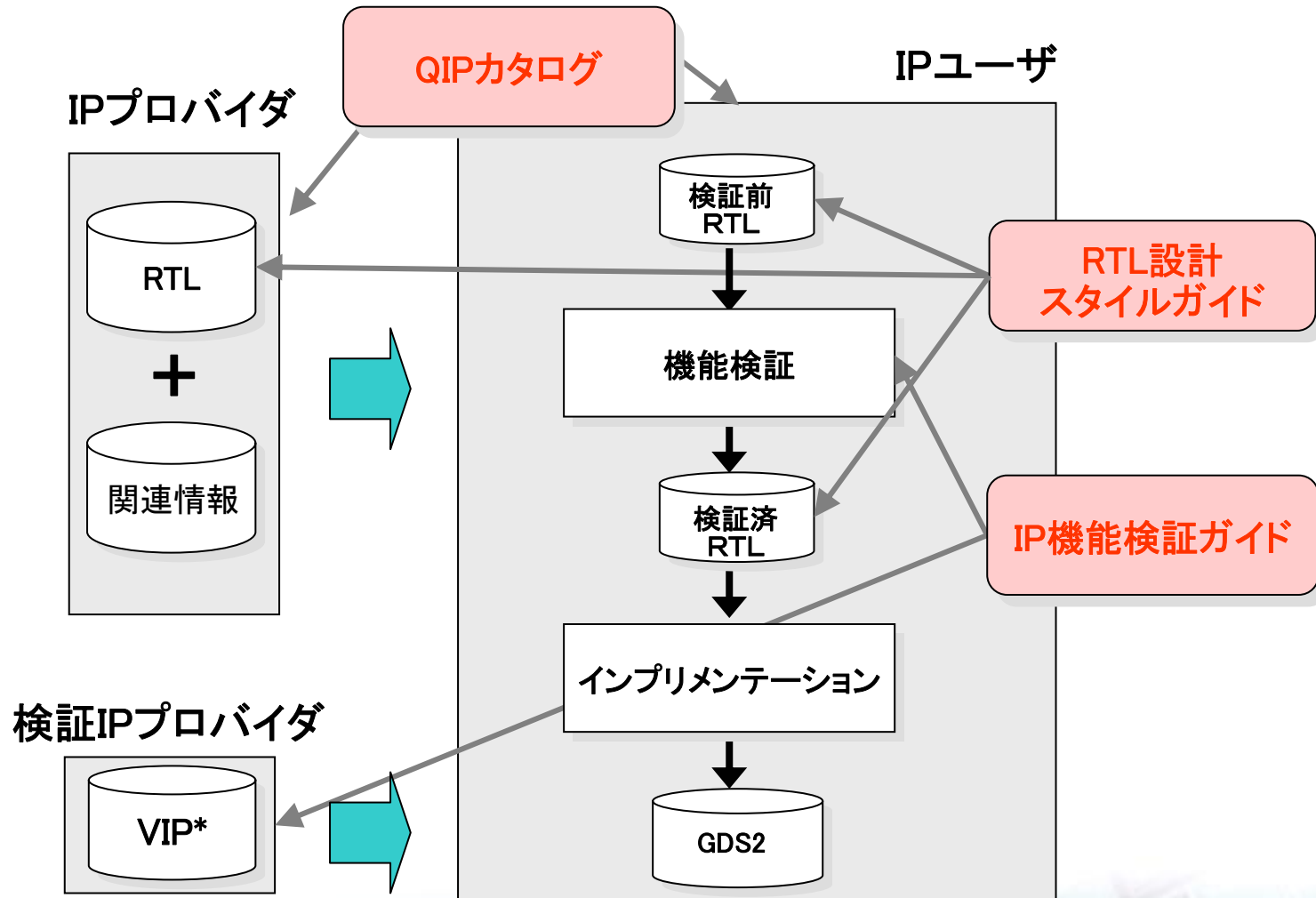
IP再利用・流通フロー



発表の構成

- (1) IP再利用技術の動向
- (2) IP再利用に向けた STARCの取り組み
- (3) QIPカタログ
- (4) RTL設計スタイルガイド
- (5) IP機能検証ガイド

IP再利用技術間の関係



* VIP: Verification IP (検証IP)

QIPカタログ (IP品質要件)

IPの品質とは？

- 製品実績はあるかな
- きちんと設計されているかな
- 特殊な記述はしていないかな
- まじめに検証しているかな
- 検証結果データはもらえるかな
- 内部メモリの仕様が知りたいな
- 事前に多くの情報が欲しいな
- 比較検討したいな

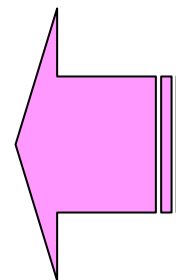
- ◆ 品質の確保とは何か？
- ◆ 購入前に知るべきことは何か？
- ◆ 購入時に判断すべき項目は何か？



QIPカタログの制定

IPプロバイダ

A社 →
B社 →
C社 →



IPユーザ

😊 X社
😊 Y社
😊 Z社

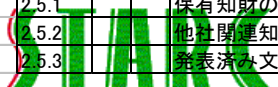
- (1) IPユーザに必要な情報項目を挙げ、IPプロバイダ各社へのヒアリングにより項目を絞り込む
- (2) ユーザ向けに限定開示される「問合せレベル」を設定した
- (3) 2006年1月より実証試験を開始した

QIPカタログの構成

ID#	項目	開示レベル (括弧内が標準レベル)	該当するものを チェックする	提供レベル	CLレベルの場合の 内容情報(記述)
1	提供者の情報について				
1.1	プロバイダ会社名	内容情報(C)		CLレベルの開示のみ	
1.2	会社設立年	内容情報(C)		CLレベルの開示のみ	
1.3	本社所在地	内容情報(C)		CLレベルの開示のみ	
1.4	日本のオフィス情報	有無情報(C) ; 内容情報(C)	<input type="checkbox"/> 有 <input type="checkbox"/> 無	CLレベルの開示のみ	
1.5	窓口連絡先	内容情報(C)		CLレベルの開示のみ	
1.6	会社紹介HPのURL	内容情報(C)		CLレベルの開示のみ	
2	IPの情報について				
2.1	基本情報				
2.1.1	IPの名称(商品名)	内容情報(C)		CLレベルの開示のみ	
2.1.2	機能の説明	内容情報(C)		CLレベルの開示のみ	
2.1.3	機能概要書(ブロックダイアグラム含む)	有無情報(C) ; 内容提供	<input type="checkbox"/> 無	<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	
2.1.4	準拠している標準規格名(準拠していない部分も明記)	準拠の内容		<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	準拠している標準規格名:
2.1.5	性能概要(見積もり又は測定値)	内容情報		<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	
2.1.6	回路規模(見積もり又は測定値)	内容情報		<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	
2.1.7	周波数(見積もり又は測定値)	内容情報		<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	
2.1.8	IPの提供言語	内容情報		<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	
2.1.9	用途(Target Application)	内容情報		<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	
2.1.10	セールスポイント	内容情報		<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	
2.1.11	ライセンス方法	内容情報		<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	
2.2	設計情報について				
2.2.1	コンフィギュラブル部分の開示	内容情報		<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	
2.2.2	パラメータ化されている部分の開示	内容情報		<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	
2.2.3	同期設計/非同期設計の開示	内容情報		<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	
2.2.4	Gated Clock情報の開示	内容情報		<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	
2.2.5	内蔵メモリ情報の開示	内容情報		<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	
2.2.6	フルスキャン化の可否	可否情報	<input type="checkbox"/> 可 <input type="checkbox"/> 不可	<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	
2.2.7	トライステート状態の開示	内容情報		<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	
2.2.8	同期リセット/非同期リセットの開示	内容情報		<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	
2.3	設計スタイルについて				
2.3.1	ソースコードのスタイルガイドツールを適用の有無とその結果の開示	有無情報(C) ; 内容提供レベル(T)	<input type="checkbox"/> 有 <input type="checkbox"/> 無	<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	
2.3.2	使用したツール名の開示	内容情報(C)		<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	
2.4	輸出管理情報について				
2.4.1	外為法による役務の輸出管理への該非判定の提供	有無情報(C) ; 内容提供レベル(T)	<input type="checkbox"/> 有 <input type="checkbox"/> 無	<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	
2.4.2	米国技術を使っているかの情報開示	内容情報(C)		<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	
2.5	関連知財情報について				
2.5.1	保有知財の開示	内容情報(C)		<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	
2.5.2	他社関連知財の情報提供	内容情報(C)		<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	
2.5.3	発表済み文献、論文等の情報	内容情報(C)		<input type="checkbox"/> C <input type="checkbox"/> T <input type="checkbox"/> N <input type="checkbox"/> P	

(情報開示レベル)

C: カタログレベル
T: 問合せレベル
N: NDA後に開示
P: 購入後開示



RTL設計スタイルガイド

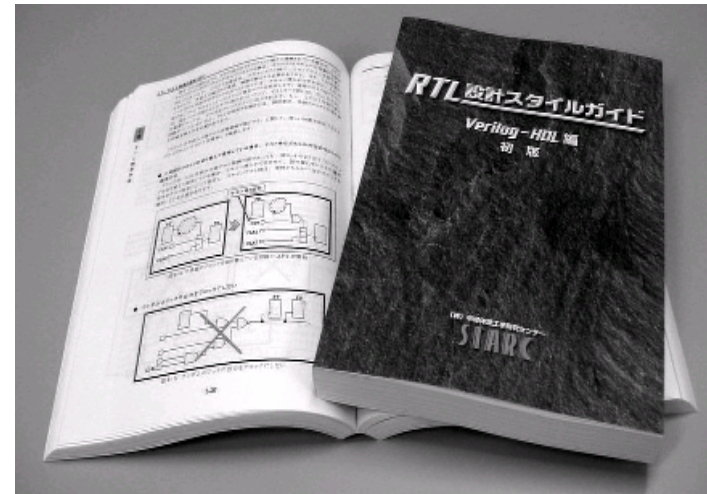
■ RTLスタイルガイド

RTL設計の記述スタイル/ルール集

■ オンライン書籍販売による普及

累計販売数（2006.1現在）

- ・Verilog編 : 1042冊
- ・VHDL編 : 502冊



■ Verilog編 第2版の作成

2005年度に Static Timing設計ガイドを拡充

■ SystemVerilog編 Preliminary版の作成

検証言語の特長を生かした記述テクニックを収集

設計スタイルガイドの比較

	Verilog/ VHDL編	SystemVerilog編 Preliminary版
内容	<ul style="list-style-type: none"> ● 各社ノウハウを盛り込む ● 2005年度に第2版を作成 	<ul style="list-style-type: none"> ● アサーションを中心とした検証テクニックを収集 ● 今後、設計・検証会社、EDAベンダなどのノウハウを盛り込む
出版	●第1版を出版、販売中	
チェッカー	●EDAベンダにライセンス供与 チェッカーツールに反映済み	
構成	第1章 基本記述制約 第2章 RTL記述テクニック 第3章 RTL設計手法 第4章 検証のテクニック	SystemVerilog新機能のノウハウを盛り込む 第1章 基本記述制約 第2章 RTL記述テクニック 第3章 RTL設計手法 第4章 検証・アサーション記述テクニック

IP機能検証技術

機能検証における課題

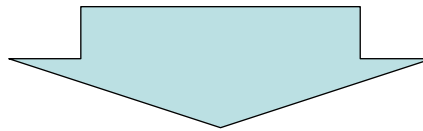
(1) 機能品質向上

機能バグは Respin原因の 40-70%を占める

このうち、購入 IPの機能バグ、使用法誤りによるものは18-50%

(2) 検証効率向上

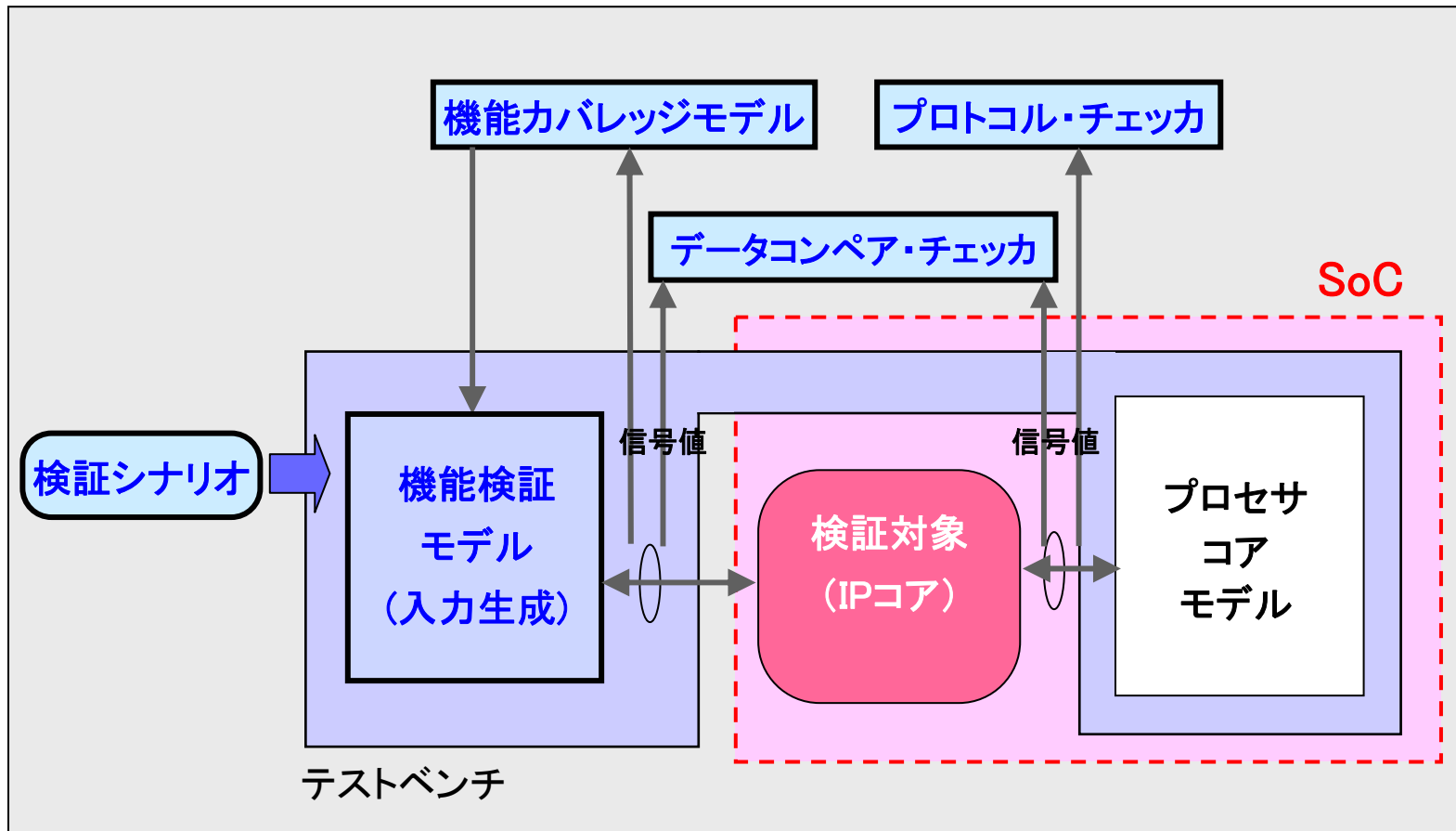
機能検証は SoC設計(機能設計、物理設計、シミュレーション、エミュレーション)工数の 35-70%



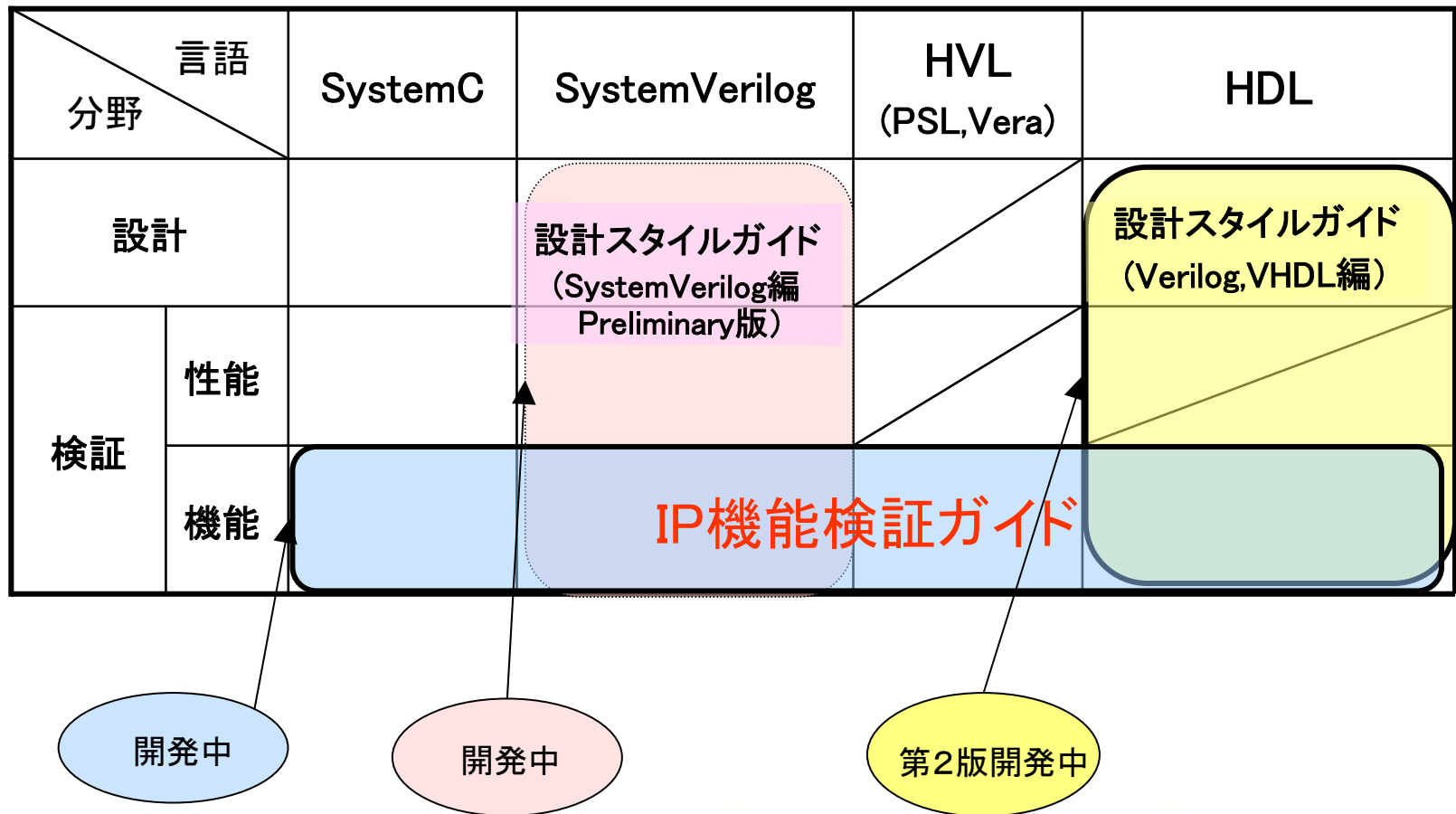
再利用可能な「検証 IP」と
これを用いた検証環境、検証手法を開発する

IP機能検証環境と検証ガイド

網羅性、再利用性を向上する機能検証メソッドを提供



設計スタイルガイドと IP機能検証ガイド



まとめ

SoC設計生産性アップのために IP再利用を活用する

このために、

- 「QIPカタログ」を整備
- 「RTL設計スタイルガイド」の改訂と普及
- 最新の検証技術を活用する「IP機能検証ガイド」を制定した。

これからも、

SoC設計技術の共通技術整備と発信を進めます