

極低電力回路・システム技術開発プロジェクトを産学連携で開始

平成 21 年 7 月 3 日

株式会社半導体理工学研究センター
国立大学法人東京大学
慶應義塾大学

< 発表概要 >

株式会社半導体理工学研究センター(以下 STARC)、国立大学法人東京大学、慶應義塾大学はNEDO委託事業「極低電力回路・システム技術開発(グリーン IT プロジェクト)」を受託し、産学連携の体制によるプロジェクトを開始した。STARCの本プロジェクト支援企業は以下のとおりで、支援企業は STARC に研究員を派遣して本プロジェクトに参加する。

富士通マイクロエレクトロニクス株式会社
NECエレクトロニクス株式会社
パナソニック株式会社
株式会社ルネサステクノロジ
シャープ株式会社
ソニー株式会社
株式会社東芝
富士通株式会社
株式会社日立製作所

更に、STARC は本プロジェクトを遂行するにあたり、国立大学法人神戸大学と共同研究を行う。

< 研究の背景 >

地球温暖化対策が求められている一方で、各種情報機器による消費電力の爆発的増加が予想されている。そのため、情報端末、家電製品、サーバ、ルータをはじめ、あらゆる電子機器の低電力化が必要となっている。この要求に応えるため、本プロジェクトではLSI(超大規模集積回路)の消費電力を従来の1/10にすることを目標として、ロジック、メモリ、アナログ、電源、無線/チップ間ワイアレスの回路・システム技術を研究開発する。ここで研究開発された技術は、センサネットや常時モニター機器などにも応用され、これらが照明や空調など家庭やオフィス、工場、物流などのエネルギー管理をより広範に行うことによって社会のグリーン化に貢献することが期待される。

LSI の低電力化には電源電圧の低減が効果的だが、本プロジェクトでは電源電圧を 0.5V

以下にまで下げるといふ先駆的な課題に取り組む。現在主流の電源電圧は 1.2V 程度だが、0.5V というような極低電圧では、微細トランジスタのしきい値電圧(注 1)ばらつきの影響が際立ってくる(図 1 参照)。そのため、先端微細トランジスタを使った大規模な集積回路を 0.5V で動作させることは困難であった。

<本プロジェクトの目標>

本プロジェクトでは、半導体産業界の STARC と支援企業 9 社ならびに豊富な知見を持つ 3 大学が産学連携の体制を組んで、回路・システム技術の観点から、ばらつき対策などを研究開発し、世界に先駆けて将来の基本技術である 0.5V 動作を実用レベルで達成することを主眼としている。デバイス技術としては主に 65nm、45nm レベルの標準 CMOS プロセスを想定することにより、多くの企業での量産化に道を開く。また、このような極低電力技術には 0.5V 以上の電源電圧でも有効な技術も含まれるため、電源電圧によらず低電力化で先行することにより、産業競争力の強化にも繋がると考えられる。

東京大学内に極低電力 LSI ラボラトリーの開設を予定しており、集中研方式として、異分野の技術者を集結、連携して、個々の企業や大学では達成困難である良質なソリューションを提供するとともに、技術者の育成もはかる。

(注 1) しきい値電圧：オンとオフの境目を決める電圧

本プレスリリースに関するコンタクト先

STARC：極低電力研究開発部 西島竹利

電話：045-478-3300 (代表)

FAX：045-478-3310

e-mail：nishizima.taketoshi@starc.or.jp

<http://www.starc.jp/>

東京大学：生産技術研究所 教授 桜井貴康

電話：03-5452-6251, 6253 (ダイヤルイン)

FAX：03-5452-6252

e-mail：tsakurai@iis.u-tokyo.ac.jp

<http://www.iis.u-tokyo.ac.jp/>

慶應義塾大学：理工学部 教授 黒田忠広

電話&FAX：045-566-1534 (ダイヤルイン)

e-mail：kuroda@elec.keio.ac.jp

<http://www.st.keio.ac.jp/>

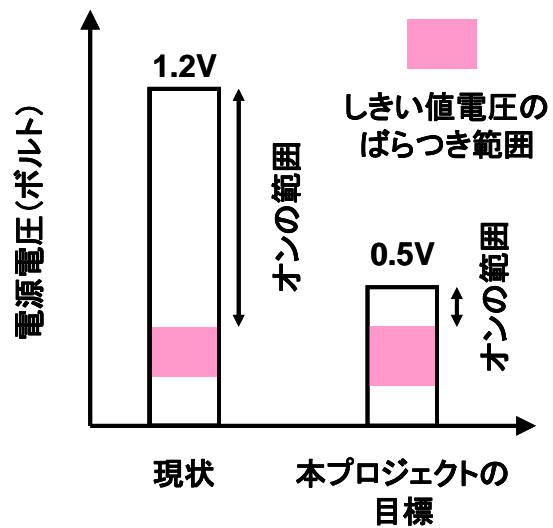


図 1. 本プロジェクトの電源電圧目標