

News Release

2005 年 6 月 9 日

報道関係者各位

株式会社半導体理工学研究センター
株式会社インターデザイン・テクノロジー

STARC からインターデザインへの ハードウェア/ソフトウェア協調検証の高速化技術のライセンス供与と、 インターデザインの製品化計画に関して

株式会社半導体理工学研究センター*1(本社:神奈川県横浜市、代表取締役社長兼CEO:下東 勝博、以下「STARC」と)と株式会社インターデザイン・テクノロジー*2(本社:東京都港区、代表取締役社長:山本 節雄、以下「インターデザイン」)は、STARCが開発した「ハードウェア/ソフトウェアの高速協調検証技術」に関する技術ライセンスをインターデザインに供与すること、および、インターデザインがSTARCから取得した同技術を利用して、ハードウェア/ソフトウェア協調検証ツールの開発と製品化を行ってゆくことを発表いたします。なお、本技術は「独立行政法人 新エネルギー・産業技術総合開発機構(NEDO技術開発機構)」の委託を受けた「システムオンチップ先端設計技術の研究開発プロジェクト(平成 12 年度~14 年度)」成果の一部を実用化したものです。

現在の SoC(System on a Chip)設計においては、ハードウェアとソフトウェアを一体として、システム全体を検証する協調検証技術の重要性がますます高まってきています。従来、このような協調検証は、CPU の命令セットシミュレータ(ISS: Instruction Set Simulator)と、周辺ハードウェアのレジスタ・トランスファ・レベル(RTL: Register Transfer Level)モデルのシミュレータを接続して行われていました。しかし、ISSをベースとした協調検証では、シミュレーションの速度が非常に遅いため、システム全体としての検証を行うことが困難でした。

STARCでは、ソフトウェアのCプログラム(C言語で記述)にターゲットCPU上でこのCプログラムを実行した場合の時間情報を追加し、シミュレーション用のSystemC*3モデルに変換するバジェット追加技術を開発しました。バジェット追加技術とは、ソフトウェアのCプログラムにSystemCのwait関数やキャッシュの動作をエミュレートするコードを自動挿入して、CプログラムをターゲットCPU上で実行した場合の命令実行時間を模擬する技術です。本技術で変換したソフトウェアのシミュレーション用のSystemCモデルと、SystemCを使って別途作成した周辺ハードウェアのトランザクションレベルモデル(TLM: Transaction Level Model)を結合することによって、システム全体の検証を高速に行うことが可能となります。具体的には、従来のISSをベースとした協調検証と比較して、100 倍から 1000 倍の高速化を達成し、10M~100Mサイクル/秒でシステム全体の検証を行うことが可能となりました。

STARC が開発した「ハードウェア/ソフトウェア協調検証の高速化技術」によって得られるメリットは次の二つです。

- 一つ目のメリットは、ハードウェアの RTL コードや試作ボードの開発よりも前の上流設計の段階で、ターゲット CPU 用のアプリケーション・ソフトウェアのテストやデバッグが行える点です。従来の ISS をベースとした協調検証では、実物の CPU を利用した場合と比較して 2 桁から 3 桁の速度の低下が発生

するために、このようなことを行うことが困難でした。本技術によって、実物の CPU を利用した場合と遜色のない速度でソフトウェアを実行することが可能になり、アプリケーション・ソフトウェアのテストやデバッグが容易になりました。

- 二つ目のメリットは、組み込みシステムあるいは SoC 全体としてのアーキテクチャの評価を高い精度でかつ高速に実施できる点です。これには、ある機能をソフトウェアまたはハードウェアとして実装する場合のトレードオフの解析、CPU と周辺ハードウェアを接続するバスの使用率の解析、CPU のキャッシュサイズによる性能への影響予測などが含まれます。本技術では、高い精度でかつ高速に、これらのシミュレーションを実施することにより、最適なアーキテクチャを選択することが可能になりました。

インターデザインは現在、上記のバジェット追加技術に関する技術ライセンスを STARC から取得し、本技術を利用したハードウェア/ソフトウェア協調検証ツールの開発と製品化を進めています。この製品には、①ソフトウェアの C プログラムにターゲット CPU 上でこの C プログラムを実行した場合の時間情報を追加し、シミュレーション用の SystemC モデルに変換するバジェット追加ツール、②これと連携して、時間情報付きシミュレーションを実行したログを解析して、ターゲット CPU 上でのソフトウェアの実行サイクル数、キャッシュのヒット率やミス率などに関するプロファイルを計測するツールが含まれています。当初の製品では、ターゲット CPU として ARM7 および ARM9 のサポートを予定しており、これらの製品の販売開始時期としては 2005 年 10 月を予定しています。

STARC は、これまで、「ハードウェア/ソフトウェアの高速協調検証技術」の研究開発を、STARC のクライアントである国内の半導体 11 社から構成される開発支援委員会の支援の下で行ってきました。本技術の完成およびインターデザインへの技術ライセンスの供与によるバジェット追加ツールの製品化にあたって、クライアント代表者から以下の期待のコメントをいただいております。

山谷 誠氏(STARC開発支援委員会 委員長)によるコメント

我々クライアントは、この 2 年間、高速協調検証技術の研究開発を支援してまいりました。本技術の完成にあたり、我々を始めとするユーザがその成果を十分に活用できる環境を整備するために、インターデザインへ技術ライセンスを供与し、バジェット追加ツールを製品化してもらうことにいたしました。本ツールの保守、カスタマイズなどの継続的なサポートを期待しています。

- 以上 -

- *1 STARC は、平成 7 年 12 月に日本の半導体メーカー 11 社の出資で設立され、当初の役割は「産業界と大学との共同研究の推進」でした。平成 13 年度からは「先端 SoC 設計技術の開発」を役割に追加し、電子技術産業協会 (JEITA) における「あすか計画」や「AS☆PLA 計画」で設計インフラを担当しています。
- *2 インターデザイン・テクノロジーは、2001 年 3 月に株式会社東芝と三菱商事株式会社によって設立された、米国系ベンダーが圧倒的シェアを持つ EDA ツール市場における数少ない日本発のツールベンダーです。「革新的なシステム設計環境をご提供するプロフェッショナルカンパニー」として、組み込みシステムおよび SoC の上流設計における設計支援ツール製品の開発・販売、設計コンサルティングを行っています。
- *3 SystemC は、1999 年 9 月に発足した組織 (OSCI: Open SystemC Initiative) により規格化された、新しいハードウェアモデリング言語です。
- * その他、本文中に記載されている会社名、製品名は各社の商号、商標または登録商標です。