

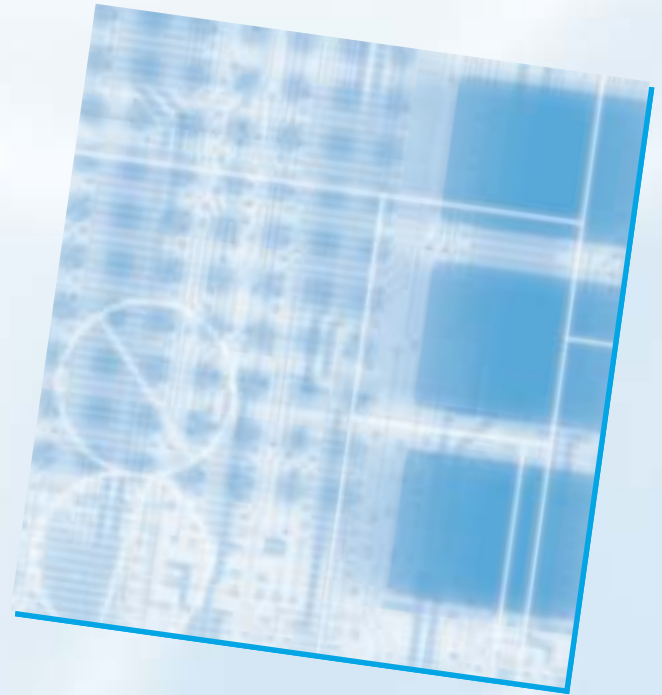
STARC ニュース

No. 39

2009年1月15日発行

株式会社 半導体理工学研究センター

Semiconductor Technology Academic Research Center (STARC)



CONTENTS

| | |
|---|----|
| 新年社長挨拶..... | 2 |
| 特集 / あすか フェーズ2の取組み 研究推進室・大学共同研究 大学との共同研究 | 3 |
| 開発第3部・先端プロセス試作 発展的先端試作論 | 5 |
| 標準化推進室・TLモデリングガイド 「TLモデリングガイド第2版」を公開 | 7 |
| 共同研究グループ便り 岩田研究グループ | 8 |
| 中山研究グループ | 10 |
| 寒川研究グループ | 12 |
| 国際学会参加報告 ATS2008..... | 14 |
| ICCAD2008..... | 15 |
| 特別特集 / A-SSCC2008開催・参加報告..... | 17 |
| ET2008 出展報告..... | 19 |
| EDS Fair 2009 出展のご案内..... | 20 |



新年のご挨拶

代表取締役社長 & CEO

下東 勝博 (しもひがし かつひろ)



新年明けましておめでとうございます。

2009年の新春を迎え、謹んで新年のご挨拶を申し上げます。

今年は米国のサブプライム問題に端を発する金融システムの機能不全が全世界に拡大し、私ども半導体産業も含む実態経済に大きく影響した大変厳しい年明けとなりました。しかしながら半導体は、現在IT、家電、車載等の多様な産業分野で使用されており、情報化社会のインフラとなってきました。将来的にも環境・省エネルギー・安全で安心なエコ社会を支える「制御脳」として、ますます重要になっていくでしょう。半導体にとって大きなチャンスが広がっています。

このような厳しい情勢は認識しながらも、いたずらに悲観はせず、「現状に対応しつつ将来に備える」ことが私どもの果たすべき責務です。したがって、2009年のSTARCの運営は、「着実」、「調和」、「即応」の三つのキーワードで進めて行きたいと思います。具体的には先端コアおよび選択プログラムでは、設計の効率化の究極をイメージしつつ、「着実」に足元の成果を上げていきたいと思います。半導体を更に広い用途に発展的に活用するためには、設計の効率化が待った無しだと肝に銘じてやっていきたいと思います。共通コアプログラムでは、大学との一層の「調和」に努力して半導体の未来を支える人材の育成と新分野の開拓を志高くして進めて行きたいと思います。一方百年に一度といわれている経済状況の中では、新しい事態に対して「即応」できる心構えを持っておかねばならないと思います。

直近の課題としては、2008年度から始まった「あすかII」フェーズ2の2009年度の計画の再点検があります。クライアント各社の置かれている現状を鑑み、STARCとして事業内容の厳選等による費用圧縮策を検討中です。難しい選択となるでしょうが、どんな場合でも明るく前向きに取り組んで、課題を一つ一つ解決していけば道はきっと拓けると思っています。本年も真摯な取り組みにより着実に成果を出して、クライアントを中心とした半導体産業に大いに貢献したと思っております。

最後になりましたが、皆様およびご家族のご健康を心からお祈りしまして私の新年の挨拶としたいと思います。

あすかⅡフェーズ2 の取組み

研究推進室◎大学共同研究

研究推進室 大学との共同研究

研究推進部 今村 健
研究推進室 塚田 敏郎

1. はじめに

研究推進室ではSTARC発足以来、大学との共同研究を実施してきました。スタート以来13年目になる今でも、設立当初の基本理念、趣意、目的などに変わりはありません。しかし、この間の半導体産業構造や企業ニーズ、企業での研究環境の変化に対応して、「あすか」においては共同研究活動の多様性を高めるとともに、より効果的で効率的な産学連携活動の推進に努めています。

2. 共同研究の仕組みと特徴

大学との共同研究に取り組む基本的な考え方は、STARC設立の趣意書で以下のように記されています。

日本の大学との「共同研究の遂行」を通して、我が国の「技術基盤の強化と先端競争力の維持」を実現し、「産業社会へひいては国際的な産業社会へ貢献」する。さらにシリコン半導体技術の基礎分野における「産業界と大学との密接かつ有効な協力関係」を実現し、「発展性と創造性に富んだ特徴ある基礎的な研究成果」を創出し、さらにはこの技術分野へ強い関心と情熱を持つ「我が国の将来の半導体産業を担う若い研究者・技術者の輩出」を促し、「我が国の産業の活力と先端的な地位の維持、発展」に資する。

この考え方に基づき、図1に示すようなスキームのもとで大学との共同研究を推進しています。

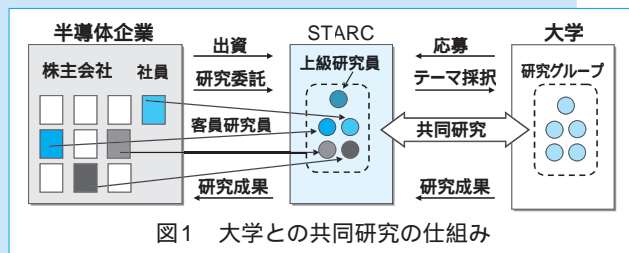


図1 大学との共同研究の仕組み

半導体メーカ各社（株主会社）の研究委託を受けて、年一回（毎年7月頃）STARCから国内大学へ研究テーマの公募を行い、大学研究者から寄せられた応募の中から次年度の研究テーマを選定します。各テーマの研究期間は3年以内、研究予算1000万円/年、予算総額3000万円以下を原則

とします。なお、「あすか」からは、予算1500万円/年、予算総額4500万円も特例として認めています。テーマの採択には、提案技術の独創性、有効性、実施可能性など多方面からの審査を行い、STARC株主会社のメンバーからなる委員会で決定します。

この大学共同研究の特徴の一つは「客員研究員」制度です。共同研究に参加する客員研究員は、各社から選出された最新の知識を持つ現役の研究者・技術者により構成され、定期的に行われるテーマごとの研究会合で、産業界の立場から技術討論に参加し、産業界のニーズを研究に反映させるとともに、研究目標の達成、終了後の技術移転の円滑化など、さまざまな面から研究支援をしていただきます。この仕組みは、制度発足当時から変わっておらず、研究推進と学生教育の両面で大きな効果を挙げており、共同研究に携わる大学先生方からも好評です。

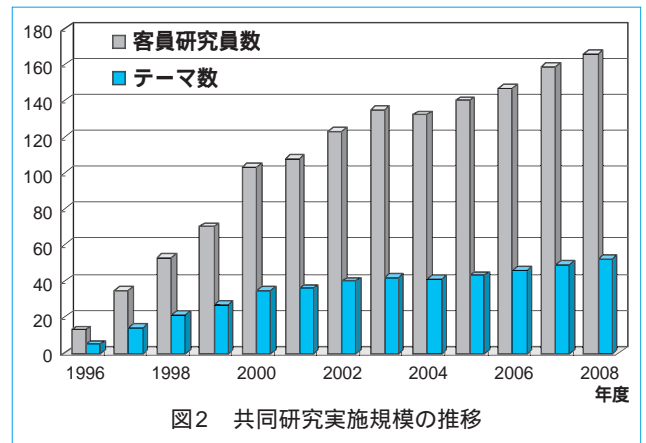


図2 共同研究実施規模の推移

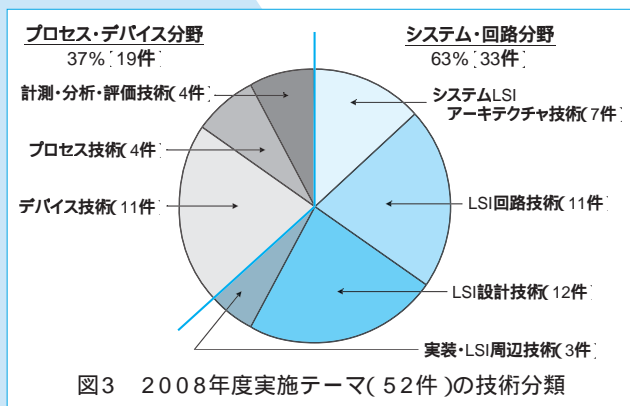
共同研究の実施規模の推移を図2に示します。1996年度に5テーマで開始した後、徐々にテーマ数を増やし、2008年度の実施テーマは52件となりました。1996年度開始からのテーマ総数は160テーマに達しています。共同研究に参加する客員研究員の数もテーマ数の増加に伴い1996年度の13名から2008年度の167名へと10倍以上の規模となっています。2008年度テーマからは、客員研究員の定員をテーマ当たり5名に拡大し、各社からの客員研究員派遣の要望に応えています。

また、大学における共同研究メンバー数は「あすか」の2006年度以降、毎年500名を超える人数となっています。さらに、2008年度からはテーマ応募者の資格範囲を従来の教授・准教授・講師から助教にまで広げて、シリコン半導体関連分野の研究者の裾野拡大と、さらなる技術基盤の強化・若手研究者の輩出を図っています。

STARCが取組む共同研究テーマは、業界コンソーシアムとしての立場から

- (1) 5～10年後に産業界へ技術移転され、各社事業に役立つと期待されるPre-competitiveな技術開発
 - (2) 半導体産業界として取組むべき将来に向けた先端的、共通基盤的な技術開発
 - (3) 将来の産業界を担う優秀な大学若手研究者の育成につながる研究開発
- を三つの基本とし、その成果を産学間で享受することを狙っています。

2008年度実施テーマ（52件）の技術分野は、図3に示すとおりです。システム・回路分野とプロセス・デバイス分野に大別されますが、「あすか」からの多様化への取組みによって、新しい技術分野や分野間にまたがる研究テーマも増えています。

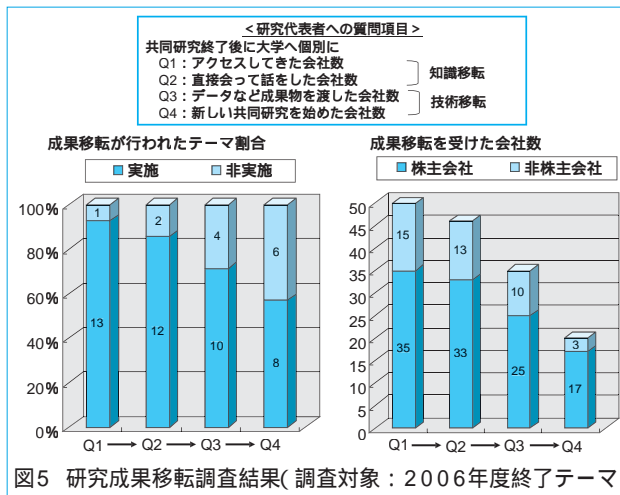
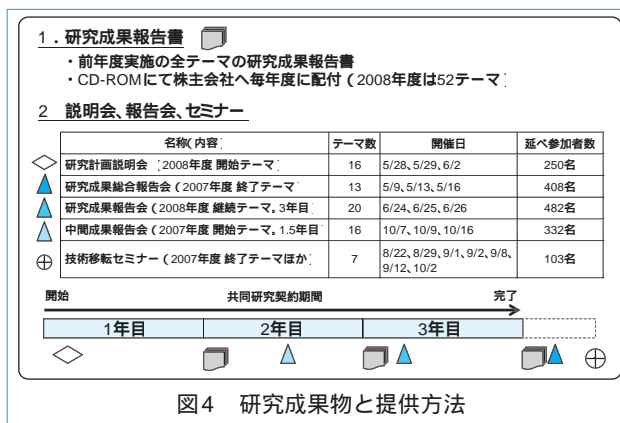


3. 研究の成果報告と成果移転

3年間の研究期間中、各年度の「研究成果報告書」以外に、研究の計画、進捗、成果は各フェーズにおいてクライアントに対して直接報告されます。成果報告の方法を図4にまとめます。初年度に「研究計画説明会」、次年度以降には「中間成果報告会」、「研究成果報告会」があり、研究完了後には全期間の研究成果をまとめた「研究成果総合報告会」が開催され、STARC共同研究の実質的な終了となります。さらに、終了テーマの中で、より詳細な技術内容を知りたいという要望が多いテーマに対しては、「技術移転セミナー」を各大学研究室において実施します。共同研究成果の詳細な説明、実験や実演などを含めたセミナーを、次のステップである個別技術移転の前段階という位置づけで行っています。

研究終了後は、クライアント各社は研究代表者へ個別に自由にコンタクトし、研究成果の技術移転を直接受けたり、さらには新たな共同研究を開始することが可能です。

共同研究の成果移転に関する実態調査の結果を図5に示します。調査対象は2006年度終了テーマ14件とし、研究代表者の先生方からのヒアリングを直接行った結果です。な

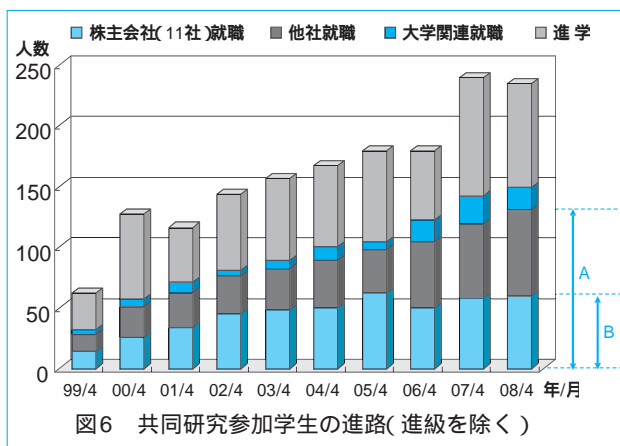


お、この調査は調査会社に委託して実施し、その結果は個々のテーマを特定できない形でSTARCへ報告されています。Q1からQ4まで四つの質問を行っていますが、Q2の段階（知識移転）を実施したテーマ数は12件（86%）、さらに共同研究への発展に至ったQ4段階（技術移転）のテーマ数は8件（57%）を数えています。以前に行った調査結果に比べて高い数値が出ており、クライアントへの成果移転が次第に活発になってきたと見ています。

4. 人材育成

半導体産業の将来を担う大学若手研究者の育成、輩出はSTARC共同研究活動の重要な目的であり、共同研究の成果そのものであると考えます。図6は共同研究に参加された学生のその後の進路を示しています。

STARCクライアントへの就職率(B/A)は最近の10年間を平均すると55%です。共同研究に参加した学生にとって、



産業界からの客員研究員との研究討論を経験することは大きな刺激になっています。クライアントへ就職した学生が各社の研究開発の場で活躍されることを期待しています。

5. 共同研究の新たな取組み

STARCの大学共同研究は開始から13年目に入り、「あすか」の2006年度以降は、従来の大学シーズ育成中心の「公募型研究テーマ」（公募型）に加え、いくつかの新しい取組みを開始しました。

その一つが、「インキュベーション型テーマ」の採用です。図7にその仕組みを示します。従来のように、大学からの研究テーマ提案を待つのみではなく、産業界の方面か

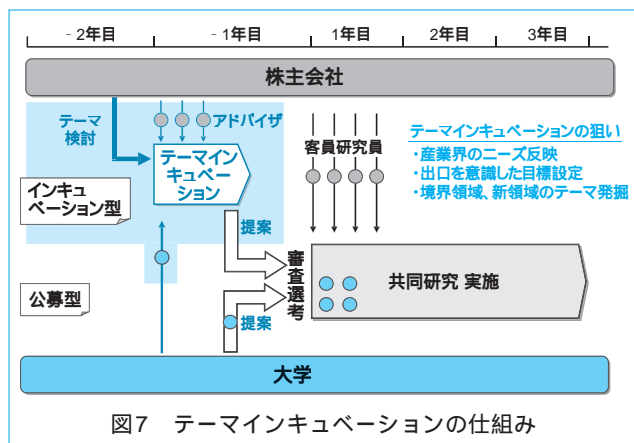


図7 テーマインキュベーションの仕組み

ら大学の先生に個別に働きかけ、相互の議論を通してテーマをインキュベーションし、適切な目標設定ができた場合は共同研究テーマとして提案し、審査・選考を経て採用された後、新年度共同研究テーマとして開始する制度です。従来の公募方式では応募してこないような新領域・境界領域テーマの発掘や、応募経験がない若手研究者からの新テーマの提案、さらにはインキュベーション活動を通じた若手研究者の育成などを狙いとしています。2005年度から毎年数件のテーマインキュベーションを行っており、その多くが次年度の研究テーマとして正式に採択されています。インキュベーションから採用された共同研究テーマは2006年度の5件から始まって徐々に増え、2007年度には10件、2008年度には合計16件が実施され、全実施テーマの3割に至っています。今後もこの方式を継続して進め、従来の「公募型研究テーマ」とあわせて共同研究の多様性を高め、活性化を図ってまいります。

6. おわりに

研究推進室の活動に日頃からご指導、ご支援いただく研究支援委員各位、STARC共同研究活動の根幹をなす客員研究員各位に深く感謝いたします。STARC共同研究のさらなる充実を目指して、今後も努力と挑戦を続けてまいりますので、産学の関係各位のご支援、ご協力をよろしくお願ひ申し上げます。

開発第3部◎先端プロセス試作

発展的先端試作論

開発第3部 チームリーダー 武智 真

先端シャトル試作の意義と求心力

先端シャトル試作はなぜ必要か。それは、研究開発の技術的課題がシャトル試作により、現実のものとして検証され、予期せぬ新たな課題が明らかにされて、初めて次のステップに進めるからです。実用化を前提とした技術開発では、新たな回路アーキテクチャや設計技術は、この過程を経てようやく意味のあるものになります。

現在、世界のメジャーとなっている台湾系等のファブ企業もこの点をよく認識をしていて、先端製品の開発ではまず試作し、デバッグを経て量産を進めています。その試作には、多くの顧客からのニーズに効率よく対応するため、定期的なシャトル便が設定されています。ファブ企業がそのテクノロジーを開示し、その協力関係にあるサードパーティからEDAツールが供給され、次第に設計環境が整備され、それが呼び水となってシャトル利用者が増加します。このような正帰還の現象が起こり、世界標準としての地位が確立されます。今や技術的難度の高い先端製品ではシャトルの活用は必須となり、それに関係するファブ企業、利用者、EDAベンダーは運命共同体としての役割を担っています。

シャトルの運用組織の役割

実際にシャトルを利用する場合は、直接利用者がファブ企業と取引をする場合もありますが、シャトル運用組織を利用する場合があります。これらの運用組織は、複数のファブ企業と提携し、その広範なメニューの中から最適なものを利用者に提供したり、多数の利用者のニーズをファブ企業に紹介して効率的なシャトル運用に寄与するという代理店的機能の他に、別の観点で見た重要な役割があります。それは、産学連携やベンチャー育成等の目標を掲げ、潜在的な半導体利用者を掘り起こし、彼らを第一線の半導体設計者となるよう支援することです。

海外の半導体振興国では、このような組織は1980年代から設立されました（図1参照）。米国のMOSISは、1981年の設立当初は連邦政府により運用が開始され、1990年代半

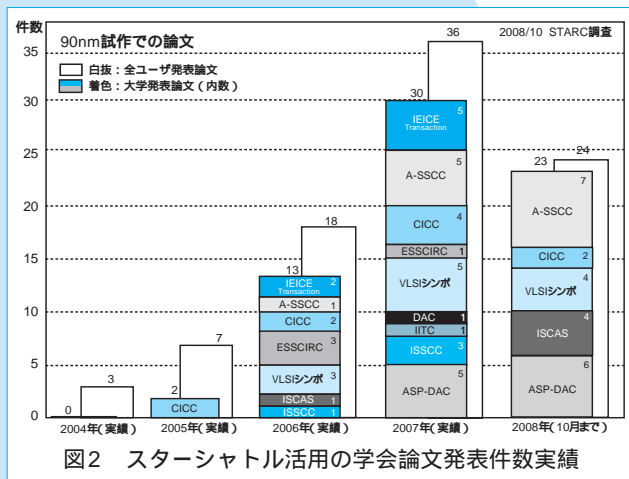


図1 世界のシャトル運用組織

ばには民間組織に移行しました。アジアでは、台湾のCICや韓国のIDECが1990年代前半に設立され、アセンプリ国からIC部品自給国への構造改革や、即戦力の専門技術者の育成を目標に掲げ、国策に基づく運営を行っています。欧州では、1995年に地域内の半導体産業の地位向上を目的としてEURO-PRACTICEを設立しました。設立の事情はまちまちですが、このような組織が先端試作の機会に乏しかった大学やベンチャーの育成に効果があったことは、四半世紀にも及ぶ歴史が証明しています。

日本の先端試作の歴史はスターシャトルから

日本では、1996年に大学の半導体研究や教育を目的としてVDECが設立され、2003年にスタートした90nmスターシャトルの提供によって、初めて先端試作が可能となりました。スターシャトルは、有志企業の支援でASPLA(先端SoC基盤技術開発)が始め、その解散を契機にSTARCが継承しました。VDECを介して大学に開放されたスターシャトルは、高性能ではあるが同時にリークやバラツキの課題を持つ先端技術であるため、それを使いこなすためにはさまざまな工夫が必要になります。未知の領域を含む世界は研究的な側面を持つので、研究者にとってはモチベーションを高められ、研究成果を学会論文にでき、大いに魅力があります。学会論文を投稿すると第三者の客観的評価が加わり、その研究の位置付けも明確になります。これは、優れた研究成果を利用しようと考えている産業界にとっても有益なことです。図2にスターシャトルを利用した学会論文発表件数実績を示します。大学の論文は、2005年から出始め、2007年まで毎年倍以上の伸び率を示しました。とくに注目すべきは、著名な国際学会での発表が多いことです。これは、先端試作を利用した顕著な効果であるといえます。



スターシャトルの限界

このように効果のあったスターシャトルではありますが、当初より有志企業による90nm基盤技術開発の成果を還元するための期間限定のプロジェクトであったため、2007年11月便を最後に終了することとなりました。その後、次の新たなスキームにより65nm先端試作を開始するまで、約1年の準備期間を費やしてしまいました。この影響は、2008年の実績を見ると明らかのように減速傾向が見られます。シャトル試作で重要なことは継続性であり、プロセス

世代交代時期には、躊躇なく円滑な立上げをすべきでした。この“空白の1年間”の存在は、先端試作の体制作りが図らずも不十分であることを露呈してしまいました。このことが反面教師的な役割を果たし、新たな先端試作体制を構築していくことになります。

還元型から参加型へ

先端試作の継続性は重要な課題であり、プロセス世代の交代時期の他に、景気の変動にも耐えられる強固な体制作りが必要です。2008年度には、幸運にも、経済産業省の委託事業「次世代回路アーキテクチャ技術開発事業」をSTARCが受託し、STARCクライアントの応援のもと新たな体制作りを始めました。そのスキームは、大学等の研究者をSTARCの回路アーキテクチャ技術開発事業の協力者として位置付け、STARCが提案する技術的課題について、先端試作を通じて検証を進め、その成果は2~3年後に実用化が可能な回路技術としてSTARCがまとめ、広く公開して日本の半導体技術力向上に寄与することです。ここでは、事業主としての国、技術開発者としてのSTARC、開発協力者としての大学等、試作を担当する国内ファブがそれぞれの役目を分担する参加型のプロジェクトであり、2008年10月に新たな体制を構築しました。

継続性と発展性

こうして始まった65nm以下細の先端技術に対応した「次世代回路アーキテクチャ技術開発事業」は、イー・シャトル社の65nmシャトル便を採用して、2008年10月に最初の試作に漕ぎ着けました。65nm世代の回路技術開発は始まったばかりですが、すでに45nm世代の商用チップが出現している現状では、45nm世代のシャトルについても2009年度を目標にラインアップに加えたい。本プロジェクトでは、常に2~3年後の目標設定し、タイムリーな計画を提案していくことが継続のためには重要です。

また、技術開発の成果を広く半導体設計者が利用するには、実用化の観点に立った開示の工夫が必要です。このため、研究の過程で協力者には想定している適用分野や目標性能を提示してもらい、それに対し産業界の立場から期待する評価項目や測定法等を提示し、記録として蓄積していきます。こうした活動が実用化の太いパイプになるものと確信しています。

開発第3部は先端試作のコーディネーター

STARCによる先端試作プロジェクトは、新たに仕切り直しをしました。成果を期待しつつ、より良い方向を見いだす努力は、今後も続けていかねばなりません。一方、先端試作を望む大学や研究機関、ベンチャーのニーズや期待も強くあります。そして、ここ数年の活動で、産業界のニーズをSTARCが取り纏め、多くの大学の研究をVDECがサポートし、先端試作を推進する体制はできつつあります。現在はようやく長い階段の最初の踊り場から一歩足を踏み出した状態ですが、もう引き返すわけにはいきません。産業界と学界の期待を背負いながら、開発第3部は日本の先端試作のコーディネーターとして、強固な基盤を構築していきます。

「TLモデリングガイド第2版」を公開

企画部 標準化推進室 吉永 和弘

システムレベル設計を支える「TLモデリングガイド」

STARCでは高位設計技術開発の成果として「トランザクション・レベル(TL)モデリングガイド」を制定し、2008年1月にSTARCホームページから電子データ(PDF)のダウンロードと、書籍販売を開始しました。システムレベル設計への関心の高まりの中、すでに1000件を超えるダウンロードが行われています。

「TLモデリングガイド」はSTARCが定めた、通信と計算を分離する機能モデル定義、通信API(Application Program Interface)の共通化、抽象レベル定義をもとに作成されています(図1)。TLモデリングガイドにより、機能モデル間を共通の通信APIで接続し高い抽象レベルでシステムを記述することにより、高速にシミュレーションすることが可能になります。このようにTLモデリングガイドはアーキテクチャ設計、ハード/ソフト協調設計などシステムレベル設計を行うための基本ルールを定めています(図2)。

OSCI TLM2.0に対応

2008年6月に米国の標準化機関であるOSCI(Open SystemC Initiative)はTLM2.0(Transaction Level Modeling standard, version 2.0)を公開しました。TLM2.0はこれまでのTLM1.0に比べて、ハード/ソフト協調設計を指向した枠組みを提供しています。具体的には、汎用ペイロードの定義、新たな通信インタフェースの定義、Socketの導入、LT(Loosely Timed)/AT(Approximately Timed)コーディングスタイルの提唱、シミュレーション高速化手段の導入を行っています。OSCI TLM-WGメンバーとしてTLM2.0のドラフト段階から制定作業に参加した結果、STARCはOSCI TLM2.0に早期対応すべきとの決断に至りました。2008年春にタスクフォース・チームを立ち上げ、半年間という短期間でOSCI TLM2.0に対応した「TLモデリングガイド第2版」ドラフトを開発しました(図3)。

ガイド第2版をSTARC標準として公開

タスクフォースが作成したTLモデリングガイド第2版ドラフトを、STARCの次世代システムレベル設計開発支援委員会、標準化支援委員会TLMWGがレビューと改訂を行った結果、2008年12月に「TLモデリングガイド第2版」の制定を完了しました。

STARCは業界への普及に向けて、TLモデリングガイド第2版の書籍販売とともに、ホームページから日本語版・英語版電子データ(PDF)を公開しています。

セット設計、SoC設計に携わる幅広い方々のガイド活用を期待します。

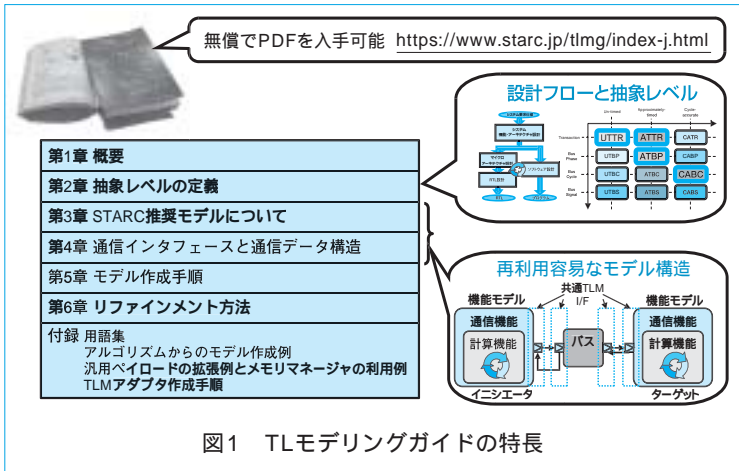


図1 TLモデリングガイドの特長

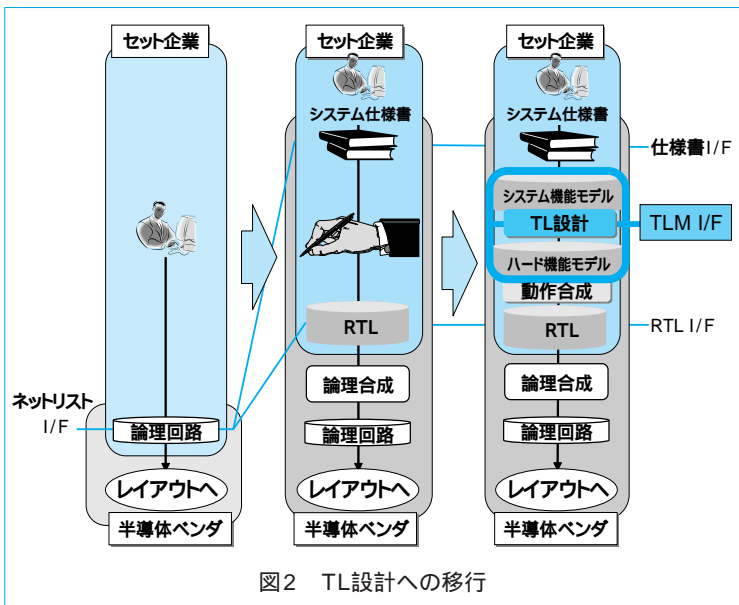


図2 TL設計への移行

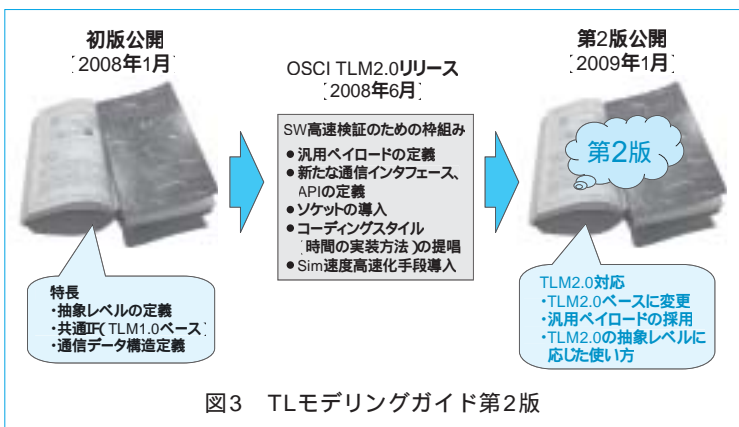
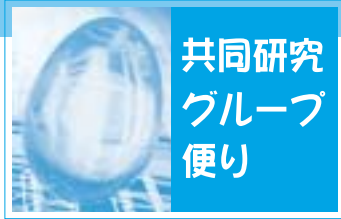


図3 TLモデリングガイド第2版



共同研究
グループ
便り

岩田研究グループ

テーマ名 超低電圧動作・変調ドメイン信号処理アナデジ融合回路の研究

研究代表者 広島大学大学院 先端物質科学研究科 半導体集積科学専攻 教授

岩田 穆(いわた あつし)



後列左から 森上級研究員(STARC)、濱田客員研究員(東芝)、吉田先生、升井(D)、末貞(B4)、安部(M1)

中列左から 太矢客員研究員(OKIセミコンダクタ)、中塚客員研究員(パナソニック)、宮本(B4)

前列左から 後藤客員研究員主査(富士通研)、岩田先生 (2009年1月現在 敬称略)

研究グループの経歴

岩田グループは、広島大学大学院先端物質科学研究科の半導体集積科学専攻に属し、アナログ回路、RF回路、アナデジ混載回路の領域で、新しい概念の回路、情報処理原理に基づくアーキテクチャを考案、実証することを目指しています。具体的にはAD変換器、低雑音アンプなどのアナログ回路、PLL、VCO等のRF回路、イメージセンサー、ビジョンチップなどイメージ処理回路、アナデジ混載LSIの基板雑音解析について研究してきました。

現在は、これからの半導体の応用分野として重要な「生体情報センサ」、「バイオセンサ」などに着目して、こ

のようなセンサのインタフェース回路、センサー体化、三次元集積などに取り組んでいます。

STARC初年度に採用になった第一次共同研究テーマとして1996~2000年度には「高機能・高性能アナログ・デジタル混載LSIの設計技術の研究」を実施しました。この研究成果である基板雑音解析・評価技術はアナデジ混載LSIの基盤技術としてニーズが高いため、(株)エイアールテックを設立して、共同研究者であった神戸大学永田真先生とともに、この技術を産業界に提供しております。

2003~2005年度には、「低電圧・低雑音アナログ回路設計技術の研究」を実施しました。

プロセス技術の進歩によりCMOSデバイスは微細化され、デジタル回路の高速化・高機能化が実現できるが、電源電圧の低下、雑音の増加により高精度・低雑音のアナログ回路の実現が困難になります。また、アナログ・デジタル混載システムLSIの応用分野では、生体信号やさまざまな環境データを検出できる、高機能ウェアラブルあるいはインプラントブルセンサシステムの実現が要望されており、アナログ回路の低消費電力化も必須となっています。このような要請に応えるために、低電圧で動作する低雑音のチョッパアンプなどのCMOSアナログ回路の設計技術を実現しました。この研究に対して、2006年にSTARCから第4回共同研究賞(回路・システム分野)をいただきました。

共同研究状況と成果の概要

現在、前期の研究テーマを継承して、同じ目的で、2006~2008年度の3年計画で「超低電圧動作・変調ドメイン信号処理アナデジ融合回路の研究」を進めています。前期のテーマの研究で発案された新チョッパアンプとしてデルタアンプ(Delta Amp)を活用して、変調領域で信号処理を行うことにより、低周波のフリッカ雑音を抑え、差分(デルタ)を増幅することにより信号振幅を抑圧するアイデアに基づいております。

前期のテーマから引き続き、吉田毅先生と博士課程学生升井君がコアメンバーとして担当し、回路のアイデアを検証するために、90nmCMOSによるテストチップの設計試作を年間2回以上と、非常にハードな設計・評価を行っております。STARCの客員研究員主査の後藤さんをはじめ、多くの専門家のご指導を受けながら研究を進めております。

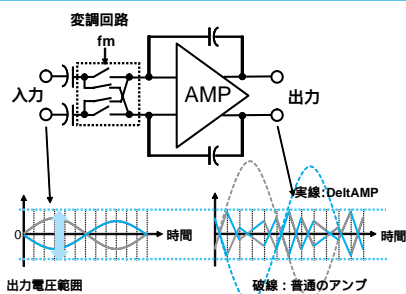


図1 DeltAMPの回路と動作

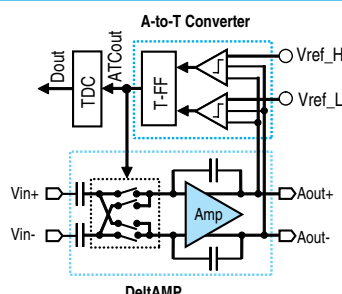


図2 ATDの回路構成

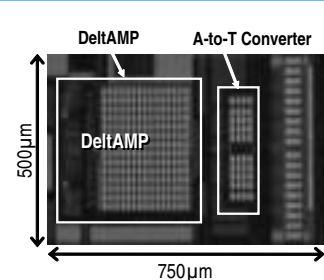


図3 ATDのチップ写真

株式会社富士通研究所 システムLSI開発研究所
後藤 邦彦

デジタルAVや無線通信用では、デジタル信号処理の高機能化が進み、低電力化・高速動作・小面積のADCが強求められています。これらのシステムでは、微細プロセスを使用した1チップLSIで対応することが多くなり、1.2V以下の低電圧動作が必須になってきています。微細プロセスを用いた場合、低電圧化によりアナログ信号が減少する一方で、ノイズ(1/f, kT/C等)自体はむしろ増加傾向のため、低電圧で高精度なアナログ性能をいかに実現するかは大きな課題になっています。

岩田研究グループでは、本課題に対して前回のテーマから取り組んでいます。前回の研究テーマでは、フリッカ雑音抑制可能なチョッパ技術、電源電圧範囲までアナログ信号処理範囲を拡大可能なグラウンDED SW技術やRail-to-railオペアンプ技術等を中心に、アナログ主体の回路技術研究を行い、0.5V電源で動作可能なADC等の研究成果を出してきました。今回の研究テーマは、「微細CMOSプロセス世代でのデジタル回路との積極的融合への挑戦」と銘打って、DeltAMP技術を用いたADC回路開発に対して、アナログ比率を抑えてデジタル回路を駆使することでの低価格化も実現できることを目指して研究を推進しています。このDeltAMP技術は、アナログ入力信号を高周波でサンプリングし、差分信号を折り返して使用することで電源電圧以上のアナログ入力信号処理を可能にするものです。本研究成果の一部は、福岡で開催されたASSCC2008で発表され、最も注目されました。この技術を使用することで、100kHz程度までのアナログ入力信号を低電圧でも高精度に取り扱えるようになり、センサー用途だけでなく、オーディオ信号処理までも拡大できるものと期待しています。

岩田研究グループでは、年4-5回程度の進捗報告会を実施しています。本会議では、大学と各企業の方々が垣根を超えた活発な議論が行われています。今回のDeltAMP技術も前研究テーマの活発な議論の中で出たアイデアです。STARCでこのような議論の場を提供していただいたことに対しまして、メンバー一同大変感謝をしています。

が進み、若い学生が育って社会に出ていております。低電圧動作、高精度のアナログ回路の分野で、さらに新たな回路のアイデアが出ているので、このグループの研究を継続して行く価値が高いと考えております。

研究グループでは、客員研究員の方々に、議論、指導をいただき、企業での考え方、大学に教員でできない実践的で指導、妥協を許さない厳しいご指導をいただいております。これは学生の教育とともに大学教員への叱咤激励もあり、お忙しいなか時間を割いていただいていることに深く感謝します。

研究代表者のメッセージ

STARCの事業に関わる多くの産学の方々の努力により、半導体分野を中心にして、幅広い分野で大学と企業の連携が構築されたことは、非常に大きな成果であります。これまでSTARC共同研究に関わった学生は第一次テーマでは10人が、第二次テーマでは5人が、現在のテーマでは5名が担当した。研究の推進にあたり、客員研究員として企業の第一線の専門家に技術的なことはもちろんのこと、業界の情報精神的な面でも指導してもらえ、これは学生にとって非常に有意義です。

しかし、エレクトロニクス、半導体産業の状況や、学生のこの分野への注目度がよくないのも事実です。このような状況で、回路は面白い、とくにこれからは、アナログ回路とRF回路をやりたいというような若い人を一人でも増やすことが重要であり、そのためには新しいアイデアを製品ビジネスとして見せていくことが必要です。

研究代表者は、2009年3月末に広島大学を定年により退職いたしますが、その後は(株)エイアールテックに主軸を移し、引き続き、この分野で技術開発、人材育成に努力してまいりたいと考えております。広島大学では引き続き、吉田先生をリーダーとして、これまでの実績を越した大きな成果を目指して研究・教育を進めていけるものと確信しておりますので、今後ともよろしくお願いたします。

大学に勤める以前から、永年に渡り、ご指導、ご支援いただきました半導体関係企業の方々、大学の先生方に深く感謝いたします。

最近の研究成果は以下のとおりです。

1. デルタアンプ(DeltAMP)の考案と試作による動作実証

低電圧動作で大振幅を扱えるように、入力信号の変化分のみを増幅するアンプ(DeltAMP)を考案し、電源電圧より高いアナログ信号増幅を可能にしました。容量フィードバック構成のアンプの仮想接地点に変調回路を挿入することにより、変調周波数の半周期ごとに入力信号の変化分のみを抽出して、これを増幅する回路が実現できます(図1)。このアンプで電源電圧を越えた出力振幅に増幅することができます。実験データでは入力信号周波数: 100kHz、変調周波数: 10MHzにおいて、入力信号圧縮率: 36dB、電源電圧: 1V、消費電力: 810μWを実現しました。

2. デルタアンプを用いたアナデジ融合回路アーキテクチャ

DeltAMPの出力電圧をAD変換した後に、デジタル領域で復調するアナデジ融合回路アーキテクチャとして、ATD(Analog-Time-Digital)変換器を考案しました。コンパレータでアンプの出力がリファレンス電圧ウィンドウ(V_{ref_L} , V_{ref_H})を超えるタイミングを検出し、変調回路のスイッチを切り替えことによってウィンドウ内に折り返すように動作します。ATDの処理ステップは、(1)コンパレータからなるアナログ-時間変換器(Analog-Time Converter)でアナログ電圧をパルス幅時間情報に変換し、(2)カウンタ回路からなる時間-デジタル変換器(Time-Digital Converter)でパルス幅をデジタル値に変換し、(3)デジタル差分信号をデジタル領域で復調することです。このATD方式アナデジ融合回路の構成を図2に示します。90nm CMOSで試作したテストチップ(図3)の測定結果より、電源電圧: 0.5V、消費電力: 150μW、信号帯域幅: 120kHz、SNR: 62dBを確認しました。

これらの成果を、ASSCC2008では升井君がDeltAMPとATDを用いた低電圧・大信号振幅アナログ回路技術として発表し、アナログ分野で注目すべき論文との評価を受けることができました。

この研究を通して、STARCの目指す産学協働による半導体技術力の強化



共同研究
グループ
便り

中山研究グループ

テーマ名 LSI製造性考慮設計に向けたばらつき要因の統計学的研究

研究代表者 東京工業大学大学院総合理工学研究科 連携教授

中山 範明 (なかやま のりあき)



後列左から 益教授、植山(M2)、萩原(D1)、上園(D2)、高橋(M1)、天川助教
前列左から 奥村客員研究員(STARC)、杉本上級研究員(STARC)、中山教授、
高田客員研究員主査(ルネサス)、佐藤教授

(2009年1月現在 敬称略)

研究室現況紹介

本共同研究はSTARCと東京工業大学との包括契約の一環として、STARCより中山が研究代表者として派遣され、東京工業大学統合研究院の益研究室の協力の下に2006年度から3年間の計画で開始しました。共同研究者としては益一哉教授、佐藤高史教授、天川修平助教の各氏に加わってもらっており、この他に2008年度は博士課程2名と修士課程2名の学生が参加しております。本研究テーマは後で述べますようにトランジスタのばらつきに関するものですが、STARCにおいて2005年度までに行われたばらつきの研究をさらに発展させたいとの意気込みでスタートしました。

テーマ内容と成果

研究開始当初はSTARCから開示していただいたSTARC-TEGのばらつきデータの解析を行いました。このことは大学側でばらつき量を具体的に知ることや、ばらつきに対する大学での研究の方向付けに有意義な作業になりました。益研究室ではTEGの設計や測定環境が充実しており、益研究室の中でも異種のテーマではありましたが共同研究の先生方の協力により立ち上げることができました。

本研究は、トランジスタの特性ばらつき、とくに電流ばらつきに影響が大きいゲート長と閾値電圧のばらつきに注目し、それらのばらつきを抽出する回路の研究と、ばらつきをSTA(Static Timing Analysis)やSSTA(Statistical STA)にどのようなモデルで与えれば

よいかを研究することが目的です。

ばらつきを調べるには同一サイズの素子を多数測定し統計的に評価する必要があります。STARC-TEGではこのためにMatrix Array方式が考案され高く評価されています。このTEGでは飽和電流のばらつきを対象としたものでしたが、本研究では閾値電圧の解析やモデル化のためにサブスレショルド電流域までのばらつきを測定する回路について研究しています。本回路は佐藤先生のアイデアによるもので、Matrix Arrayの中の測定素子選択制御を行うパスゲートのリーク電流が測定電流に混入することを防ぐために、非測定対象素子に接続されているパスゲートの両端を当電位にすることを特徴とする回路です。この回路により90nm CMOSにおいて1024素子のArrayに対しても10pAオーダーで測定可能であることを確認しました。また65nm CMOSに対してさらに改良を加え、シミュレーションでpAオーダーの精度で測定できることを確認し、最近テブアウトした試作チップの測定を楽しみにしております。

STARC-TEGデータの解析では飽和電流とゲート(もどき)抵抗に相関があることを示していました。この結果に注目し、ポリシリコン抵抗からゲート長ばらつきを予測するために、よりゲート長を反映させるためシリサイドブロックを施したポリシリコンとそれに近接させたMOSFETのTEGを試作し、ポリシリコン抵抗とMOSFET電流の相関を90nmCMOSについて調べました。結果を図1に示します。(a)は素子レイアウト、(b)~(d)は測定飽和電流と測定したポリシリコン抵抗値から計算したゲート長の相関を示したもので、(b)は全8960素子、(c)は35チップごとに1次多項式で近似したシステムティック成分、(d)はチップ平均値

客員研究員主査からのコメント

株式会社ルネサステクノロジ
製品技術本部設計技術統括部

高田 英裕

株式会社半導体理工学研究中心 杉本 益規

LSIの微細化に伴い素子ばらつきが増大しています。従来の設計方法のように、ばらつきに応じて設計マージンを増大させていくと、LSIの性能が低下しせっかくの微細化の恩恵を打ち消してしまいます。従来のワーストケース設計に対するものとして統計的な設計手法の適用がばらつきの問題を大幅に改善するものと期待されています。

中山研究グループでは、ばらつきをどのように統計的にモデル化すればよいか、モデル化のためのデータをどのように採取すればよいか、そして統計的モデルをどのように設計に適用すればよいかについて研究しています。ばらつきにはランダムな成分と、システムティック成分と呼ばれる空間的な傾向を持った成分があります。中山研究グループではこれまでに実測データの分析からシステムティック成分が一次式のように低次の多項式で充分表現できることを明らかにしました。またばらつきデータの測定方法に関しましては、閾値電圧の解析に必須なサブスレッショルド電流測定回路の開発、抵抗値測定によるゲート長ばらつきの予測手法の提案を行いました。大量の測定データを必要とすることからばらつきの研究を大学で行うのはなかなか困難なことです。中山先生をはじめ東京工業大学の研究者の方々にはSTARCに既存したデータを利用する他、試作も適宜行う等、知恵を絞って価値のある成果を成し遂げていただいています。

今年度は3年間の研究テーマ最後の年度であります。今後仕掛りの一般チップ搭載用の小面積ばらつき測定回路、設計適用のためのばらつきモデルの完成が予定されています。研究終了後クライアント各社の皆様には是非本研究の成果を取り入れわが国半導体設計力の強化につなげていただきたいと存じます。

での相関です。システムティック成分やチップ平均で見ると高い相関係数が得られており、抵抗値の測定からゲート長を予測できることを示唆しています。

この他にSTARC-TEGの解析から、チップ内の電流値および閾値電圧のばらつきモデルを多項式で表現する場合、1次から2次の比較的 low order の多項式でよいことを正規分布検証法等により確認しました。

今後は現在試作中のTEGにより小面積で閾値電圧ばらつきを検出できる回路の検証と、SSTA等に必要ならばつき情報に対するトランジスタばらつきモデルのあり方を提案していきたいと思っています。

大学での共同研究を通じて思うこと

先に述べましたように筆者は

STARCからの派遣者であり、またSTARCにおいて共同研究を推進する立場で大学側に注文をつける立場も経験してきましたが、今大学側の立場にいますとSTARC側からの要請に十分に答えることの難しさをつくづく痛感しております。その一つとして、共同研究は世界的なレベルの内容の成果が期待されますが、これには大学において博士課程学生以上の研究者がそのテーマに専念できる体制を整えることが必要であろうと感じております。

最後になりましたが、本共同研究におきまして客員研究員主査の高田氏、客員研究員の堀内氏、奥村氏、上級研究員の杉本氏の皆様にはいつも貴重なご意見やアドバイスをいただき、研究を進める勇気のもとになっております。今後ともよろしくお願いたします。

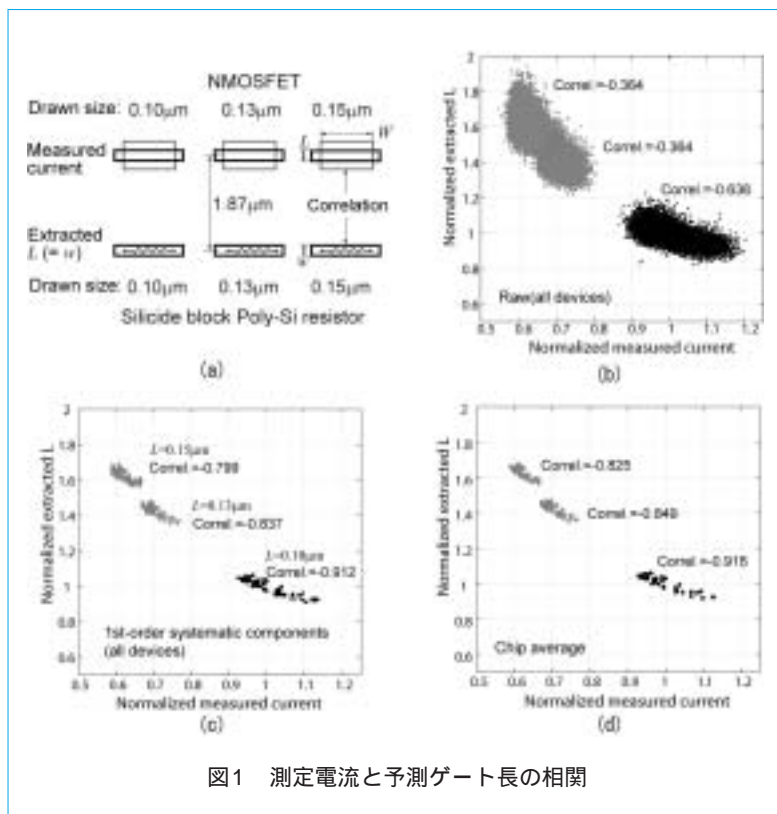


図1 測定電流と予測ゲート長の相関



共同研究
グループ
便り

寒川研究グループ

テーマ名 超低誘電率層間絶縁膜形成技術に関する研究

研究代表者 東北大学 流体科学研究所 附属流体融合研究センター 教授

寒川 誠二 (さむかわ せいじ)



後列左から 吉丸上級研究員(STARC)、久保田助教、安原(D3)、鄭柱賢(M2)、大竹准教授
前列左から 矢野客員研究員(パナソニック)、門村客員研究員(ソニー)、寒川教授、
松永客員研究員主査(東芝)、田島客員研究員(ローム)

(2009年1月現在 敬称略)

研究代表者の抱負

本研究室は2000年7月に私が東北大学・流体科学研究所に着任するに伴い発足しました。「実学主義」が伝統である東北大学で、日本産業の基盤を支える新しい産学連携のあり方を構築すべく頑張っております。かつてのような勢いは日本企業にはなく、企業における基礎研究は大変厳しい状況に置かれております。これからの日本産業の基盤を支えるためには、大学での研究が新しい産業の創出や実際の技術革新に結びつくことも大いに必要かと考えます。そこで、企業を経験した私の使命は産業に直結するような実践的で革新的な技術を提供して最後まで責任を持つことだと理解し、微力ながら日本産業を支えていきたいと考えております。

研究室紹介

IT革命時代の21世紀に展開するデジタル情報家電、ネットワーク情報家電を支えるのは超LSI、TFT、太陽電池、MEMS等に代表される超機能

半導体デバイス技術であります。これらのデバイスは、電子、原子・分子、イオン、光子などのマイクロ粒子を用いた薄膜材料堆積・加工技術により製造されています。また、先端デバイスではバイオテクノロジーの利用も検討されています。本研究室では、基盤技術として荷電粒子(正負イオン、電子)および励起された中性粒子(原子・分子)の生成方法(プラズマ生成方法)やビーム形成技術、あるいはこれらエネルギー粒子の流れ(運動)に関する研究およびその応用として最先端電子デバイスおよびMEMS・NEMSにおける超低損傷高信頼性プロセス、LSIとMEMSの融合システム、更にはバイオとナノの融合を目指したバイオナノプロセスを研究することで、世界に先駆けた原子・分子レベルの超高精度微細加工(エッチング)技術、高機能薄膜材料形成(堆積)技術、あるいは各種表面処理技術の開発を行い、また実験と計算を融合することにより「インテリジェント・ナノプロセス」の実現を目指しています。本研究室の大きなテーマとしては、(1)プラズマ・活

性種制御、(2)オンウエハープラズマ損傷モニタリング、(3)表面反応のモデル化とシミュレーション、(4)革新的デバイス創生のための超低損傷高信頼ナノプロセス開発があげられます。プラズマ・活性種制御手法としては、 μ 秒パルス変調プラズマや中性粒子ビーム生成装置を開発し、原子層レベルのダメージフリー高精度加工・薄膜堆積プロセスの研究を行っています。オンウエハープラズマ損傷モニタリングは、プラズマから基板に入射する活性種(イオン、ラジカル、光子)を実際にパターン内でモニタリングするセンサーの開発であり、2002~2006年にSTARCプロジェクトとして進め、すでに現在実用化されて(株)ジャパン・アドバンスド・ケミカルズを通して販売されております。一方、私どもが開発した中性粒子ビームプロセスはパナソニック ファクトリーソリューションズ(株)によってエッチング装置が実用化され、更に2007年よりSTARCプロジェクトにて超低誘電率膜の堆積を実現する研究を遂行中であります。これらの研究を基に、基板表面での表面反応をモデル化し、原子層プロセスの提案および制御と表面反応シミュレーション構築を目指しています。さらに、これらの技術を基盤に、先端LSIデバイス、イメージセンサー、量子効果デバイス、有機分子素子、バイオデバイスなどの革新的デバイス製造に必要な無損傷原子分子プロセスを提案していくつもりです。現在、当研究室は私のもとに大竹准教授、久保田助教、尾崎技官のスタッフとポスドク2名、秘書1名、学生20名(博士課程:7名、修士課程:8名、学部:5名)の総勢27名で構成されています。

STARC共同研究テーマ内容 と研究状況

ULSIの配線における信号遅延がデバイス全体の速度向上の障害となっています。配線信号遅延の抑制のためには、配線材料の導電率向上と、配線層間材料の誘電率低減検討の必要があります。導電率向上のため、130nmノード世代のデバイスからAI配線に代わっ

客員研究員主査からのコメント

株式会社東芝 セミコンダクター社
半導体研究開発センター
先端BEOL技術開発部

松永 範昭

多層配線の層間絶縁膜は90nmノード世代に $k=3.0$ のSiOCH膜が採用されて依頼、低誘電率化が進められてきました。開発は今や32nm、22nmノード世代を迎え、開発の中心の誘電率はすでに $k<2.2$ になっています。

絶縁膜の低誘電率化手法としては、低分極化や低密度化が知られています。しかし多層配線のプロセスインテグレーションのためには、膜の低誘電率化と同時に、機械的な強度の維持、プラズマプロセスへの耐性、密着性の維持、耐圧等の電気特性などを両立させなくてはならず、これが超低誘電率膜開発の大変難しいところ です。

最近の層間絶縁膜の開発では、上記要件を満足させるべくプリカーサ分子構造設計の試みが行われるようになりました。しかし、従来から広く用いられてきたPE-CVD法では、実用レベルの $k<2.2$ の超低誘電率膜を形成することは極めて困難です。従来法ではプラズマが持つ高いエネルギーのためにプリカーサが過剰に解離し、必ずしも設計されたとおりに反応が進まないこと、成膜された膜自体がUV光や電子の照射を受けながら成膜が進んでいくということ等がインテグレーションに耐える良質の低誘電率膜の形成を困難なものにしています。

Si-Oが多い場合には膜のプラズマ耐性も向上するという新たな知見もわかってきました。今後は、ガス分子構造の最適化を実現し、理想的な低誘電率膜製膜方法・装置の確立を目指していきたいと思っています。

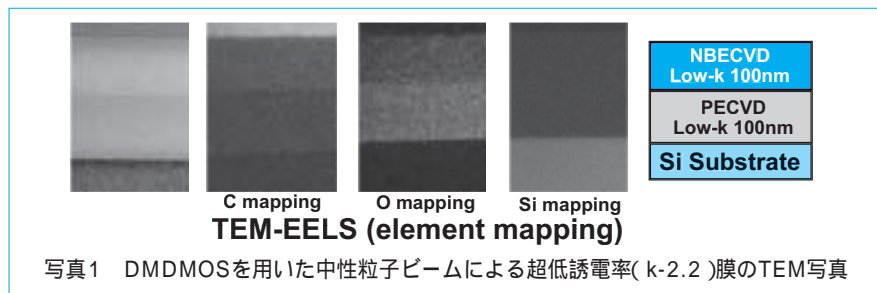
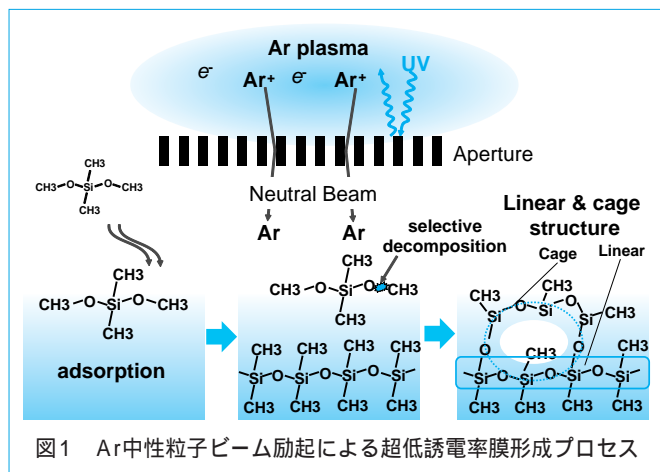
本共同研究では、中性粒子ビームをCVD成膜に応用し、機械強度、ダメージ耐性を持ち合わせた低誘電率($k<2.2$)膜を作ることを目標にしています。UV光や電子、イオンを遮蔽し、中性粒子ビームの照射エネルギーをコントロールできる本手法であるからこそ、導入プリカーサと出来上がりの低誘電率膜の構造との関係、反応過程、ダメージ耐性や機械強度などを両立させるための膜構造探究、といった詳細な解析が可能になります。目標である誘電率やヤング率の目標数値達成を狙うことはもちろんですが、実用的超低誘電率膜を実現するための分子構造、反応過程、膜構造等の設計指針を明らかにして提案していくことが本共同研究テーマの本質的な意義であると捉え、後半の研究期間、寒川先生をはじめとする大学側と客員が丸となって研究を進めていきたいと考えています。

てCu配線が用いられています。一方、誘電率の低減のため、従来のSiO₂配線層間膜(比誘電率3.9)に代わって、SiO₂よりも低い誘電率を持つ材料(低誘電率材料、low-k)が導入されています。低誘電率膜としては、シリカ系(SiOH)、有機系(C)、メチルシラン系(SiOCH)が知られていますが、低誘電率化、熱耐性や密着性の観点から、SiOCHの組成を持つ低誘電率膜が主として検討されています。次世代、次々世代のデバイスの信号遅延を抑制するためには、45nmノードで2.2以下、32nmノードで2.0以下の比誘電率を持つSiOCH低誘電率膜を実現する必要があり、膜中のカーボン比率の増加、あるいは、膜中への空孔(ポア)導入が試みられています。しかし、カーボン比率の増加や、ポアの導入によって、膜強度の低下・下層膜との密着性の低下が課題となっています。

プラズマCVD(Chemical Vapor Deposition)で作製された低誘電率膜は、塗布+ベークで形成するSOD(Spin On Deposition)低誘電率膜よりも膜強度・密着性が良いことが知られています。しかし、プラズマCVDでは、成膜に寄与するラジカル(プリカーサ)の過剰な解離によって緻密な

膜が形成され、2.4以下の比誘電率膜の形成は難しい状況です。また、プラズマから発生する光(紫外線:UV)が低誘電率膜中のメチル基を切断して誘電率を増大させています。

そこで我々は、私どもが開発した中性粒子ビーム装置を用いて低解離でもプロセス中に紫外線照射の影響を受けないプロセスで低誘電率膜を成膜するとともに、理想的な低誘電率膜を形成するためのガス構造を提案し、高強度かつ低比誘電率の薄膜を実現することを目標としています(図1)。すでに、DMDMOS、DMOTMDSなどの従来プリカーサを用いて誘電率2.2以下、モジュラスもプラズマCVDと同等の特性を達成しており(写真1:堆積膜断面図)、中性粒子ビームCVD技術の有効性を十分に示すことができます。この成果はInternational Interconnect Technology Conference(IITC2008)に採択され、口頭講演では大変大きな反響をいただきました。中性粒子ビームCVDではガス構造を反映した膜構造が実現できることに起因しており、CH₃量を決定する直鎖状Si-Oとモジュラスを決定するネットワーク状Si-Oの比率を高精度に制御できるためであります。また、直鎖状



国際学会参加報告

17th Asian Test Symposium (ATS2008)

はじめに

第17回アジアテストシンポジウム (ATS2008: 17th Asian Test Symposium) が、11月25日から11月27日まで、札幌で開催された。

17回目を迎えたATSの日本での開催はこれで6回目である。参加者は約180名で半数以上が海外からの参加。前日の2件のチュートリアルに続いて、初日の4件の基調/招待講演でシンポジウムが始まり、一般発表は20セッション61件(3パラレル)、その他に企業ポスター(9件)、特別セッション(2件)、パネル討論(1件)も行われた。また、11月27、28日には併設イベントとして第9回レジスタ転送レベルおよび高位レベルテストに関するワークショップ(WRTL2008: 9th Workshop on RTL and High Level Testing)も開催された。

以下、三つのテーマに関する状況を紹介する。

電力考慮テスト技術

テスト時の消費電力問題に関しては3セッション9件の発表があった。発表元では企業との共同を含む大学から6件、企業から3件であった。企業のうち2件はEDAベンダ(Cadence社、Mentor社)からの発表であった。また、企業によるポスターでもテスト時の電力・ノイズ問題を題材にしたものが複数あった。

電力考慮テスト生成のセッションでは、消費電力対策を組み込んだテスト



企業ポスターでも活発な議論

生成に関する3件の発表があった。Cadence社からは、複数の電源ドメインに分割した設計に対して、電源制御に使用するリテンションセルにフォーカスしたテスト生成の提案があった。スキャンチェーンを利用して電源ドメインのON/OFFを把握し、リテンションセルの状態保持機能のテストを可能にするものである。低消費電力設計において電源ドメインの分割は一般的な設計手法となりつつあるため、その機能に関するテストの自動化も必須項目と考えられる。

電力考慮スキャンテストのセッションでは、スキャン回路に工夫を凝らしてテスト時の消費電力を抑える手法について3件の発表があった。Mentor社と台湾の清華大学からは、それぞれシフト時とキャプチャ時双方の消費電力を低減する手法の提案があった。このうちMentor社の手法は、スキャンセルの出力を抑止してシフト時の電力を低減するゲーティングセルをキャプチャ時の電力低減にも利用する提案であった。テストパタンの低電力化対策ツールとしての実現が期待される。

電力考慮ディレイテストのセッションでは、ディレイテスト時の低消費電力テストパタンの生成手法について3件の発表があった。いずれもテストパタンの品質を損なわずにキャプチャ時にできるだけ遷移しないパターンを割り当てて、消費電力を抑止するアイデアが基本となる提案であった。このうち九州工業大学からは、クロックゲーティングセルを効果的に止めることによりスキャンセルの遷移数を低減する提案があった。ディレイテスト、とくに実速度テストでは、LSIの高速化と低電力化に伴って、キャプチャ時の過度の信号遷移によるノイズ(IRドロップ)が歩留まり低下要因として問題化しているが、この問題に対する対策の鍵となるセッションであった。

3セッションいずれも聴講者が多く、現在最もホットなテーマであることが窺えた。

欠陥ベーステスト技術

次世代プロセスにおいて問題となる故障に対するテストに関して2セッション6件の発表があった。プロセスの微細化が進むにつれて、既存の縮退故障モデル、遷移遅延故障モデルのみに対応したテストでは市場不良率が増加してしまう懸念があり、これに対応するものとして注目される。

物理故障に対するテスト生成のセッションでは、クロストークやオープン不良に対するテストパタンの生成方法に関する3件の発表があった。韓国の延世大学からは、クロストークによって引き起こされる故障を検出するテストパタンの生成方法に関する提案があった。既存のクロストークに対するテストパターン生成方法と異なり、レイアウト情報、STA情報を用いてテストパターン生成を行うことにより、より高い故障検出率を得ることができる。また、既存の遅延故障ATPGの結果を用いて上記の情報を追加しているため、テストパタンの生成効率、ATPGツールへのインプリ容易性も高い。

欠陥ベーステストのセッションでは、ばらつき考慮等のDFM情報を用いたテスト手法に関する3件の発表があり、とくにパデュー大学とIntel社の共同によるDFM情報を用いたテストに関する発表が目立った。プロセスの微細化が進むにつれてリソグラフィの波長と配線幅のギャップは増加し、システムティック不良の増加は免れない。提案手法では、DFMガイドラインから起こりうる故障箇所、故障の振る舞いを抽出し、その故障に対してテストパタンの生成を行う。これにより、従来のゲートレベルのみでのテストパターン生成時には不明であった「システムティック不良が発生しやすい箇所」に対してテストパターンを生成することができる。

6件の発表はいずれも次世代プロセスへの対応を題材にしており興味深か

った。このような次世代プロセス対応テスト技術の開発は今年度のITC (International Test Conference) でも多く発表されており、今後ますます研究開発が加速すると予想される。

故障診断技術

故障診断技術では、1セッション3件の発表と関連のパネルセッションがあった。発表3件は、大学等と企業の共同が2件、企業間の共同が1件であり、いずれも従来の故障診断技術の向上に関するものであった。

1件目は、アイオワ大学とMentor社との共同で、回路の大規模化による故障辞書の増加に伴い増大する診断実行時間を小規模な故障辞書を使用することで抑止するという内容であった。2件目は、Mentor社とルネサステクノロジ社との共同で、改良した遷移故

障モデルを用いたディレイ故障診断の効果を、実チップでの物理欠陥特定まで成功した例を交えながらの発表であった。故障診断ツールによるディレイ故障診断結果を元に、解析装置を駆使して実チップでの抵抗性オープン故障を特定した例が2例紹介された。3件目は、中国科学院とMentor社との共同で、スキャンチェーン診断のための診断用テストパターン生成手法についての発表であった。提案手法は、故障ス



バンケットでは参加者も餅つきに挑戦

キャンセルの影響を伝播する組合せ回路と、そのコピー回路を主に付加することで実現され、縮退故障、ディレイ故障の各故障モデルに対応しているとのことであった。実験結果では、本パタンの生成効率と、このパターンを使用した診断精度の両方が向上した結果が紹介された。

また、診断関連のパネルセッションでは、「歩留まり診断の有効性を増す方法とは - その答えがDFMなのか?」というタイトルで、大学、企業のパネリストを中心に活発な討論が行われた。パネルセッションを含む故障診断のセッションのすべての発表にMentor社が名を連ねており、故障診断技術に関してはMentor社の活躍が印象的であった。

(テスト&故障解析開発室 畠山一実、伊藤秀昭、新谷道広、清水良浩)

国際学会参加報告

第26回 International Conference on Computer-Aided Design (ICCAD-2008)

学会概要

第26回International Conference on Computer-Aided Design (ICCAD 2008) は、2008年11月10日から11月13日にかけて、例年通り、カリフォルニア州サンノゼのDouble Tree Hotelで開催された。ICCADは、CADに関する国際会議として1983年から開催されており、設計メソドロジーやCADあるいはEDA (Electronic Design Automation) 技術に関する国際会議としては、最もクオリティの高い論文が集まる会議として知られている。今回は、458本の



会場となったDouble Tree Hotel

投稿論文中122本が採択され、採択率は、前回と同様、27%であった。また、採択された論文の地域別内訳は、USA 60%、ASIA 28%、EUROPE 8%、その他4%であった。

基調講演

11月10日に行われた基調講演では、OLPC (One Laptop Per Child) ProjectのCTOであったMary Lou Jepsen氏が、「CAD for Displays!」と題して、講演を行った (Mary Lou Jepsen氏は、2008年Time誌の、One of the 100 most influential people in the worldに選ばれている)。OLPCは、開発途上国の子供たちへの教育のために、安価なノートPC (100ドルPC) の開発を行っているNPOである。この種のノートPCの開発で問題となるのは、構成部品中、最も高価でかつパワーを必要とするディスプレイ装置である。Jepsen氏は、OLPCへ参加した後、2008年にPixel Qi (氣)

社を立ち上げ、低コスト、低電力で、かつすぐに大量生産に移行できる、新しいディスプレイ装置の開発に取り組んでいる。現在、ディスプレイ装置は、標準的なTFT LCDファブを用いて、あたかもASICのように生産できる。かつて、多くの企業がASICを開発するためにCADに多くの投資を行ったように、今度はディスプレイ装置のためのCADを、Jepsen氏は求めている。

ディナー講演

同日のディナーでは、ブール代数の単純化手法であるクワイン・マクラスキー法で知られる、Edward J. McCluskey氏が、2008 SIGDA Pioneering Achievement賞の受賞者として講演を行った。McCluskey氏は、ベル研究所時代のClaude E. Shannonとの思い出 (Shannonは情報理論の創始者として有名であるが、ブール代数に関しても、MITにおける修士論文「A Symbolic Analysis of Relay and Switching Circuits」において、電気回路を用いてブール代数を扱うことができることを示し、後に、「今世紀で最も重要で、かつ最も有名な修士論文」

と評された)。テスト技術研究の黎明期における、Eldredの縮退故障の概念に関する論文や、有名なRothのDアルゴリズムの紹介、プリンストン大学からスタンフォード大学への転進などを、ユーモアを交えながら語った。

ベストペーパー賞

今回のベストペーパー賞は、MITのグループによる、4B.1「Optimization-based Framework for Simultaneous Circuit-and-System Design-Space Exploration: A High-Speed Link Example」および、やはりMITのグループによる、9D.1「Guaranteed Stable Projection-Based Model Reduction for Indefinite and Unstable Linear Systems」の2件が選ばれた。

テクニカルセッション

テクニカルセッションはEmbedded Tutorialの他に前回まで日を変えて行っていたTutorialもレギュラーセッションに埋め込んで5セッション並列で行われた。アジア勢では前回同様台湾ひとりが気を吐いていて、アジアおよそ30件のうち半分近くを占める。残りを中国、韓国、日本、その他が等分に分け合う形である。

上に紹介したようにキーノートがCADにも半導体にも直接関係ない意表をついたものであったが、テクニカルセッションでも従来の“CAD専門会議”のイメージからはみ出た新しさが見られた。Session 1E. Green Data CenterではSun、Googleの講演者がデータセンターのグリーン化をテーマに講演した。Session 3D. Modeling and Simulation of Process Variabilityでは、ばらつきを現象として扱うのではなく、メタルゲートのグレインのオリエンテーションによる仕事関数のばらつき、ドーパントの数や位置のばらつき等、ばらつきの個々の要因のモデル化が大半を占めた。Session. 5D (Embedded Tutorial) Graphene Electronics: Design and CAD Challenges and Opportunitiesはコンパクトモデルの話以外はほとんどが配線やFETとしてのデバイスそのもの

の話であった。

いくつか聴講したセッションについて紹介する。Session 2D. Recent Progress in SSTAでは従来のSSTAにおけるパラメータの数や非線形性の取り扱いに対する限界から生じる精度を問題視し、モンテカルロやそれに類した方法で対応しようという発表が5件中3件を占めた。L. Xie(Wisconsin大)他の発表は、パラメータ変動と遅延変動の関係を統計的なモデルで表し、かつ近似計算モデルと正確なモデルとの間の補正式のパラメータを求めるというadjustment-base modelingの手法を用いて、少ないサンプル数から精度良いモデルを求めるといったもの。A. Singhee (IBM)他、およびJ. Jaffari (Waterloo大学)他の2件はいずれもQuasi Monte Carlo法の高速化を行うというもので、前者はKarhunen-Loeve展開による次元数削減と組み合わせるといった方法、後者はサンプル発生アルゴリズムを改善するという方法をとっている。Session 10C Exploiting Logic Constraints for Noise Analysisでは回路の論理値に対する制約を利用してノイズ解析の悲観性を緩和しようという論文が3件発表された。この問題は昔から扱われており、簡便なものは市販の解析ツールにも載っていると思われるが、本格的な取り扱いにはテストパターン発生同様NP完全問題であり大変な割には劇的な効果は期待できないことから実用化されたという話は聴かない。クロストークに関する2件、R. Li (Sun)他とD. Sinha(IBM)他はいずれも企業からの発表でありそれでも悲観性を削除したいということであろうか。前者は新しい分枝制限法のアルゴリズムを用いる、後者はILP問題として解くというものであるが、発表だけではコストパフォーマンスから見た有用性が見当が付かない。もう一件W. Guo (AMD)他は静的電源ノイズ解析に論理値制限を利用しようというもので、NPハード問題をまともに解くものであるが、線形解析である、および比較的限定された領域で考えればよいという電源ノイズの特性から実用的な可能性があり注目してよいと思われる。

ワークショップ

今回は新たにColocated Workshopと名づけられて次の4件のワークショップがICCADの前後に開催された。“EDA Education and Research Workshop (EDA)”, “Compact Variability Modeling Workshop (CVM)”, “Workshop on Test Structure Design for Variability Characterization (TSD)”, “Electrical-level Modeling for Timing, Noise and Power Analysis (ECM)”。EDAは早稲田大学の後藤敏先生、TSDは京都大学の小野寺秀俊先生がオーガナイザとして参加しておられる。このうちECMを聴いた。技術トピックとして面白いものはあったが、ECSM、CCSの次の世代の解析ツール用モデル開発としての進展は何も発表されず、行き詰っているという印象を持った。

日本からの発表

日本からは、Logic and High-level Synthesisのセッションで九州工業大学の笹尾勤先生、Test Power and Temperature Controlのセッションで九州工業大学の宮瀬紘平先生他とSTARC、Physical Design for Performance Improvement & Noise Immunityのセッションで、大阪大学橋本昌宜先生の研究室の榎並孝司氏のSTARC共同研究テーマの発表が行われた。

STARC共同研究テーマではこの他に、Colocated Workshop (TSD)で東京工業大学中山範明先生の講演があった。また、2008 IEEE International Symposium on VLSI Design, Automation and Testから興味深い発表が紹介される、Special Session VLSI-DATでは、早稲田大学 大附辰夫先生、戸川望先生の研究室からの発表が行われた。

世界的な景気の後退で、スポンサーの撤退や参加者の減少が懸念されるが、ICCAD 2009は、2009年11月2日～11月5日の日程で、米国カリフォルニア州で開催される予定である。

(研究推進室 杉本益規、大西洋一)

特別特集

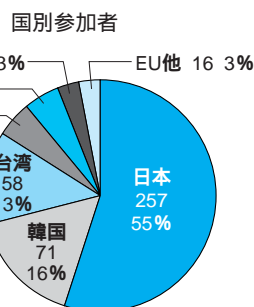
A-SSCC2008開催報告

IEEE Asian Solid-State Circuits Conference 2008 (以下 A-SSCC 2008と略す) を2008年11月3日～5日に福岡市の JAL リゾート シーホーク ホテル 福岡で開催しました。2005年の台湾、2006年の中国、2007年の韓国に次ぐ4回目の開催で、日本での初開催でした。当社の下東社長が議長を務めた関係上、当社が中心となって組織委員会を編成し、KAIST (韓国科学技術院) のHoi-Jun Yoo先生が率いるテクニカル・プログラム委員会と連携して、学会の運営と設営を担当しました。当社にとって学会の運営は初体験であり、ステアリング委員会のセクレタリーである東京大学の池田誠先生の指示を受けつつ、2007年の夏から準備を開始しました。事務局会社としては、VLSIシンポジウム等で実績のあるICSコンベンションサービス社を選びました。準備段階初期における組織委員会の重要な役割は、金銭的支援をいただける団体の検索でした。各種財団、地方自治体、クライアント各社、EDAベンダー、IPベンダー等から相当額のご寄付を取り付けることができました。次なる課題は、Webや広報活動を通じての論文投稿の募集でし

参加者推移

| Year | Conference | Tutorial | Tutorialのみ | Total |
|------|------------|----------|------------|-------|
| 2005 | 335 | 178 | 72 | 407 |
| 2006 | 246 | 112 | 17 | 263 |
| 2007 | 356 | 131 | 9 | 365 |
| 2008 | 458 | 122 | 1 | 459 |

た。お陰様で、世界26カ国から合計309件の論文投稿があり、7月11日の論文選択会議で116件が採択されました。次なる課題は、学会参加者数の確保でした。9月に日本・韓国・台湾・中国の4ヶ国で記者会見を開催し、日本においてはクライアント各社および大学関係者に参加の呼びかけを行い、431名の事前登録者を得ることができました。最後の関門は、予稿集等の印刷物の作成と、本番会場の設営でした。印刷物の作成は、パブリケーション委員長である神戸大学の永田真先生に指揮していただきました。会場設営に際しては、リハーサル会場の提供、バンケットの余興企画、福岡県との折衝等、様々な形でふくおかアイスト様の絶大なご支援を受けました。結果的に、3日間で過去最大の17ヶ国から459名が参加され、大変に盛大な学会となりました。国別内訳は、日本257名(55%)、韓国71名(16%)、台湾58名(13%)、USA23名(5%)、中国21名(5%)等々でした。幸いにも、タッチの差で未曾有の金融危機の影響を受けることなく、無事閉幕でき、ほっと胸



を撫で下ろしている状況です。ご協力をいただいた多くの皆様方に、この場を借りてお礼申し上げます。

今回は、2009年11月16～18日に台湾で開催される予定です。

(A-SSCC 2008 組織委員会 :

鬼頭公治・安達功修)

特別特集

A-SSCC2008参加報告

リーディングエッジテクノロジーからのシステムLSI設計へのヒント

A-SSCCは、最先端の回路技術や設計技術をLSIに実装して、その性能の高さ(高速動作や低消費電力)を発表するアジア版のISSCCである。今回も種々の新技術の発表が行われたが、その中でもとくに、高速かつ低消費電力を謳った論文発表を中心に聴講した。Intelからは、モバイル向けのCORE2 DUOプロセッサで導入された技術の発表があった。特長は、低リークトランジスタの開発・導入、負荷によりきめ細かく電力モードを定義して電圧やクロック等による電力制御、チップのいたるところでクロックゲーテ

ィングの活用、ツリー構造とツリーの末端近くでの短路の組み合わせや、上層の幅広配線の活用等により、スキュー(6ps以下)とクロック消費電力の低減(プロセッサ全体の消費電力の7%以下)を図ったグリッドレスのクロック配線構造などである。また、NECからは、DVFS(Dynamic Voltage Frequency Scaling)で、所望の動作周波数を実現する最適な電圧を効率よく設定する回路設計上の仕組みの提案があった。いずれの技術でも、きめ細かい回路/設計上の工夫を施すことにより、自動設計を基本とするASICやシステムLSIでは実現が難しい高い性能を実現している。

一方、開発第1部が対象とするデジタル情報家電や携帯

情報機器向けのシステムLSIでは、高速かつ低消費電力に加え、設計の効率化による設計期間の短縮が至上命題である。そのため、EDAツールの活用による設計の自動化は必須である。残念ながら、今回発表された技術で、自動化が図られているものは少ないが、システムLSIの設計でも有用で、活用可能な技術や設計上のヒントがいろいろと含まれており、参考になる点が多い。これまで、マイクロプロセッサ用に開発・導入されたリーディングエッジテクノロジーは、モデル化/アルゴリズム化することにより、EDAツールに技術実装され、設計の自動化が図られたものも多く、今後に期待したい。また、この学会にも引き続き注目していきたい。

(開発第1部 村方正美)

日本の強みを生かす技術

今回は、Plenary talkやIndustry programが多数発表されており、今後の半導体産業の発展を願う各社の意気込みが強く感じられる内容であった。

その代表が、『SiP2.0: What, When, and How?』と題して行われたパネルディスカッションで、企業7社から参加のパネリストにて行われた。各パネリストからSiP2.0の今後の予想が報告されたが、その資料は各社それぞれ工夫が凝らされており、各社のカラーの違いが非常によく表れていた。Renesasは現在の技術と未来技術を項目別にわかりやすく整理し、今後の動向と必要開発技術をまとめていた。その中でも短ワイヤ化の可能性と設計の柔軟性に着目しTSV-3D(Through Silicon Viaによる3次元構造)をSiP2.0実現技術の本命としてわかりやすく解説していた。また、NECはアニメ映画コナンの登場人物を用いて物語風に未来のパッケージ技術を解説して参加者の注目を集めていた。SiP2.0の今後の動向については活発な質疑応答があり、参加者の関心が非常に強く各社が技術開発に取り組む姿勢の強さが実感できた。テスト手法に関する質問も出ていたが、回答は残念ながら各社とも「DFTで考慮する」という程度の内容であり物足りなさを感じた。

日本企業からの発表はメモリに関するものが注目された。Panasonicのランダムサイクル時間1.8nsを実現するSH-RAM(SRAM-interface High-speed DRAM)(論文番号8-1)は、アクセスタイムや回路面積を改善し、低消費電力なRAMを実現した。ビットライン周りの回路や制御の工夫により、従来の混載DRAMと比較して、ランダムアクセス時間が42%高速化できた。また、データライン構成および内部電源供給回路の工夫により、混載SRAMと比較して回路面積が50%低減できたとのこと。

A-SSCCは回路設計に関する学会のため、テストに関する内容はほとんど見当たらなかったが、課題となる項目は多数見受けられた。今後はこれらに対して積極的に情報収集を行い、先手のテスト対応が可能なように注力して行く。

(テスト&故障解析開発室 中野勝幸)

回路技術動向と先端試作への期待

開発第3部として、A-SSCC 2008に参加する目的は二つある。一つは、今年度より開始した国の委託事業「次世代回路アーキテクチャ技術開発」に関連して、回路技術に関する技術動向調査をすること、もう一つは先端シャトル試作の運営者として、今時点の学会発表論文がどの程度先端プロセスを採用しているかということ。

前者に関しては、アナログ/RF分野が多かったこと、そして件数のみならず、パネルでも議論されていたように、SoC全体のパフォーマンスを考慮し、デジタル方式で支援されたアナログ/RF回路の可能性を追求する傾向が強まったことである。個別のテーマでは、高精度のクロック制御にはPLLを採用するのが常套手段であったが、性能と面積でトレードオフの関係にあると考えられてきたDLLの論文がPLLと同数の6件も発表された。このことは、SoCの目標仕様に合わせ、適材適所の回路技術を適用する考え方が徹底されてきたものと思われる。

後者については、図にプロセスノード別論文数をまとめてみた。棒グラフの青い部分は日本の論文を示す。現状は90nmが旬のプロセスである。90nm以前のプロセスは、対象の回路の適用分野により最適なものを選択すればよいが、90nmより微細なプロセスは利用できる環境があるか否かが選択の重要なポイントになる。残念ながら、65nm以下細の日本の論文数は海外勢と比較すると少ないのが現実である。開発第3部としては、「次世代回路アーキテクチャ

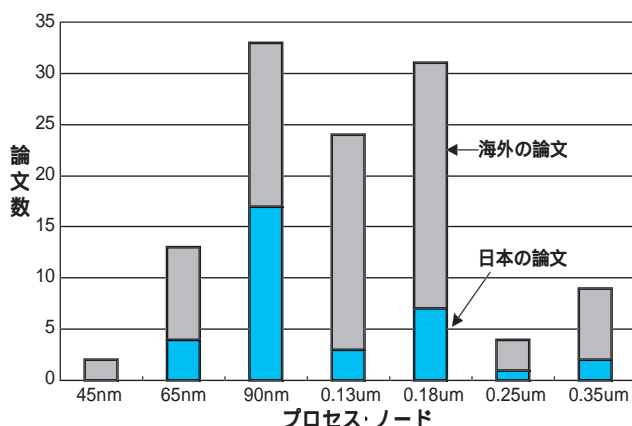


図 A-SSCC2008全試作案件(116件)のプロセス・ノード別論文数の分布

「技術開発」事業を推進して多くの研究者が利用できるよ
うに、次回の学会では65nm世代でも海外勢を凌駕する成
果を期待している。

(開発第3部 武智真)

論文数からみた大学での研究の分析

一般講演108件のうち、日本が33件、台湾が30件、韓国
が22件と、かろうじて開催国である日本が1位を獲得でき
たようであるが、大学(企業との共著を含む)からの発表
が87件と全体の80%を占めているように、大学からの発表
が主流の国際会議であり、日本の大学からの発表が18件、
台湾が27件、韓国が16件と、台湾に惨敗、韓国と並ぶ成績
でしかなかった。使われているテクノロジーについても、日
本の大学が台湾の大学に比べて古いテクノロジーを使ってい
るようには見えない。むしろ、韓国の大学に対してはアド
バンテージがあるように見受けられる。また、台湾や韓国
のように、一校で10件前後の発表をしているような大学は
日本にはないが、発表している大学の数でいえば11校と多
く(平均1.6件)、発表機関が分散しているのも日本の特徴

である。また、ミリ波を除くRF関連や、クロッキングに
関する発表はなく、日本の半導体産業の縮図を見ているよ
うである。



神戸大学 永田研究室 橋田氏



広島大学 岩田研究室 升井氏

最後に、共同研究テーマに関
する博士課程の学生2名の発表
について観想を一言。神戸大学)
永田研究グループの橋田氏によ
る“Chip-to-Chip Half Duplex
Date Communication at 135
Mbps Over Power-Supply Rails
(7-3)”と、広島大学)岩田研
究グループの升井氏による“A
2.0Vpp Input, 0.5V Supply
Delta Amplifier with A-to-D
Conversion (9-1)”の2件であ
る。二人ともテープアウトを間
近に控えて心配していたが、し
っかりとしたまとめられた
発表内容であった。また、2~3
か月に一度の共同研究打ち合
わせて、客員の方々の厳しい質
問に立ち向かっているせいか、
場慣れた堂々としたものであ
った。

(研究推進室 森俊彦)

Embedded
Technology 2008

ET2008 出展報告

社団法人 組込みシステム技術協会(JASA)が主催する、組込み総合技術展Embedded Technology 2008(ET2008)は、11月19日(水)~21日(金)の3日間にわたり、パシフィコ横浜で開催されました。出展社は450社、入場者数26,892名、併設のET2008カンファレンスの来場者も1万名以上と盛況でした。

今回、STARCから「トランザクション・レベル(TL)モデリングガイド」を組込みシステム業界へ普及させるための第一歩としてET2008に出展いたしました。また会期中の展示に加え、ET2008カンファレンスのスペシャルセッションにおいて、11月20日(木)に「トランザクション・レベル設計セミナー」と題し、標準化団体Open SystemC InitiativeによるTLM2.0の概要、およびSTARCで開発しておりますTLモデリングガイドを中心とした技術解説を行いました。

STARCブースへの来訪者のうち、60%がシステムハウスやセット業界から、20%が半導体業界からであり、出展の目的であった組込み業界へのTLモデリングガイドの認知度向上や今後の普及に有用であったと考えています。また、スペシャルセッションの「トランザクション・レベル設計セミナー」にも102名の方に聴講していただき、発表終了後も質疑応答が行われ関心の高さが伺われました。

今後も、このような機会を生かし半導体業界だけでなく組込みシステム等の関連業界に「トランザクション・レベルモデリングガイド」を普及させるよう取り組んで参ります。

(次世代システムレベル設計開発室・標準化推進室)



EDS Fair 2009 出展のご案内

(Electronic Design and Solution Fair 2009)

「未来を創る“ STARCの革新的設計技術と標準化 ”」

開催日時：2009年1月22日(木)・23日(金) 10:00～18:00

会場：パシフィコ横浜(展示ホール、アネックスホール)

「未来を創る“ STARCの革新的設計技術と標準化 ”」と題して、パネル展示とデモ紹介、ブース内プレゼンテーションでご紹介します。

【STARCの革新的設計技術】

STARCAD-CEL (プロセスフレンドリー設計)

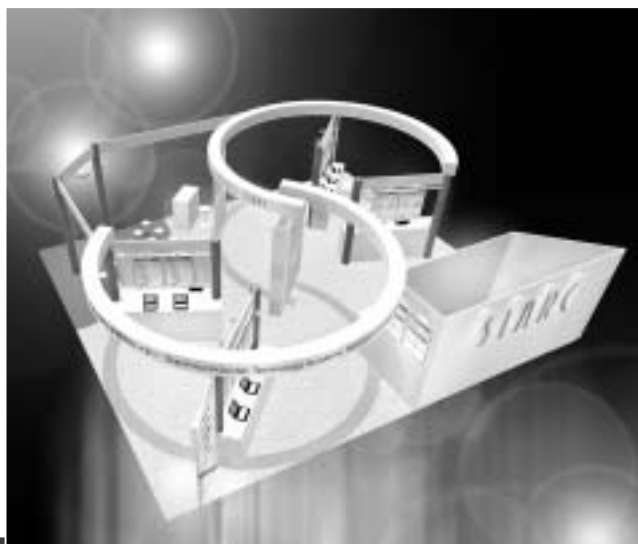
- (1) STARCAD-CELの概要
- (2) 設計生産性向上技術
- (3) 超低消費電力対応設計技術
- (4) 製造性考慮設計技術
- (5) ばらつき考慮設計技術
- (6) EDAツールQA推進

STARCAD-Clouseau (テスト&故障解析)

・次世代テスト&故障診断技術

Mixed Signal設計

- ・Mixed Signal設計改革に向けて
- 次世代回路アーキテクチャ
- ・次世代回路アーキテクチャ技術開発



【STARCの標準化技術】

STARC TLモデリングガイド

・TLモデリングガイド第2版公開

IP機能検証ガイド

・機能検証仕様策定編

国際標準モデル HiSIM_HV/HiSIM2



【STARCの産学連携】

大学との共同研究

大学/大学院でのLSI設計教育

出展者セミナー

1月22日(木) 13:30～15:15 <セミナー会場 F202>

「未来を創る“ STARCの革新的設計技術と標準化 ”」

13:30～【STARCの標準化技術】

- ・IP機能検証ガイド
- ・TLモデリングガイド
- ・HiSIM標準化

を中心にSTARC標準化技術を紹介します。

【STARCの革新的設計技術1】・STARCAD-CEL (プロセスフレンドリー設計) が目指すもの
～32nmへのチャレンジ～

14:30～【STARCの革新的設計技術2】・STARCAD-Clouseau (テスト&故障解析) における低電力テストへの取組
・ナノCMOS世代のアナログ設計技術

EDSFair2009公式Webサイト ; <http://www.edsfair.com/>

STARCニュース No.39

株式会社 半導体理工学研究センター

発行：下東 勝博

Semiconductor Technology Academic Research Center (STARC)

〒222-0033 神奈川県横浜市港北区新横浜3丁目17番地2 友泉新横浜ビル6階

TEL : 045-478-3300 FAX : 045-478-3310

URL : <http://www.starc.jp>

[無断転載禁止] © STARC