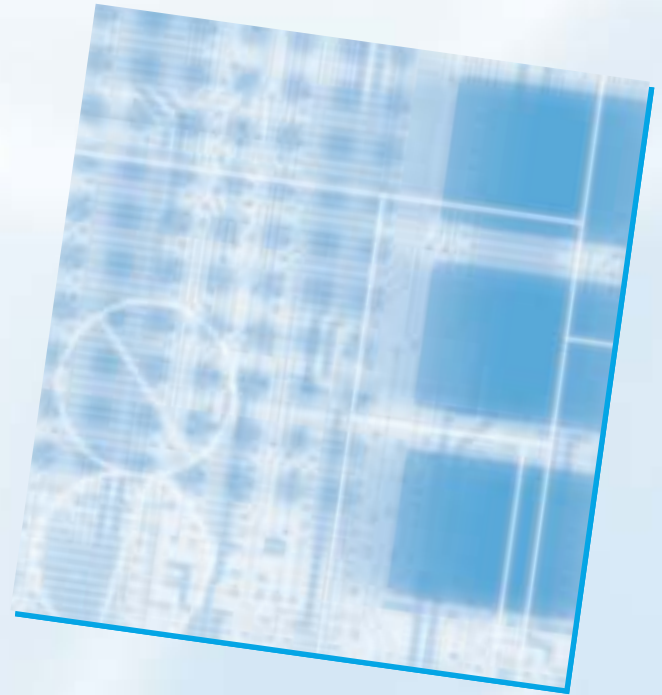


STARC ニュース

No. 38

2008年10月25日発行
 株式会社 半導体理工学研究センター
 Semiconductor Technology Academic Research Center (STARC)



CONTENTS

新会長ご挨拶.....	2
特集 / あすか フェーズ2の取組み 教育推進室・SoC設計技術者教育 アルゴリズム設計編の開発と本格開講.....	3
開発第2部・次世代システムレベル設計	6
開発第2部・テスト&故障診断プラットフォーム - STARCAD-Clouseau -	8
共同研究グループ便り 北村研究グループ.....	10
川人研究グループ.....	12
江利口研究グループ.....	14
国際学会参加報告 ESSDERC2008, ESSCIRC2008.....	16
CICC2008.....	18
A-SSCC2008 福岡で開催.....	20
ET2008出展のお知らせ.....	20

新会長ご挨拶

代表取締役会長 **伊藤 達**



本年6月にSTARC代表取締役会長に就任いたしました伊藤でございます。クライアント、大学をはじめとするSTARC関係者の皆様にご挨拶を申し上げます。

半導体技術は高度情報通信社会を支える基盤技術のひとつであり、さまざまな電子機器に数多くのSoC（システム・オン・チップ）が搭載されていますが、電子機器の機能は今後ますます多様化し、多様化した機能を実現するSoCはますます複雑なものとなっていきます。また、製品寿命の短期化や低価格化などのビジネス環境上の課題に加え、微細化に伴う製造マージンの減少や特性バラツキの増大など、製造側だけでは解決できない課題も増大しております。低炭素社会実現に向けて、SoCの低消費電力化も大きな課題となります。これらの課題を克服し、高機能、高性能、高品質かつ低電力なSoCを短期開発し、かつ十分な製造マージンを確保して低価格で提供できるようにするためには、極めて高度な半導体設計技術が必要であり、それが半導体事業の競争力の源泉のひとつとなります。

STARCでは2006年度よりスタートしたJEITAの「あすか」プロジェクトに参加し、さまざまなテーマでの取り組みを進めてまいりました。半導体設計基盤技術の共同開発では、国のご支援をいただいた「次世代プロセスフレンドリー設計技術開発（DFM：Design for Manufacturability）」にて45nm対応のフェーズを完了し、今年度より32nm対応のフェーズに着手しました。「システムレベル設計手法開発」、「テスト・故障解析技術開発」、「Mixed Signal 設計技術開発」などの共同開発プログラムも着々と成果を挙げつつあります。いずれのプログラムにおいても、開発成果を参加クライアント各社で直ちに製品開発に活かせるよう工夫を盛り込んでいきます。

産学連携の分野では、大学において業界ニーズを取り込んだ形でイノベティブな先端研究を進められるよう、共同研究における「テーマインキュベーション」を今年度は全テーマの30%にまで拡大しました。学生向けの「SoC設計講座」では新規テキスト開発と開講大学数増加という質両面での活性化を進めています。シャトルサービスに関しても今まで「90nm LSI試作サービス」を提供してきましたが、今後は「65nm LSI試作サービス」を推進していきます。一方クライアント各社に対する教育としての「アドバンスド講座」および「MOT講座」についても、内容の拡充を推進中です。

半導体業界が大きく変貌しつつあるこの時期にSTARC会長に就任した重責を感じつつ、皆様の更なる競争力強化に貢献できるよう努めていきたいと思っています。また、多様化する技術開発の要求に対して、スピード、パートナーシップ、顧客指向を重視し、設計力の強化を通じて日本の半導体産業の競争力向上に貢献していく所存です。皆様のご指導、ご協力をお願いします。

あすかⅡフェーズ2 の取組み

教育推進室◎STARC SoC設計技術者教育

アルゴリズム設計編の開発と本格開講

研究推進部 教育推進室 **小池 豊**
鴨野 豊
加沼 安喜良

1. はじめに

教育推進室では、2001年度からの「あすか計画」と2006年度からの「あすか 計画」の一環としてSoC [System On a Chip] 設計技術者教育の教材を作成し、国内大学に教材を提供し、STARC教材を利用した講義や実習を開催させていただき、大学における人材育成を支援してきました。この度、SoC設計の最上位過程に対応したアルゴリズム設計編を開発し試験的開講を経て本格開講を実施いたしました。本教材はアルゴリズム設計からLSI実装までを鳥瞰的に理解し、SoCを性能、消費電力、コスト、開発期間等の制約条件の下で、最適な現実解で設計できるSoCアーキテクトの育成を支援します。

2. アルゴリズム設計編の位置付けと狙い

今後のSoCアーキテクトに要求されるのは、従来のLSI設計、組込みSW設計、システム設計の知識に加え、これか

らSoCが幅広く取り込んでいく分野 - 通信、自動車、ロボット、航空等 - で開発されているアルゴリズムの特徴を整理・理解した上で、アルゴリズムからLSI実装までの最適な現実解をチーム運営下で設計する能力です。

そのため、これまで開発してきた講義・実習教材にアルゴリズム設計編を追加する形で教材を強化し、アルゴリズム設計からLSI実装までをカバーする教材としました(図1)。本教材は従来専門分野ごとに纏めた大学の教材に対し、LSI実装設計の観点からトップダウン的に設計手法を纏めたものとなっています。アルゴリズム設計からLSI実装設計までの設計手法を、チーム運営の中で学ぶことができる過去に類のない教材ができたと考えております。この教材を通して、SoCの付加価値の源泉を探求するSoCアーキテクトの育成を狙い、半導体業界の国際競争力の向上に貢献していきます。

3. アルゴリズム設計編の概要

アルゴリズム設計編では、システムLSI実装の観点からアルゴリズムに依存しない形で鳥瞰的にアルゴリズムの変換原理を整理し、設計資産の活用観点から中間アルゴリズム導出の重要性和考慮点を説明し、最終的に実機への実装を体験させます。図2は、講義で利用しているアルゴリズム変換原理を6領域で示した図です。この図は縦軸に連続領域と離散領域を、横軸に時間領域、伝達関数、周波数領域をとり、各モデルを整理しており、各モデル間の変換手段を図解し、実装に最適なモデルの導出を助けるものになっています。

図3は、アルゴリズムからLSI実装設計までの設計手法を示します。まず理論アルゴリズムから、理

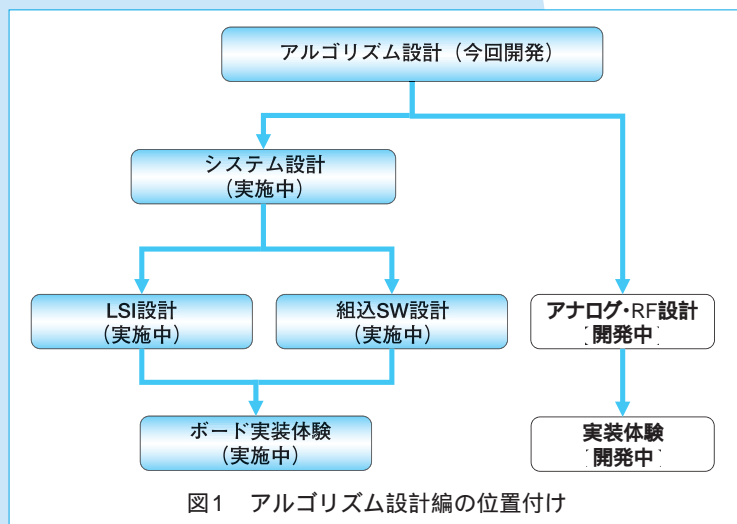


図1 アルゴリズム設計編の位置付け

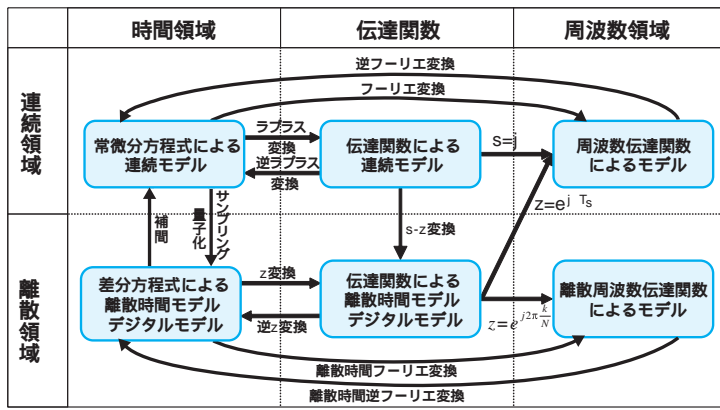


図2 線形時不変システムでの領域区分とモデルの関係

想的な実装を考慮した並列化、離散化、標準的固定小数点化を施し再利用可能な中間アルゴリズムへ変換します。次にアーキテクチャを考慮し、リソースマッピングや実装向けの固定小数点化を施し、実装アルゴリズムへ変換します。実装アルゴリズムは、シングル/マルチプロセスでの実装差により、単一/複数離散化します。

実習では、音声と制御の二つのモチーフを用意しています。このモチーフにて、企業開発現場のチーム運営の模擬体験と実機への搭載（アルゴリズムからLSI実装までの設

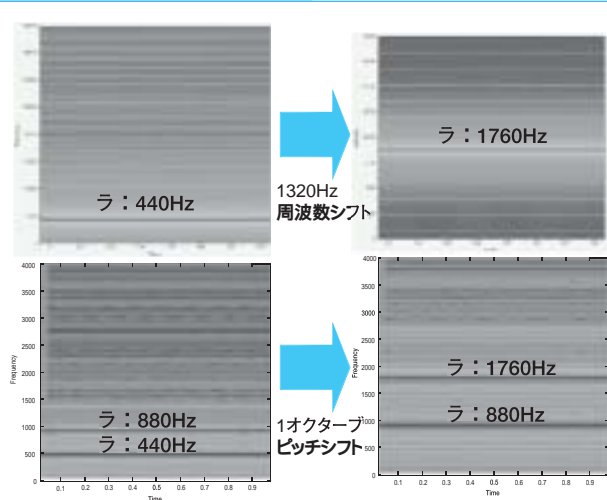


図4 音声実習のモチーフ

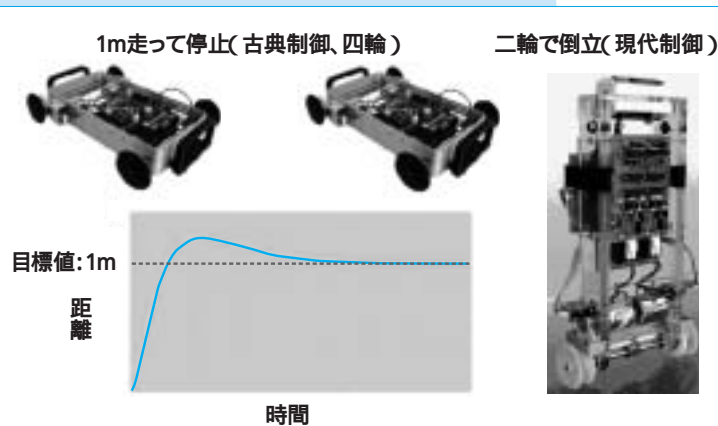


図5 制御実習のモチーフ

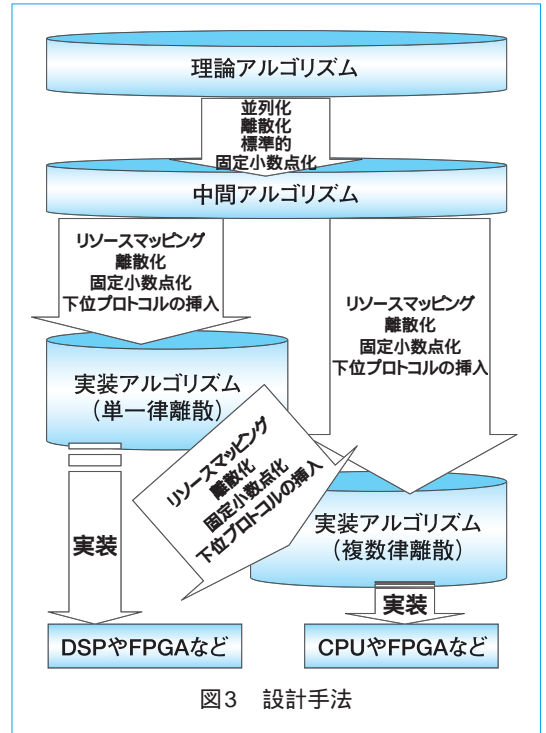


図3 設計手法

計)を通じて、課題を完成させる楽しみ・感動を味わっていただき、SoC設計に興味を持った今後の業界を担うシステムアーキテクトの育成を支援します。また、実習で利用している開発ツールは、この分野の先駆者であるMathWorks社のMATLAB[®]およびSimulink[®]を使用しており、企業の現場と遜色のない環境となっています。

音声モチーフ実習の概要

周波数シフト、ピッチシフトのアルゴリズムを用いてS/N比の最適化を目標に、中間/実装アルゴリズムの設計を行い、生成されたC言語記述から高位設計、論理設計、レイアウト設計を経て、実機へ実装します(図4)。音の特性を理解しながら、実装アルゴリズム上での音と実機での音を比較検討し、ものづくりの奥の深さを体験できます。

制御モチーフ実習の概要

自動車型ロボット(e-nuvo WHEEL(株式会社ゼットエムピー))を1mの走行距離で制御(古典制御理論による制御)し、さらに現代制御理論に基づいたアルゴリズムを用いて倒立姿勢を維持します。これらを目標に中間/実装アルゴリズムの設計を行い、生成されたC言語記述をロボットに搭載されたCPUへと実装します(図5)。

実装したアルゴリズムについて、計算機による動作予測結果と実際のロボットの動きの差を観測することで、ものづくりの楽しさが実感できます。

アルゴリズム設計編のシラバス

アルゴリズム設計編は5日間の連続集中講座で、1日3コマ、計15コマの構成となっており、音声と制御の二つのモチーフに対応したシラバスは図6のようになっています。

音声モチーフシラバス			制御モチーフシラバス				
	1コマ	2コマ	3コマ		1コマ	2コマ	3コマ
1日目	講義			1日目	講義		
2	周波数シフト・アルゴリズム設計			2	古典制御アルゴリズム設計		
3	ピッチシフト・アルゴリズム設計			3	実装		
4	高位設計、実装、			4	現代制御アルゴリズム設計		
5	デザイン・レビュー			5	実装、デザイン・レビュー		

図6 アルゴリズム設計編シラバス

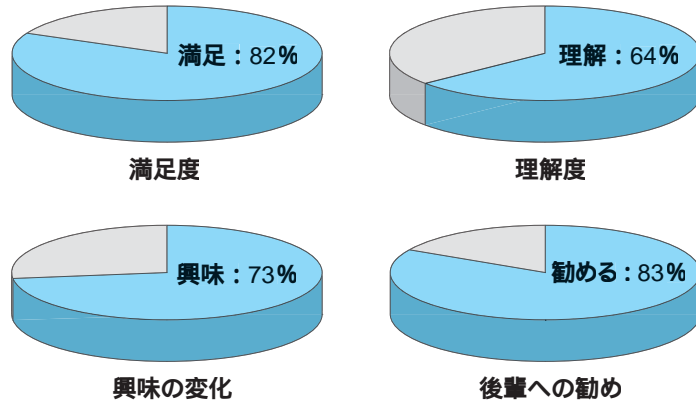


図7 試行実習でのアンケート結果



図8 実習風景（立命館大学）

4. アルゴリズム設計編の開発経過と本格開講

本講義・実習は、2006年から開発に着手し、3回の試行を経て、2008年9月に単位認定対象として本格開講を実施しました。実習の開発・試行においては、質はもとより、学生の実習に対する満足度、理解度の向上、SoC設計への興味、および後輩へ勧めるかの観点でアンケートを取り、教材を改良してきました（図7）。加えて、日頃から各コースの実習を支援してくださっている大学の先生方からのご意見をいただき、真に意味のある教材へと進化させることができました。

図8は、今年9月に本格開講したアルゴリズム設計編実習のスナップ写真です。目を輝かせながら「ものづくり」

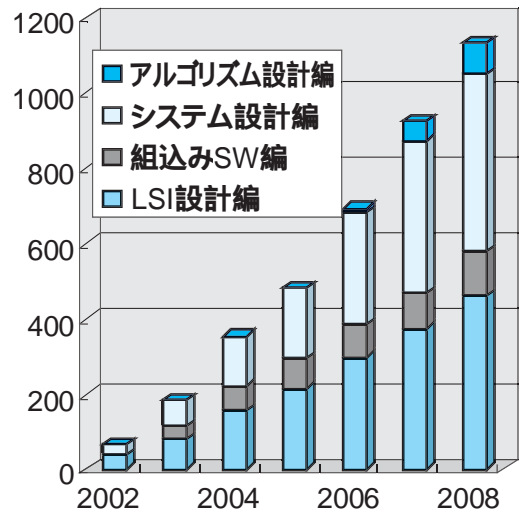


図9 実習の参加者数累計

の感動を体験している学生達の顔が印象的でした。

図9では、これまでに教育推進室が開催した実習講座への参加者累計の推移を示しています。従来からあるLSI設計編、組込みSW設計編、システムLSI設計編に加え、今回紹介している新規開催のアルゴリズム設計編も順調に参加人数の伸びを示しており、アルゴリズム設計編では85名、実習全体では、1,134名の参加者となっております（2008年9月26日現在）。

5. 終わりに

今後SoCが幅広く取り込んでいくさまざまな分野でのアルゴリズム実装の最適な現実解を設計できるSoCアーキテクトの育成を目指し、アルゴリズム設計編の講座・実習教材を開発しました。半導体業界の国際競争力向上のために、本講座で学んだ学生が活躍することを切に願うとともに、今後も教材の拡張や改良を実施してまいります。

謝辞

最後にアルゴリズム設計編の教材開発においては、立命館大学の福井正博先生、株式会社インターデザイン・テクノロジーの石井忠俊様、小林憲貴様の多大なるご協力とご尽力に深く感謝いたします。

また、教材の作成にあたっては、新たに以下のツール・ボード類を選択し、それぞれの会社より提供いただいております。

アルゴリズム設計環境：MATLAB/Simulink（サイバネットシステム株式会社）実装用ロボット：e-nuvo WHEEL（株式会社ゼットエムピー）、e-nuvo WHEELの制御アルゴリズム、さらにカリキュラムについては、株式会社ゼットエムピーの協力のもとに開発を進めました。

開発第2部◎次世代システムレベル設計

開発第2部 次世代システムレベル設計開発室 室長 柏木 治久

苦勞してようやく試作したシステムLSIを客先に提出したのに「こんな仕様で頼んだ覚えはない！やり直してくれ！」といわれたことはありませんか。一方で、客先のソフト技術者は、「今回はソフトで何とかしてよ」といわれているかもしれません。次世代システムレベル設計開発室では、こんな悲しい思いをしないように、技術者間のインタフェース仕様（以下、I/F仕様と略します）を、もれなく正確にやり取りできることを目標にしています。

概要

セット企業と半導体ベンダのインタフェースは、図1のように、「ネット、RTL」などから「TLM、仕様記述」と高度化が進んでいます。しかし、「TLM、仕様記述」ではRTLのような標準的な言語や表記方法が存在しません。このためお互いの認識整合に時間がかかったり、認識ズレによるリワークを生じたりして、無駄な工数がかかっています。当開発室の前身の高位設計開発室では、「TLM」インタフェースの部分で、標準的なTLモデリングガイドを開発して一般公開するとともに、これをベースとした設計メソッドロジを開発してきました。

当開発室では、さらに高度な「仕様記述」インタフェースの部分で、標準的な記述方法を開発して一般公開するとともに、これをベースとした設計メソッドロジを開発していきます。

課題

日本のものづくりの強み（リアルタイム性、高信頼性、高機能）は、システムLSIと組み込みソフトウェアの高度な

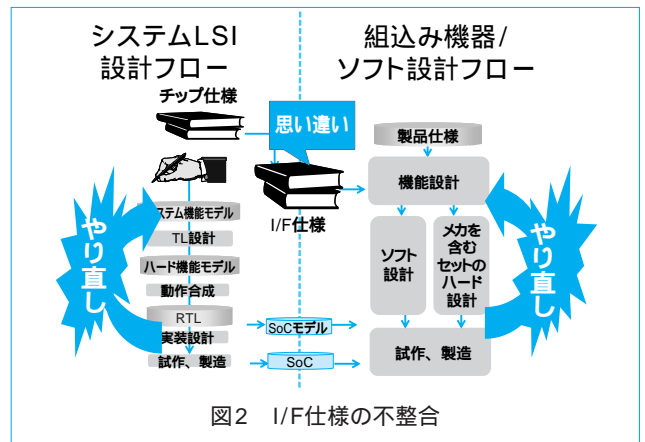


図2 I/F仕様の不整合

連携により成り立っているといわれます。この連携のために、お互いのI/F仕様すり合わせと、システムLSIモデルによるハード/ソフト協調検証を行っています。

I/F仕様のすり合わせは、自然言語によるドキュメント作成とレビューによって行われていますが、自然言語は正確性に欠け、相互の思い違いによるI/F仕様の不整合が発生しがちです。また、システムLSIモデルは、多くの場合LSI開発の中間生成物が提供され、提供時期が遅いことに加えて、組み込みソフト検証用としては検証機能と検証速度が不十分なことが多いのです。このため、図2のように開発工程の最後に初めてI/F仕様の不整合がわかり、やり直しが多発しています。実際にそのような問題がどれだけ発生しているのか、システムLSIと組み込みソフトの両面から調べてみましょう。

図3はシステムLSI開発でのI/F仕様不整合によるリワーク工数を推定したものです。結論からいうと、リワーク工数はもともとの全設計工数の40%に達することがわかりました。

図中左上の点線内は平均的なシステムLSIの設計工数の比率で、2007年度のJEITA半導体技術ロードマップ専門委員会（STRJ）による調査結果です。これによればI/Fを含む仕様検討からRTLを記述し、機能検証をするまでの論理設計に60%、論理合成からマスク設計を行うまでの物理設計に40%の工数がかかることがわかります。

下側のパイチャートは、システムLSI開発の設計遅れ要因を分析したもので、I/Fを含む仕様定義からシステム設計に起因するものが25%を占めています。これも、JEITA STRJによる調査結果によるものです。

我々は、この設計工数比率、設計遅れ要因比率、

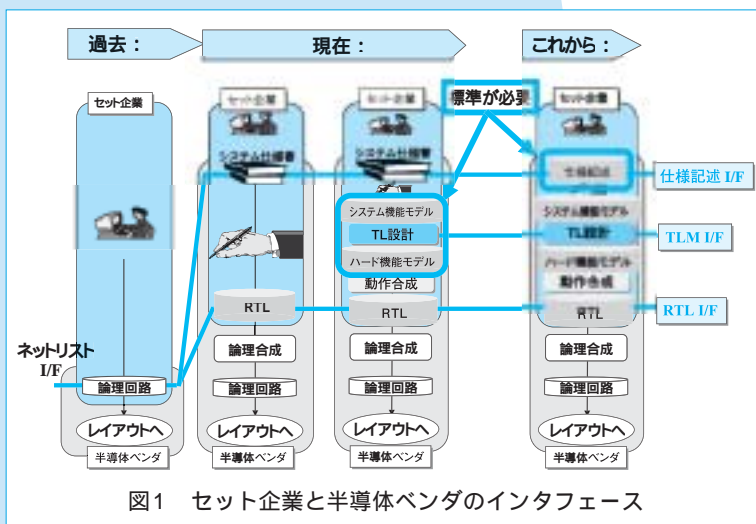


図1 セット企業と半導体ベンダのインタフェース

クライアント各社へのヒアリング結果（仕様不整合によるリワークが平均1回）から、そのリワーク工数はもともとの設計工数の40%かかると推定しました。

図4は、「組み込みソフトウェア開発中にハードウェアに起因して直面した課題の内容と比率」を示したもので、経済産業省による組み込みソフトウェア産業実態調査から抜粋したものです。この調査から判ることは、これらの課題は「I/F仕様不整合」と「不十分な検証用モデル」に集約されること、そして、これらの課題が2005年以降改善の兆しがないことです。

対応策

1. 明確で曖昧性のない仕様記述

これまでの自然言語（日本語、英語等）によるすりあわせに見られたI/F仕様不整合をなくすことを目的に、組み込みソフトウェア技術者とシステムLSI技術者のI/F仕様のすりあわせを実現する共通言語を開発・標準化します。

現在のテキスト表記の自然言語から、直感的なビジュアル表記のモデリング言語を目指します。（図5）

2. I/F仕様の検証環境

人手で膨大なI/F仕様の中から矛盾した仕様を探したり、仕様の漏れを検出したりすることは大変な作業です。そこで、これらを網羅的に検証できる環境を開発します。

3. ソフト検証用モデル生成環境

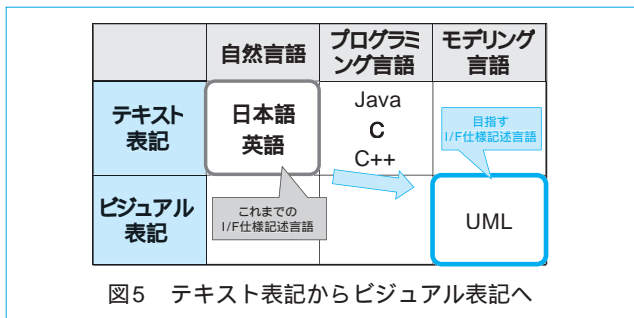
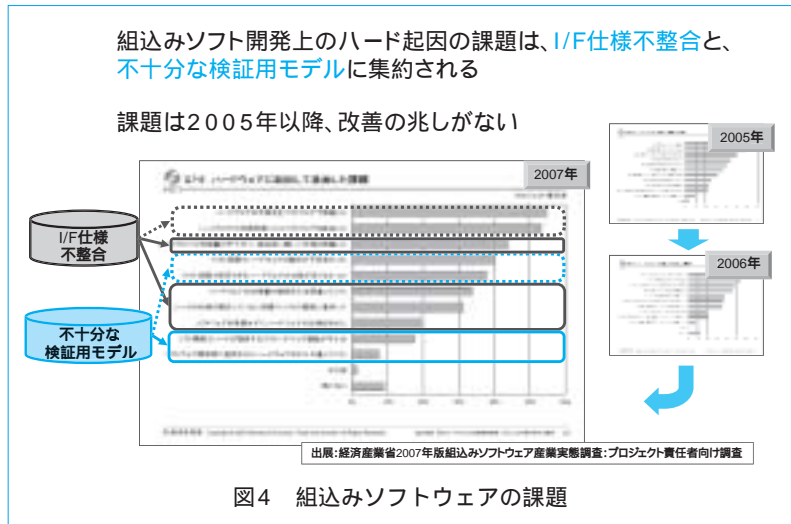
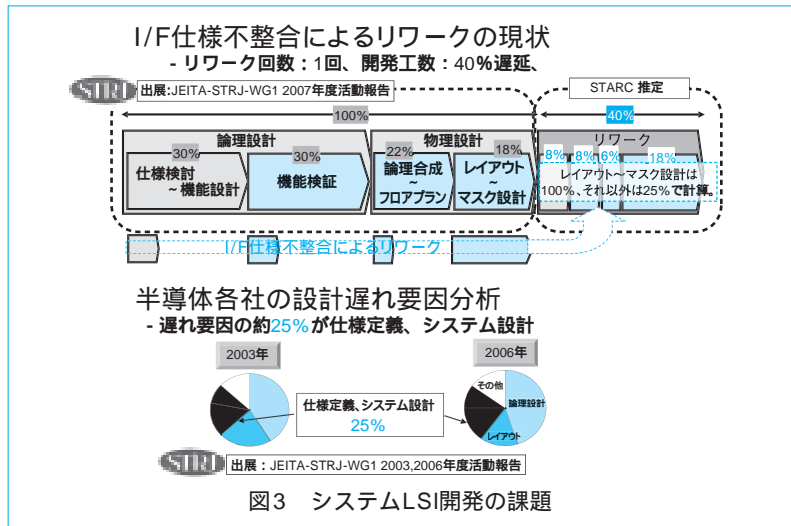
I/F仕様からソフトウェア検証用のモデルを生成する環境を開発します。具体的には、組み込みソフトウェア技術者がソフトウェアを検証するための市販のシミュレーション環境で使う、システムLSIのモデルを生成します。

推進体制

解決すべき課題がシステムLSI業界内に閉じておらず、組み込みソフト業界、EDA業界、および学界との境界領域に存在するため、問題解決には異分野の専門知識の集結と連携が必要です。

とくに、明確で曖昧性のないI/F仕様記述にするために、仕様表現能力を数学的に証明する必要があり、学界の極めて高度な専門知識の導入が必要とされます。今年度は情報科学関係の大学院との共同研究を進めています。

来年度以降、独立行政法人 情報処理推進機構 ソフトウェアエンジニアリングセンターを経由した組み込みソフトウェア業界との連携や、自動車業界との連携を視野に入れて活動を進めていきます。



活動

本プロジェクトは2008～2010の3年間のプロジェクトですが、1年目で2年目以降の活動の詳細化と見直しを行います。今年度は「仕様記述法」を中心に「標準化技術」（無償で一般公開し活用を進める技術）の基礎調査を行います。上期は既存の仕様記述言語、それに伴う検証技術、最終的にモデルを提供する高速SW検証環境の調査を行い、基本とする記述形式の選定と拡張案を策定する基礎を固めました。

まだまだ、やるべきことが山積していますが、地道に進めていくつもりです。当開発室へのご理解とご協力をお願いいたします。

- STARCAD-Clouseau -

開発第2部 テスト&故障解析開発室 室長 **相京 隆**

まえがき

テスト&故障解析開発室では、2006年4月から5年間の計画で、45nm、32nmのそれぞれのプロセステクノロジーにおけるSoC向けのテスト&故障診断プラットフォーム「STARCAD-Clouseau」の技術開発プロジェクトを開始しております。

このプロジェクトは二つのフェーズに分けて推進していきます。フェーズ1では、2006年4月からの2年間で45nmプロセステクノロジー(44メガゲート、700MHz)を対象としたテスト・故障診断技術の開発を行いました。

フェーズ2では、2008年4月から2011年3月までの3年間で、32nmプロセステクノロジー(88メガゲート、1GHzを目標)を対象としたテスト・故障診断技術の開発を行います。

STARCAD-Clouseauの開発は、「次世代テスト技術」、

「次世代故障診断技術」、そして、IEEEの標準であるSTIL (Standard Test Interface Language) を中心にした「標準準拠テスト環境構築」の三つのテーマを柱として技術開発を行っております(図1)。図2にフェーズ1、フェーズ2を合わせた5年間の技術開発ロードマップを示します。これらの成果は毎期クライアント各社にリリース、技術移管を行っており、今後も行っていく予定です。

今回は、2008年4月からスタートしたフェーズ2の活動の概要について各テーマごとにご紹介いたします。

次世代テスト技術開発の概要

フェーズ2における次世代テスト技術のテーマは、「大規模化・高機能化」、「低電力設計」、「微細化・ばらつき増大」に対する対応です(図3)。最初の大規模化・高機能化に関しては、EDAツールの共同評価を中心に対応していき

ます。これらに関しては、ロジックBIST (Built In Self Test) / 圧縮テスト、メモリBIST/BIRA (Built In Repair Analysis) / BISR (Built In Self Repair) として、高速シリアルテスト用のテスト手法等の既存のEDAツールの改善、エンハンスにより実現可能であると考えています。よって、最新のEDAツールのタイムリーな評価を可能とするために、ベンチマーク回路の整備、EDAベンダとの協力が重要な課題と考えています。

2番目の低電力設計に関しては、当室で開発を行った「見積り情報を利用した電力・ノイズ考慮DFT (Design for Testability) / ATPG (Automatic Test Pattern Generation) 技術」の実用化、および、それらを統合した総合対策メソッドロジの開発を行います。この見積り情報を利用した電力・ノイズ考慮DFT/ATPGに関しては、フェーズ1で基礎実験を行い、基本的な機能、および、その効果の確認を実施してきました。今後の課題としては、クロックゲーティング技術等を利用したSoCの全体的な電力対策とIR-Drop等に着目した局所ノイズ対策を統合した電力・ノイズ対策メソッドロジの開発と考えています。

3番目の課題である微細化・ばらつき増大に対しては、先端プロセス対応テストを開発していきます。これは、微細化により従来の一般的な単一縮退故障、トランジション故障等を元に生成した

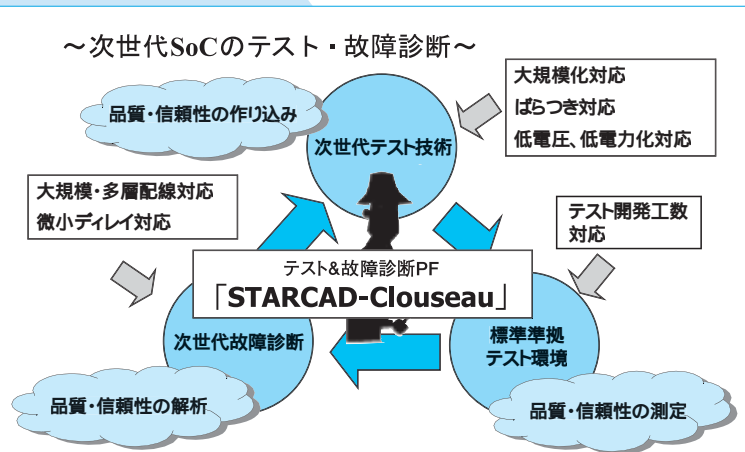


図1 テスト&故障診断プラットフォームのコンセプト

FY	2005	2006	2007	2008	2009	2010
Technology	90nm	65nm	45nm	45nm	32nm	32nm
ゲート数/周波数	22Mゲート/500MHz	44Mゲート/700MHz	44Mゲート/700MHz	88Mゲート/1GHz	88Mゲート/1GHz	88Mゲート/1GHz
目標		45nm世代のテスト・故障診断の技術の確立と実用化		32nm世代のテスト・故障診断の技術の確立と実用化		
次世代テスト技術		EDAツール共同評価 ロジックBIST、メモリBIST 電力・ノイズ対応テスト フロー構築/基礎検証	EDAツール共同評価 BIST継続評価 品質評価基準 DFT向け論理合成/検証	電力・ノイズ対応テスト (フロー実用化、メモリ開発/電力対策/ノイズ対策 総合)	先端プロセス対応 事前調査	先端プロセス対応テスト実用化 (微細化不良対応 SSTA対応 高信頼化対応)
次世代故障診断技術		EDAツール 共同評価	診断考慮テスト ブリッジ故障	診断考慮テスト生成 遅延故障		EDAツール 共同評価
標準準拠テスト環境構築	STIL活用ガイド 1450.0&.2	STIL活用ガイドの作成 1450.1&.3&.6	遅延故障診断 経路依存故障診断	遅延故障診断 経路依存故障診断	遅延故障診断 クロック系故障診断	STIL活用ガイドの作成(1450.4 / 1450.5 / 1450.7&.8) STILテスト開発フローの構築・整備

図2 開発ロードマップ

テストパターンでは見逃してしまうような不良を、統計処理による異常値選別等の手法でテストして成果を出していることが報告されており、フェーズ1ではこれらの調査、課題抽出を行ってきました。フェーズ2では、従来は理論的裏づけなしに行われていたこれらの手法に対して、新たな故障モデル、テスト手法、テストパターン生成手法の検討や実チップでの評価を実施して、理論的な解析、および、体系的な実用化を行っていく予定です。

次世代故障診断技術開発の概要

フェーズ2における次世代故障診断技術のテーマは、ディレイ故障診断技術です(図4)。近年の微細化によりディレイ不良の原因となる抵抗性オープン、抵抗性ショート等の欠陥の増加、さらに、タイミング最適化ツールの性能向上等により、タイミングマージンが減少し、微小なディレイ不良でもシステム動作に影響を及ぼすことが多くなっています。一方、不良の物理解析技術でよく使われる発光解析等ではディレイ不良の観測は困難となってきました。よって、ソフトウェアでのディレイ不良に対する故障診断技術が重要となっています。フェーズ1では、ブリッジ故障の診断精度、故障絞込み数を改善するテストパターン生成機能の評価を行ってきました。フェーズ2の初年度は、ディレイ故障の診断精度、故障絞込み数を改善するためのディレイ故障診断用のテストパターン生成機能について評価、実験を行います。

標準準拠テスト環境構築の概要

フェーズ2における標準準拠テスト環境構築のテーマは、設計からテスト、故障診断まで、STILでの互換性が100%保障されたテスト環境を構築、整備することです。これには、二つのアプローチで望みます。一つ目は、フェーズ1でも活動を行っていた「STIL活用ガイド」の作成、改版を実施し、IEEE STIL-WGや米国STC等の海外の標準化団体と連携してSTILの標準化を加速していくことです。これらSTIL推進の外部団体との関係を表したものを図5に示します。二つ目は、フェーズ2からの新しい取り組みとして、STILの活用があまり進んでいないシミュレーション等の設計環境において、STIL利用の標準的なテスト開発フローを整備・推進していくことです。

おわりに

以上の技術開発は必要に応じ、技術サブワーキンググル

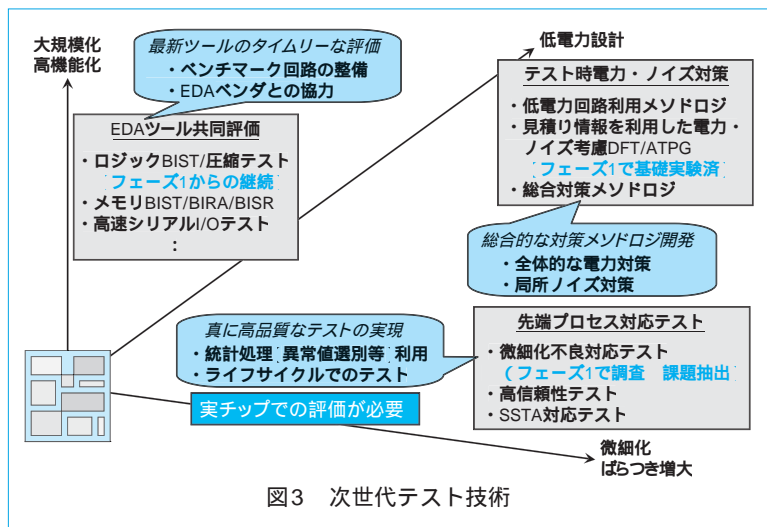


図3 次世代テスト技術

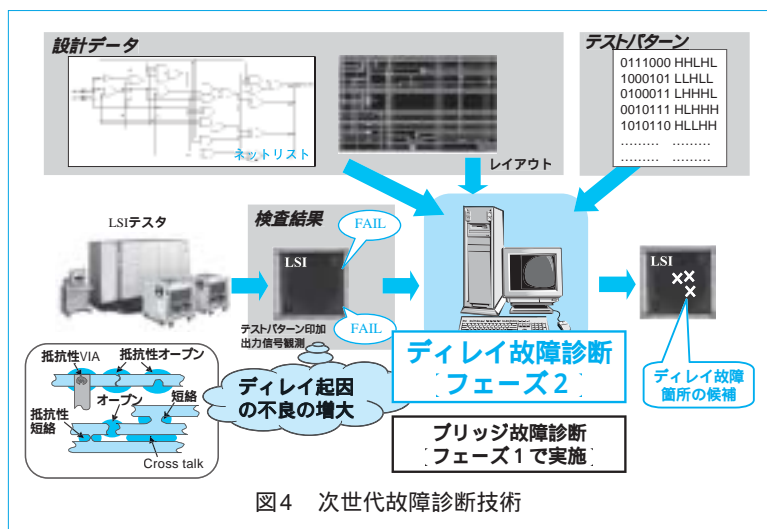


図4 次世代故障診断技術

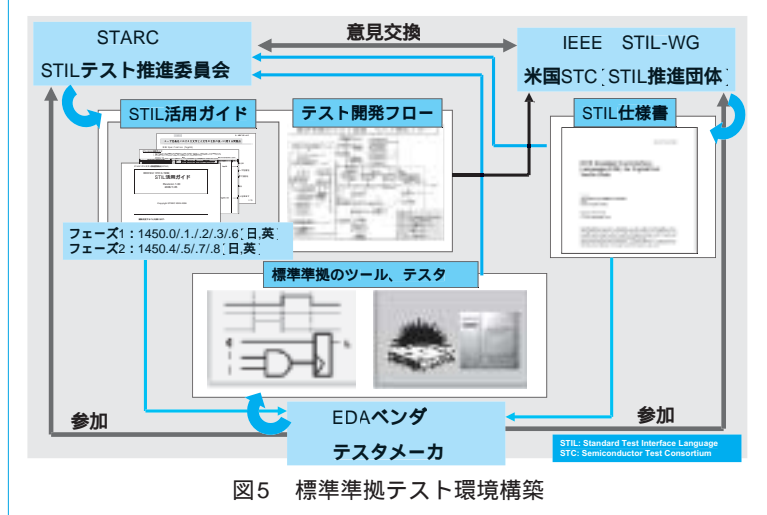
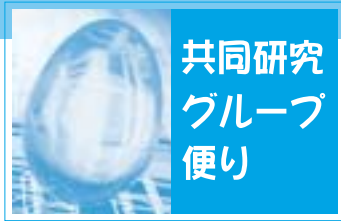


図5 標準準拠テスト環境構築

ープを開催し、クライアント各社からのメンバーの方々との議論を通し、EDAベンダに働きかけながら進めております。さらに、各社のテスト&故障解析支援委員の方々には、技術やリソースに関してご支援をいただいております。これらの活動を通し、我々は引き続き新世代にふさわしいテスト技術、故障診断技術、テスト環境を開発して行きたいと考えております。

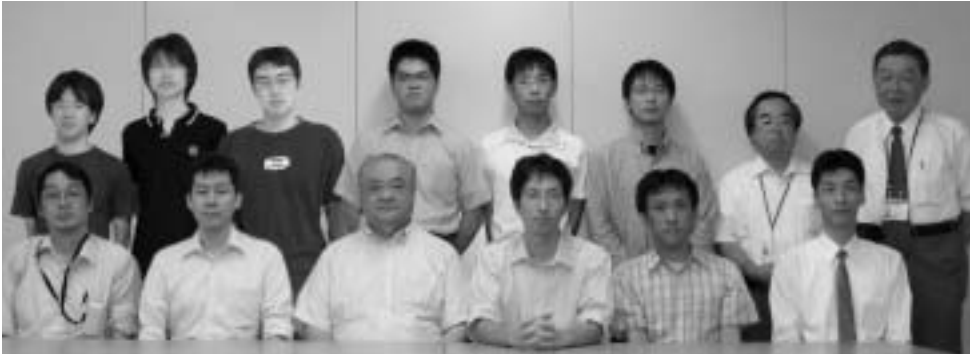


共同研究
グループ
便り

北村研究グループ

テーマ名 異種命令セットを同時に実行する
マルチスレッディング・プロセッサの構成

研究代表者 広島市立大学 情報科学部 情報工学科 教授
北村 俊明 (きたむら としあき)



後列左から 元安(広島市立大M1) 山下(同 M2) 塩田(同 M1) 中田先生(奈良先端大)
市来(同 M2) 吉村(同 M2) 大西上級研究員(STARC)
宮本上級研究員(STARC)
前列左から 須賀客員研究員主査(富士通) 吉瀬先生(東京工業大) 北村先生(広島市立大)
中島先生(奈良先端大) 嶋田先生(京都大) 宮本客員研究員(東芝)
(2008年10月現在 敬称略)

研究室現況紹介

この共同研究は、広島市立大学のコンピュータシステム研究室の北村と、奈良先端科学技術大学院大学の中島先生との議論の中から出てきたテーマで、東京工業大学の吉瀬先生、京都大学の嶋田先生にもブレインとして入っていただき、大学をまたいだ研究組織とSTARCの共同研究として2006年からスタートしました。また、2007年からは、中島研に着任された中田先生も大学側スタッフとして活躍していただいています。この間、広島市大・奈良先端大合わせて12名の院生が研究に参加し、すでに7名は修了して実社会で開発業務に携わっています。

STARCテーマ内容および共同研究状況及び成果紹介

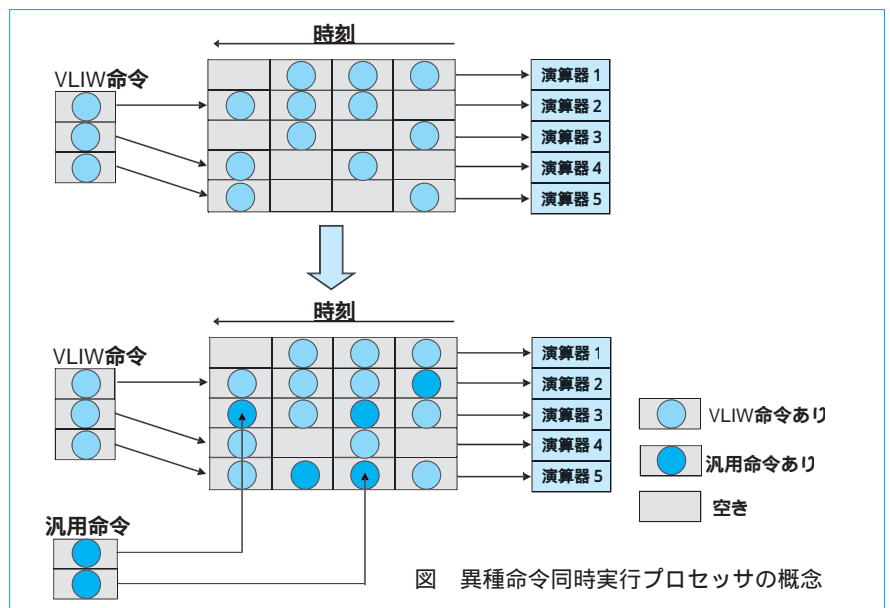
この共同研究が始まる前から、中島先生と共同で、VLIW方式プロセッサ

しかし、システムを構成するときには、システム制御のための制御プログラム/オペレーティングシステムの実行が必須となります。この制御プログラムは基本的に並列度が少なく、VLIW型プロセッサのように並列実行機能があってもうまく利用することはできず、無駄を承知で使うか、別に汎用プロセッサを装備しなければなりません。

VLIW型プロセッサも常にすべての演算機能を使っているわけではないので、この空き演算スロットを使って制御プログラムを、ちょうど同時マルチスレッディング(SMT)マシンのように実行できないか、というのがこの共同研究の出発点です。

具体的には、図に示すような構成を持ったプロセッサとなります。オペレーティングシステムの移植を容易にするためには、すでに移植されている命令セットを用いることが近道で、今回はARMの命令セットを採用しました。このため、命令実行のための演算機能には、アプリケーション用のVLIW命令セットに必要な機能以外に、最小限の機能追加は行いますが、ARM命令から本プロセッサの演算機能への翻訳とVLIW命令の空きスロットにその命令を挿入する操作は、ARM

を用いることで、画像処理を低消費電力で実現する研究を行ってきました。他の方式、例えばスーパスカラ方式と比べて、事前にアプリケーションの持つ並列性をコンパイラで検出しておくため、消費電力量を削減できることがわかりました。



客員研究員主査からのコメント

富士通研究所
システムLSI開発研究所プロセッサソリューション開発部

須賀 敦浩

近年のマイクロプロセッサは、一度に実行できる命令数が8命令、動作周波数が3GHzに達しています。このような従来の方式のマイクロプロセッサは、性能的にも消費電力的にも限界に達しつつあります。

このような限界を打開するための取り組みは、2種類あります。一つは、命令レベルに変わるスレッドレベル並列性の導入です。もう一つは、1チップのチップを搭載するヘテロマルチコア技術です。このヘテロマルチコア技術は、各々のアプリケーションを実行するのに得意なプロセッサを複数チップに搭載するもので、デジタルTVや携帯電話などのプロセッサ技術としても使用されているものです。このヘテロマルチコア技術は、企業も大学も、盛んに行われている研究です。

さて、広島市立大学 北村教授グループは、上記二つの技術を融合させ、単一のコアでヘテロマルチコアを実現するという、画期的なテーマに取り組みられています。米国主導なマイクロプロセッサに、ヨーロッパ勢中心に組み込みシステムの研究も盛んに行われてきた今日、日本発の新しい技術を持つマイクロプロセッサの研究に取り組んでいただいています。STARCの研究としては、これまでの2年間で、異なるプロセッサの命令を実行するプロセッサコアのシミュレータを開発し、また、実際にLSIを用いて実証実験をしようとしていました。また、学会での成果発表も盛んに行っており、すでに多くの学会で成果を発表していただいています。この北村先生グループは、北村先生と奈良先端大学 中島教授の2研究室が合同で研究されており、さらに東京工業大学 吉瀬先生、京都大学 嶋田先生が議論に加わるという、複数の大学に跨った取り組みをされており、これまで研究成果は、北村先生および中島先生のご指導のもと有能な学生さんが積極的に取り組まれた成果だと認識しております。

さて、そんな、広島市立大 北村教授グループのSTARCとしての活動は、今年で最終年度となります。

これまでの成果を生かしつつ、産業界に強力なノウハウを移転していただけるよう期待しつつ、客員研究員一同、最後まで、最大限の支援を続けさせていただこうと考えております。

ぜひ、PACT、MICROという世界的に有名な学会での発表ができるように期待しております。

命令デコード部で行っています。

現在までに、ソフトウェアシミュレータを作成して、いくつかのベンチマークプログラムを走行させ、性能データを取得しました。今回の研究では、「本当に効率よく実行できるのか」「アプリケーションスレッドのみ走行して汎用命令のスレッドが待たされ続けるということはないのか」逆に「汎用スレッドのためにアプリケーションスレッドの実行が遅らされるということはないのか」ということが、一番に明らかにしなければならぬ点でした。簡単なベンチマークをアプリケーション命令セットとARM命令セットで用意し、それらを単独逐次で実行したときより、混在して実行することで実行時間は平均29%短縮でき、また、アプリケーションスレッドの実行時間増加も平均16%と大きくないことが分かりました。

現在、より大きなベンチマークでの評価を行うためと、同じプログラムの混在実行でも実行の相対的タイミング(位相のイメージ)のずれ方で実行の振る舞いがかなり変わることが分かっているので、各種条件での観測、および実際の消費電力測定のため、実チップを製作しているところです。

大学側から見て産学協同に関して日頃感じていること

共同研究でうまく行かないケースのひとつに、意思疎通の不足があると思います。お互いが遠慮し合って、こうありたいという方向性をはっきり主張しないと、お互いがお互いの成果に不満を持つ、というような行き違いが生じてしまうように思います。

今回の共同研究では、我々大学側も、実用化できる研究でありたいという気持ちがあるし、企業の立場で

議論に参加していただいた客員の方々には、「どうせ大学の研究だから」というあきらめを持たずに、率直に議論していただいたと思います。このような議論のやり取りから、お互いの信頼関係が築け、その上に産学協同のプロジェクトが成立するのではないかと考えています。

研究代表者抱負

我々大学は研究機関であると同時に教育機関でもあります。今回の共同研究プロジェクトは、我々にとっては、いかに産業界で使い物になる技術者をより多く排出するかということも、ひとつの目標になります。私自身も企業にいたころ、何度も設計ミスをしてLSIのリメイクを出して、失敗という経験を積むことで一人前の技術者に育ててもらったと思います。今考えれば、ずいぶんおらかな時代だったといえます。今回のプロジェクトでは、チップを製作する一連の流れを体験できたことが学生たちには一番の経験になったと思います。また、学生たちが設計をしていて、失敗しそうなことが分かっているにもかかわらず、後でリカバリーできそうな失敗なら、あえて失敗を経験させ、その代わりに「何が悪かったのか」「どうすると回避できたのか」を考えるように指導してきました。これで一皮むけた技術者に育ってくれることを期待しています。

最後になりましたが、主査の須賀敦浩氏(富士通研)、宮本幸昌氏(東芝)、STARCの宮本俊介技監、大西洋一上級研究員の皆様には、進捗に出戻りの多い研究にも関わらず、的確なご意見をいただきありがとうございました。我々の研究だけでなく、学生たちが実社会で開発業務に携わるようになったとき、これらのご意見が、より実感を持って理解できることと信じております。



共同研究
グループ
便り

川人研究グループ

テーマ名 高速高分解能A/D変換器の低電力設計技術に関する研究

研究代表者 静岡大学電子工学研究所 教授

川人 祥二(かわひと しょうじ)



後列左から 全(D1)、定永(B4)、飯田(M1)、安富(D1)、繆(研究生)、志礼(M2)、森上級研究員
前列左から 清水客員研究員(ソニー)、谷客員研究員主査(三洋)、川人教授、伊藤助教、須志原客員研究員(パナソニック)、蔵内客員研究員(NECEL)
(2008年10月現在 敬称略)

研究室紹介・ 研究代表者の抱負

私たちの研究室は、1999年10月に発足し、9年が経過したところですが、一貫して画像関連のアナログ、ミックストリグナル回路、デバイスについての研究を行ってきています。STARCとのA/D変換器関係の最初の共同研究も1999年に始まりましたので、研究室の一研究領域として常にSTARCとの共同研究のテーマがあり、多くの学生などが関わってきました。現在研究室には、助教1名、博士課程学生9名、修士課程学生6名、学部学生4名等が所属しています。STARCとの共同研究テーマは、主に大学院博士課程の学生の研究テーマとして実施し、それらの研究で鍛えられた学生が、STARCクライアント会社を含めた大手半導体

企業、ベンチャー企業などで活躍しています。

A/D変換器の開発は、最近非常に競争が激しくなり、ISSCCをはじめとする集積回路関係の国際会議では、極めて多数の論文が投稿され、論文の採択率が極めて厳しくなっています。最近の高速高分解能A/D変換器の性能の進展を調べてみると、Figure of Merit(消費電力を、サンプリング周波数とSNRで規格化したもの)の改善は、ほぼMooreの法則に従っています。10b以上の高分解能のA/D変換器では、集積回路の微細化技術の進展が必ずしも直接的に性能向上に結びつきません。A/D変換器の研究開発に携わる世界中の研究者・技術者の回路技術・アーキテクチャの知恵の積み重ねと、テクノロジーの進展が結びついて、Moore's lawに則った指数関数的な進展がなさ

れているといえます。このような大変競争の激しい分野で、本研究テーマは真っ向から勝負をしているわけですので、大変苦戦をしていますが、その分やりがいもあり、また研究室の技術レベルを向上させるという意味においてもたいへん有益なテーマであると考えています。

「技術レベルを向上させること」。これには、こだわりを持っています。日本の大学からのISSCC発表論文数が少ないことに対する批判記事をたまに目にします。一方、今年はノーベル賞を4人の日本人が受賞しました。これは日本人が基礎研究に向いているということの意味しているわけではないと思います。優れた頭脳をもった多くの研究者を擁する日本の大学からのISSCCでの論文が、なぜそれ

ほど増えていかないのか。ISSCCは、もの(チップ)でもって世界最高の性能を実証する必要があり、その実証のために多大なエネルギーを注ぐ人が、まだそれほど多くないからでしょうか。ISSCCに論文を通すことの重要性の認識がそれほど高くないことや、その背景となる日本の大学の事情もあるのかも知れません。しかしISSCCでの発表が少ないと、世界は日本の大学に対して厳しい目を向けることも事実です。ISSCCに論文を通すための戦略はいろいろと考えられますが、いままでにない性能を実現することが最も近道です。しかし、そのためには、それを可能にする新しいアイデアに基づき、性能実証が行えるだけの技術力を持たなければなりません。A/D変換器を研究テーマとした場合、その性能がしっかり出せるようにする設計技術力などを確立するには、かなりの時間がかかりますが、私たちの研究室では、STARCとの10年近い共同研究を通してそれらが蓄積され、大きな資産にな

っています。私たちの研究室とSTARCとの共同研究のISSCCでの成果論文としては、2002年のA/D変換器の論文がありますが、最近はA/D変換器関係はなかなか通してもらえません。負けずに今後もISSCC論文を生みだす努力を継続し、日本の大学の評価を上げるのに微力ながら貢献したいと考えています。これまで研究室としてはISSCCで8件の発表を行って来ていますが、「あの出来の悪い川人でも、結構頑張っている。ならば、うちもちょっと頑張れば。。。」ということで、論文投稿者が増えるという間接的な効果にも期待したいと思います。

共同研究の概要と成果

STARCとの共同研究テーマとしては、高速高分解能A/D変換器を低い電力消費で実現するための回路やデジタル補正技術について研究を行っています。要素技術は三つあります。一つは、最終値予測に基づくプリチャージ技術を用いたパイプラインA/D変換方式です。これは、比較器の数を少し増やして、回路の応答を予測し、最終値に近い値にサンプリング容量をあらかじめ充電しておくことで動作を加速する方式です。14b A/D変換器に適用し、電力効率の大幅な改善を確認しました。二つ目は、不完全応答による誤差の線形化と、デジタル補正です。スルーイングのないアンプを用いることで不完全応答による誤差の入力依存性を線形化できることを示し、これを15b A/D変換器に適用して、熱雑音を考慮したFOMでは、最も優れた値を得ることができました。三つ目は、これらをインターリーブ動作させるときのクロックスキューのオートキャリブレーションです。電荷注入によってクロックスキューをバックグラウンドで測定する手法を考案し、バックグラウンドキャリブレーションを試みっていますが、まだ十分な性能が出ていません。しかし、フォアグラウンドでの補正では、インターリーブされたS/Hを用いる方式として最も高い実分解能を達成しました。

比較的最近の研究の成果として、2006年および2007年のSymp. VLSI Circuits、2008年のCICC等で発表を行っています。また、Journal論文としては、2007年3月のIEEE J. Solid-State Circuitsに、容量結合で低電圧時(1V)のひずみを低減と低電力化を実現した10b 100MS/sパイプラインA/D変換器に関する論文が掲載されました。また、IEICEの英文論文誌において、2006年には、パイプラインA/D変換器の低電力設計に関して、2008年には、パイプラインA/D変換器のデジタルアシスト技術に関して、招待論文を執筆しています。

最後になりますが、有益なご助言とご支援をいただいた上級研究員、客員研究員の方々、関係者の方々に、紙面をお借りして感謝申し上げます。

客員研究員主査からのコメント

三洋電機株式会社
研究開発本部 アドバンスデバイス研究所

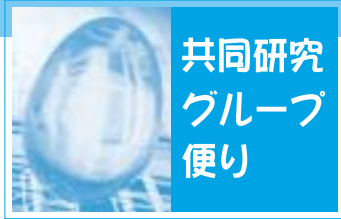
谷 邦之

アナログとデジタルをつなぐ重要な役割を担っているA/D変換器は、システムLSIに欠くことのできないキーコンポーネントであり、その性能がシステム全体の性能を決める鍵を握っているといっても過言ではありません。近年、デジタル通信やデジタル記録の技術の進展により、高速化・高分解能化などA/D変換器への要求が高まる一方で、低電力化も強く求められています。また、アナログ回路は、デジタル回路とは異なり微細化の恩恵を受けにくいいため、高性能化と低電力化を両立したA/D変換器を実現することは重要な課題となっています。

A/D変換器にはさまざまな回路方式があります。その中で、パイプライン型A/D変換器は、通信用途や映像用途に使用されており、その幅広い適用範囲から主流をなしているといえます。しかし、このパイプライン型A/D変換器は、オペアンプを使用しているために高性能化と低電圧化の両立が困難になってきています。本研究では、さまざまな観点からこのパイプライン型A/D変換器の高性能化に取り組んでおり、1)オペアンプの最終到達地点を予測し、負荷容量をプリチャージすることにより、MDACを高速化する技術 2)オペアンプの応答特性不足誤差を線形化した上で、応答時間不足をデジタル領域で補正する技術 3)低電力化に有効となるS/H回路のインターリーブ動作のためのスキューやRCミスマッチを補正する技術などを研究しています。

一般的に、パイプライン型A/D変換器の高性能化は、その重要な構成要素であるオペアンプの高性能化ともいえるのですが、本研究ではアーキテクチャレベルの開発や、微細化によってデジタル回路の規模拡大が許容されることを前提としたデジタル補正技術の開発など、アナログ回路の範疇を越えたアプローチで研究を進めており、その研究成果が期待されます。

A/D変換器の研究は、デジタル回路を積極的に活用した補正技術など、新たな局面を迎えているといえます。本研究では、アナログ回路技術だけでなく、評価技術やデジタル回路技術など広範囲な知識が必要となります。研究成果に加えて、このような環境で知見を育んだ学生メンバーが半導体業界で活躍されることも期待しています。



共同研究
グループ
便り

江利口研究グループ

テーマ名 プラズマプロセスによるダメージ層形成メカニズムの解明と抑制技術に関する研究

研究代表者 京都大学大学院 工学研究科 航空宇宙工学専攻 准教授
江利口 浩二 (えりぐち こうじ)



後列左から 上田(M2)、松田(M1)、中久保(M2)、
吉丸上級研究員(STARC)
前列左から 太田助教、江利口准教授、石川客員研究員(富士通研)、
林客員研究員(Panasonic)

(2008年10月現在 敬称略)



斧教授



野田客員研究員主査
(OKIセミコンダクタ)

最先端システムLSIに目を向けますと、最小寸法が30nmレベルにまで微細化し、プラズマプロセスには、原子レベル制御性が求められています。その一方で、デバイスとプラズマとの好ましくない相互作用：プラズマダメージは、デバイス特性・信頼性を劣化させる現象としてこれまで精力的に研究されてきました。しかしながら、プラズマダメージは、毎世代、多くの場合、見えない部分で存在しデバイス特性劣化を誘発させています。将来のデバイス高性能化実現のために、上記コンセプトのもと、STARC共同研究をスタートさせました。

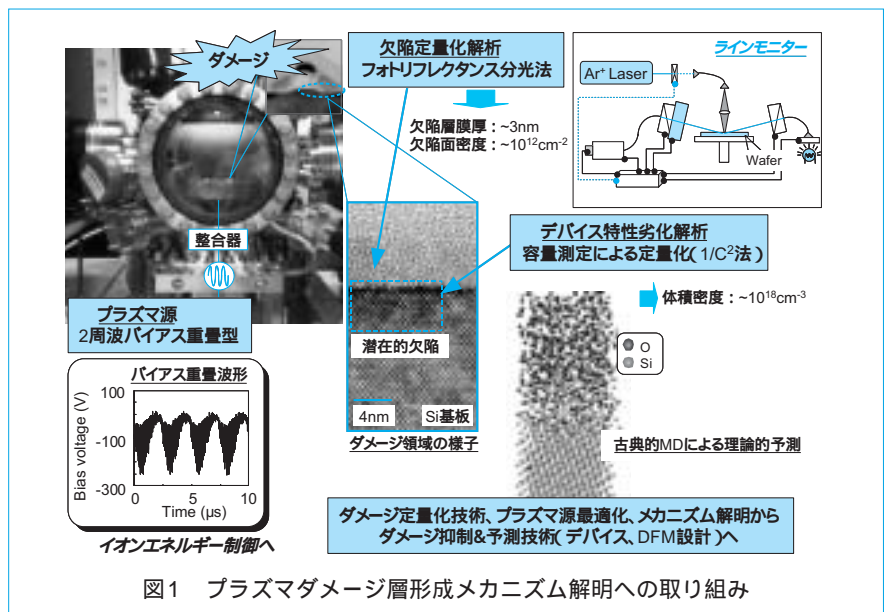
本研究テーマでは、プラズマによるSi基板表面近傍(～5nm)の欠陥層(ダメージ層)形成に注目しています。例えば、各社から発表されるデバイス構造断面写真を注意して観察しますと、殆どすべての世代にわたって、ソース/ドレインエクステンション領域が少し掘れ下がった状態になっており、その寸法がほぼ同じであることに気づきます。この掘れ量(Siリセス量)は、プラズマからのイオン衝撃によって誘発されていることは広く認識されています。しかしながら、イオン衝撃のエネルギー抑制は、プラズマプロセスを使う限り、完全には抑制できない、困難で宿命的な課題です。また、一度

研究室の紹介

システムLSIをはじめとする機能素子の高性能化を支える製造技術の中で、プラズマプロセスは重要な役割を担っています。プラズマプロセスは、その高い反応性、低温プロセスという観点から、最先端システムLSIの製造工程だけでなく、Si以外の材料の表面改質、宇宙産業用途、バイオ・医療での反応(滅菌、滅菌)など、多くの分野で利用されています。当研究室(斧研)は、斧高一教授、江利口、太田裕朗助教のスタッフ3名と、博士後期課程(社会人を含む)5名、博士前期課程10名、学部4年生5名の研究グループです。プラズマ応用としての超微細加工プロセスの他、超小型推進器向けマイクロプラズマスラスタなどの研究開発を行っております。

STARC共同研究テーマと進捗状況

「プラズマを知る、プラズマダメージを測る・知る、デバイス特性劣化を予測する」



OKIセミコンダクタ株式会社 生産本部
デバイス開発部 新機能素子開発グループ

野田 周一

各種半導体デバイスの微細パターン形成のためにはプラズマエッチングが欠かせません。今までプラズマ誘起ダメージ（PID）はたびたび深刻な問題を引き起こしてきましたが、そのつど現象に対する原因究明と対策がなされてきました。初期には、装置 基板間に流れるサージ電流や基板チャージアップ電圧（ストレス電流）による絶縁破壊や耐圧劣化が問題とされ、装置構造の最適化、プラズマ制御性・均一性の向上などのハードの改善がなされました。また、PIDに対する理解が向上してくると、より高性能の装置が開発され、ダメージの少ないプロセスの開発にも重きが置かれるようになりました。さらに、定量的な信頼性データが蓄積されてくると要求仕様を満たすための耐ダメージ回路設計が行われるようになってきました。

MOSFET素子の微細化・薄膜化はすでにナノメータスケールに達していますが、今後も続く超微細化トレンドにおいては極表面領域でのPID生成がより深刻な問題となってきます。どんなに低損傷な装置・方法を用いても、加工に付随する最低限のエネルギー粒子（イオンやフォトン等）の曝露は不可避で、例えば接合深さがダメージ層とコンパラになってくればデバイスとして成り立たなくなるなどの問題が顕在化してくるからです。

当研究グループでは独自の極表面ダメージ解析技術（フォトリフレクタンス分光および分光エリプソメトリ）の開発を柱に、プラズマ制御・診断技術、電気特性評価技術、さらにMD計算による動的構造検証も加えた複数技術をシステムティックに統合し、ダメージ形成（欠陥構造・深さや密度）とプラズマ諸量（プラズマ密度やイオンエネルギー等）との相関、プラズマ諸量と電気特性（C-V特性等）との相関を明らかにすることにより、プラズマ諸量が電気特性にあたえる直接的な影響を説明できる機構のモデルリングを目的としています。これが達成されたときのインパクトは大きく、例えば、非接触・その場観察でのダメージ評価が可能になったり、ダメージによる影響をTCADにより予測可能となったり、ダメージの影響も含めた回路設計が可能となったり、低ダメージのプロセス設計に応用されたりといった多くの波及効果が期待されます。

プロジェクト期間もあとわずかとなってきていますが、これらの多くは具体的な形になりつつありその成果はIEDMでも採択され認められました。研究から得られた成果をひとつでも多く実用のものに発展させていっていただきたいと思います。また、江利口先生のご指導の下、学生諸子の自発的で活発な研究姿勢にも非常に頼もしいものを感じました。皆様方の今後のご活躍も期待します。

形成した欠陥は完全には除去できないものであることも理解しなくてはなりません。つまり、このダメージ層は制御困難であり、デバイス特性のバラツキを誘発します。これら課題を解決するためには、まず、プラズマパラメータとデバイス構造・特性への影響を定量的に理解しなくてはなりません。そのためには、ダメージ量を定量的に解析する必要があります。前置きが長くなりましたが、ダメージ量を定量化する技術を構築し、プラズマプロセスパラメータとデバイス特性との相関関係の解明を目指し、低ダメージ化への指針を探究することが、本研究テーマの狙いです（図1）。

これまで3つの中心的課題に分けて取り組んできました。ダメージ（欠陥）の定量化手法の構築：光学的な手法として、量産現場での膜厚解析に広く利用されているエリプソ分光を基盤に改良を加えた変調反射率分光法（フォトリフレクタンス分光法：PRS）を使います。PRSでは電子の光学遷移を利用し誘電率の摂動量を解析しています。そのため、表面状態に敏感で、一般的な物理解析（TEM、XPS、ESR、..）よりも欠陥感度の点で優れていると我々は考えています。プラズマ源の開発：近年、イオンエネルギーを制御する目的で研究されている2周波バイアス重畳機能（13.56 MHzと400 kHz）を備えた誘導結合型プラズマプロセスチャンバーを作製し、ダメージ形成に対するその重畳効果を上記の解析手法により明らかにしつつあります。電気特性劣化メカニズム解明：最終的にはデバイス特性への影響を明らかにする必要があります。我々は、Si基板表面近傍の電気容量値変化を解析します。それら変動量と形成された欠陥量の相関関

係を定量化します。

以上、本研究テーマの特徴は、プラズマプロセス～デバイス特性劣化という、インプットとアウトプットの定量的関係をシステムティックに解明することです。これまで、標準的なプラズマ処理により、面密度で 10^{12}cm^{-2} オーダー、体積密度で 10^{18}cm^{-3} オーダーの欠陥が形成されることがわかってきました。これらは、当然ながら無視できない数値です。また、その構造をエリプソ分光法によりインラインでモニターする際の最適な光学モデルを提案してきました。さらに、この結果を古典的分子動力学法により検証を試みております。構築したインフラ（フレーム）により、将来、定量化されたパラメータ解析を通して低ダメージプロセス開発が加速され、広義のダメージ予測・制御が可能となります。このようなインフラ（フレーム）は、将来の高性能LSIの実現には不可欠なものと考えております。なお、本研究活動の成果は、2008年12月に米国にて開催されますIEDMにて発表予定です。

最後になりましたが、本研究テーマでは、(人事異動が何度か発生しましたが、)吉丸正樹様、中村守孝様、中川秀夫様、野田周一様、石川健治様、林重徳様をはじめ関係の皆様方に支えられ、多くの側面でご指導いただいております。とくに、定期報告会での学生への指導という点では、広い視野を持った学生の育成に非常に大きな役割を担っていただいております。学生たちが、STARCプロジェクトを通じて、大学での研究と産業との接点を少しずつ理解しながら、日進月歩で成長しているのを感じております。(残念ながら、私自身の成長は止まっているように感じますが、..)この場を借りまして、皆様に深く感謝の意を表します。

国際学会参加報告

ESSDERC 2008, ESSCIRC 2008

The 38th European Solid-State Device Research Conference
The 34th European Solid-State Circuits Conference

はじめに

9月15日から3日間、英国エジンバラで開催されたThe 38th European Solid-State Device Research Conference (ESSDERC) およびThe 34th European Solid-State Circuits Conference (ESSCIRC) に参加した。ESSDERCは、欧州で最も著名なデバイス・プロセス関連学会であり、回路・デザイン関連学会であるESSCIRCと、同時開催されている学会としても知られている。

ESSDERCとESSCIRCは、元来は別々の学会であったが、2002年から同一会場で同時に開催されるようになった。いまや、プログラム小冊子も2つの学会がまとめられており、ESSDERC/ESSCIRC 2008という一つの学会とみなすことができる。開催地はヨーロッパ各国を巡り、昨年のミュンヘンに続いての開催であるが、開催地色がよく表れる学会のようである。9月のエジンバラは北国らしく、肌寒い小雨まじりの曇り空が続き、街ゆく人達の足並みもすみやかである。エジンバラ国際会議センター内の会場は、落ち着いた雰囲気の中にも議論に熱中する光景が此処でみられた。

今年は、ESSDERCとESSCIRCを合わせ、約30カ国から433件の論文が投稿された。そのうち184件が採択され、採択率は42%である。(ESSDERC: 投稿163件、採択72件。ESSCIRC: 投稿270件、採択118件) 両学会の参加者は約600名で、欧州の参加者が中心であるが、アメリカ、アジアからの参加者も多く、多彩な顔ぶれの学会であった。

学会の特徴

デバイス・プロセス(ESSDERC)と

回路・デザイン(ESSCIRC)の融合を目指していることが、本学会の特徴である。このため、両学会のセッション構成に工夫がなされている。Plenary Sessionは、学会初日の開催に限ることなく、ここでは、ESSDERCとESSCIRCを合わせたJoint Plenary Sessionが、会期中の毎日、午前と午後の最初に開催される。このJoint Plenary Sessionで、二つの学会の参加者が、連日一堂に会することになる。また、ESSDERC、ESSCIRC単独のPlenary Sessionがそれぞれ3件設定されている。さらに、ESSDERC、ESSCIRC合同のJoint Sessionも2件(Process Variability and Yield, Process Stability)設けられていた。

ESSDERCとESSCIRCの共同開催は7回目であるが、技術が多岐、多様になる中で技術者の交流も広がり有用な取り組みである。

発表機関動向

表1に、ESSDERCとESSCIRCを合わせ、各セッションでの論文発表件数を、国・地域別に示す。発表論文は、

一般論文が184件で、12件のPlenary Talkも含めると196件であった。また、図1に、国・地域別の発表件数比較を、図2に、大学、企業との発表件数の比較を円グラフで示す。図1、図2ともに、Plenary Talkを除いた一般論文数で比較している。また、企業とは、大学以外のすべての研究機関を含んでいる。

欧州で開催される学会なので、欧州からの発表が多く、ほぼ3分の2を占めるが、アメリカ、アジア諸国を含め、世界各国からの発表がなされている。今回、国・地域別の発表件数比較で、とくに目立った点は、日本からの発表が増加していることである。これまで、日本からの発表は、10件前後であった。例えば、昨年の日本からの発表は11件(大学7件、企業4件)であったが、今回は、これまでの倍の23件(大学8件、企業15件)の発表があった。研究・開発分野での欧州との関連が増加していることの、ひとつの表れかもしれない。

この学会の特徴は図2に示すように、大学からの発表が非常に多いことである。図にはESSDERCとESSCIRCの合計を示しているが、どちらの学会も同様に、半分以上が大学の発表で占められている。また、企業の発表でも、大学が共著となっている場合が多く、

表1 各セッションでの国・地域別論文発表件数

	欧州		北米		日本		アジア		合計
	企業	大学	企業	大学	企業	大学	企業	大学	
ESSDERC&ESSCIRC									
Joint Plenary Session	2*		2	1		1			6
Joint Session	1	2	1		1	1			6
ESSDERC									
Plenary Session		2			1				3
Regular Session	18	27	1	3	9	4	1	3	72
ESSCIRC									
Plenary Session	2				1				3
Regular Session	29	43	7	11	5	3	7	7	118
合計	52(48)	74(72)	11(9)	15(14)	17(15)	9(8)	52(48)	10(10)	
	126(120)		26(23)		26(23)		126(120)		196(184)

合計での()内は、Plenary Talkを除いた一般論文数を示す。

企業とは、大学以外のすべての研究機関を含む。

* 2件中1件は講演直前に中止となり、実際には発表されていない。

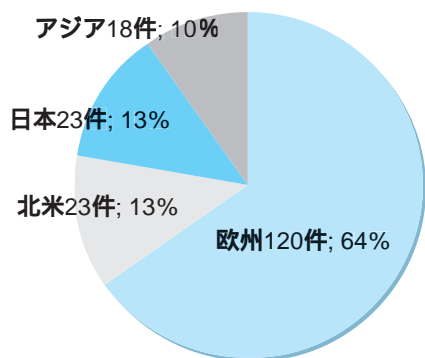


図1 ESSDERCおよびESSCIRCでの国・地域別論文発表件数比較
Plenary Talkを除いた一般論文数で比較している。

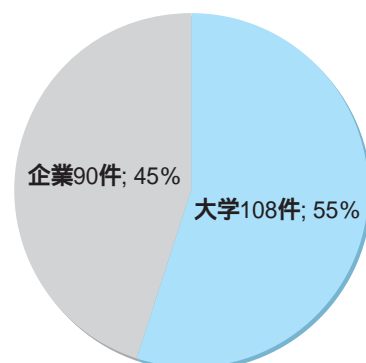


図2 ESSDERCおよびESSCIRCでの大学と企業との論文発表件数比較
Plenary Talkを除いた一般論文数で比較している。

それも含めると、かなりの割合が、大学が関連した発表とみることができ。ナノテクや半導体分野の研究に対する大学の寄与が、よく表われた学会といえる。

学会でのトピック

Plenary Sessionにはその学会のテーマや狙いが込められ、参加者の注目を引く話題、内容が集められている。今回の講演題目は末尾に挙げたとおりである。

Joint Plenary Session (Talks) :

6件の合同プレナリトークには、エネルギー問題に対応するテクノロジーのほか、低コストエレクトロニクスシステムの提案など、大学・企業両サイドから、目新しい講演が企画された。企画されていた“More Than Moore and More Moore in Europe”については、ヨーロッパにおける動向について注目されたが、講演者が来場できなくなり、中止となった。日本からは東大の桜井貴康氏が将来の集積回路の切り札のひとつとして3次元スタックLSIについて講演されたが、その中でユビキタス・エレクトロニクス時代のイメージシステムとして、ワイヤレスパワー伝送シートを用いたデモシステムを紹介され、会場の注目を集めた。

ESSDERC Session :

これまでのESSDERCでは、High-k膜や歪みSiといった先端CMOS関連の発表とともに、ナノテクノロジー関連の

発表や不揮発性メモリ関連の発表が多く見られた。ナノテクノロジー関連の発表は主に大学からであり、また不揮発性メモリ関連の発表は、QimondaやSTMicroelectronicsといった欧州企業や、これら企業から支援を受けた大学からの発表であった。しかし、今回は、先端CMOS関連、とくに、歪みSi、Multi-Chanel、およびGe等のMOSFETの高性能化に関する発表が極めて多いと感じられた。テーマ的には、IEDMやVLSIシンポジウムといった学会に近づいてきたと感じられた。

また、欧州の大学よりの発表からは、大学での研究活動の多くが欧州の公的機関や個別企業よりのサポートを受けていることが見てとれた。代表的なものは欧州の著名なコンソーシアムであるEuropean Framework Project (EU-FP) のサポートであり、PULLNANO (EU-FPの第6次の中の一つのプロジェクト) やIST Project ATOMICS (Advanced Front-End Technology Modeling for Ultimate Integrated Circuits) 等である。Dutch Technology Foundation STW等の欧州内の個別の機関によるサポートや、さらには、フィリップス等の個別企業のサポートも見られた。個別の国や企業として、また欧州全体として、大学での研究活動を支援している姿勢を垣間見ることができた。と考える。

ESSCIRC Session :

文字どおり、回路学会らしく、アナ

ログ的な回路技術に関する発表論文が大多数であり、セッションも全27セッションのうち23セッションを占める。プロセッサやメモリなどデジタル回路に関するセッションは4セッションに過ぎず、発表論文は数少ない。基本的な回路に関するセッションとして、低電力アナログ回路、増幅回路、パワー変換回路、センサ回路、RF回路、高周波回路部品、レギュレータ・ドライバ、A/D変換回路、DLL・PLL・シンセサイザ、など18の各種のセッションが設けられ、新規回路の提案や地道な回路構成の工夫により性能向上を図った論文がいくつか発表されていた。また、最近の応用技術や将来動向を反映した回路に関しては9セッションが設けられ、UWB送受信回路、マルチスタンダードRF回路、60GHz以上の超高周波回路などのセッションがここでも盛況であった。また、報告者にとっては超高周波回路(レーダ)やセンサ、モニタ回路など目新しい回路技術の論文が散見された。

アナログ集積回路は従来から低価格MOSデバイスでの実現を目指して、開発が進んできたと思っていたが、これからはCMOSにとらわれず、性能達成に適したデバイスを用いて、集積回路化を試みようとする機運がいくつかの論文発表や講演から改めて感じとられた。

なお、3件のESSCIRCプレナリトークのひとつで、元ソニーの萩原良昭

氏が、ライフワークのCCD撮像素子開発との中で得た技術開発の教訓を語られた。また、今後のベンチャビジネス開発についても熱弁をふるわれ、印象的であった。

おわりに

本学会に参加し、デバイス・プロセスと回路・デザインの両分野の研究者が同時に参加できるのは、有意義であると感じた。デバイス技術者にとっては、下流となる回路のニーズが肌で感じられ、回路技術者にとっては、上流となるデバイス技術動向を直接的につかむことができるのは貴重である。また、会場の規模が中程度で、質問や意見も出やすく、質疑応答も有益であったと思う。日本からの参加者も多かったが、株主会社については、各社同様に参加というよりは、むしろ参加と不参加が分かれて本学会への注目度に差異が感じられた。

(研究推進部 塚田 敏郎、吉丸 正樹)

Joint Plenary Session (Talks) :

"Emerging Device Nanotechnology for Future High-Speed and Energy-Efficient VLSI: Challenges and Opportunities,"

Robert Chau (Intel Corporation)

"Technology Interfacing for Fabless Semiconductor Companies,"

Vahid Manian (Broadcom)

"Micropower Energy Scavenging,"

Chris van Hoof (IMEC)

"Solving Issues of Integrated Circuits by 3D-Stacking Meeting with the Era of Power, Integrity Attackers and NRE Explosion and a Bit of Future,"

Takayasu Sakurai

(University of Tokyo)

"More Than Moore and More Moore in Europe,"

Michael Thompson

(STMicroelectronics) 中止

"Printed Electronics for Low-Cost Electronics Systems,"

Vivek Subramanian

(University of California, Berkeley)

ESSDERC Plenary Session (Talks) :

"Overview and Future Challenges of Floating Body Ram (FBRAM) Technology for 32 nm Technology Node and Beyond,"

Takeshi Hamamoto

(Toshiba Corporation)

"The Future of High-Performance CMOS: Trends and Requirements,"

Dimitri Antoniadis (MIT)

"High Mobility Ge and III-V Materials and Novel Device Structures for High Performance Nanoscale MOSFETS,"

Krishna Saraswat

(Stanford University)

ESSCIRC Plenary Session (Talks) :

"Information, Energy, and Entropy:

Design Principle for Adaptive, Therapeutic Modulation of Neural Circuits,"

Timothy Denison (Medtronic)

"SOI Design in Cell Processor and Beyond,"

Yoshiaki Hagiwara

(AIPS/AINS Consortium)

"Audio at Low and High Power,"

Marco Berkhout

(NXP Semiconductors)

国際学会参加報告

CICC2008

(Custom Integrated Circuit Conference)

全体状況

第30回目となるCICC2008は、昨年同様シリコンバレーの中心地サンノゼで開催された。9月21日(日)には終日 Educational Session、9月22日(月)から24日までは Technical Sessionが3~4セッション並列で進行し、その間にポスターセッションも月曜日と火曜日に実施されるなど、4日間にわたる充実したスケジュールも昨年と同様であった。

今年は364件の投稿に対し120件が採択され(採択率33%)、Technical

Sessionの総計は24セッション(キーノート、パネルそれぞれ1セッションを含む)となった。採択論文の内訳は、キーノートセッションが1件、レギュラーセッションが119件であった。この他にポスターセッションが49件あった。ちなみに昨年のCICC2007(STARC ニュースNo.34、22ページ参照)では、レギュラー論文採択数が135件(採択率33%)、ポスターセッションが63件で、過去最高の投稿論文数であった。今年の投稿論文数は昨年より減ったが、レギュラーセッションの採択率は昨年と同じ33%であった。投稿数が減ったの

で採択が容易になったとはいえないようだ。

採択論文の状況

レギュラーセッション採択論文の傾向を表1に示す。

地域ごとの採択件数を割合で示すと、日本からは9%(昨年12%)、アジアから18%(昨年10%)、北米から63%(昨年69%)、欧州から9%(昨年9%)と相変わらず北米が突出している。昨年と比較すると、日本と北米が減った分アジアが増えた。北米は絶対数が多いことを考えると、アジアが日本を追い越したことが注目される。企業、大学とも伸ばしている。昨年は日本の大学の発表件数の伸びが注目されたが、今年は半減してしまった。来年の日本の復活を期待したい。

セッション構成を見ると、昨年業界の潮流を反映し2セッションあったバイオメディカル関連は1セッション(#11)に減った。CICCの名前の通り、カスタムICそのものの発表が多いのは例年と同じであるが、何といても今回の特徴は、キーノートプレゼンテーションのタイトルでもある「More Than Moore」である。CMOSがデジタルを中心に引き続き「Moore's Law」に従って微細化と高集積化を進めていく一方で、これを越えた三次元(3D)構造化やMEMSなどの異分野技術の導入が進むと予想され、関連セッションが並んだ(#6、#13、#15、#21)。パネル討論(#10)のテーマも、「Sure, Moore's Law Can Continue, But Should It:」というMore Than Mooreを意識した内容であった。実現したいシステムの規模が増大すると、二次元的なSoCでは急激にコストと開発期間が増大してしまう。これに対して、SiPなどの三次元実装技術を用いれば急激な増大がないので大規模システムの実現が可能になる。このような高密度な

実装で最も深刻なのは熱の問題である。熱の発生を抑えること、伝導や放熱を効率化することなど、各種の技術開発が必要である。キーノートの講演者はSVTC TechnologiesのCEOであるDave Bergeron氏であり、パネル討論のパネリストにはON SemiconductorsのVice PresidentであるJohn Kent氏が含まれていた。この2社は、今までいわゆるファウンドリと異なり、最先端CMOSではなく、これに付加価値を与えるMEMSやバイオテクノロジー、センサーなど多様な半導体デバイスの試作、製品化を支援する。まさに「More Than Moore」に特化したファウンドリである。今後、これを活用して多様かつ付加価値の高い半導体デバイスの製品化が加速されていくと考えられる。この他、微細化に伴って近年盛んに研究されているばらつき関連のモデリング技術の発表も多かった(#2、#8、#11、#14など)。微細化によってデザインルールの爆発が起こっている。ばらつきを考慮して設計することが必須であり、そのために予測可能なモデル

化が必要である。さらにこれを実現するために、ばらつきを測定する方法も重要な研究課題である。招待講演を含めて、これらの最新研究成果が多数紹介されていた。また、火曜日の昼食(別途参加費が必要)と一緒に設定されている講演では、カリフォルニア大学バークレイ校のAlberto Sangiovanni-Vincentelli先生から、「The Intelligent Car: How Embedded Electronics Is Changing the Automobile Business」と題した発表があり、近くのテーブルを回りながら夢を語られた好演であった。

STARC関連の発表

STARC関連の発表としては、#7.7で静岡大学・川人先生がSTARC共同研究成果である15bパイプラインADコンバータについて講演された。また、#8.5で一部STARCが関係した成果を東京大学・新山先生が発表された。今後も継続した成果発表を期待したい。

(Mixed Signal開発室 横溝剛一)

表1 CICC2008採択論文の傾向

(企 : 企業、学 : 大学・研究機関、共 : 共同研究、共同研究の数は産・学が連名になっている論文数であり内数である)

セッション	地域	開発主体	日本			アジア			北米			欧州			合計
			企	学	共	企	学	共	企	学	共	企	学	共	
2 - Statistical Modeling								1	2	1				3	
3 - Power Management			1				2	1		1			1	5	
4 - High-Speed Test, Characterization, & Debug			1					1	1				1	4	
5 - Broadband Circuit Techniques for Emerging Wireless Communications							1		2					3	
6 - Advanced Soc/SiP Integration & Co-Design			1	1				1	1					3	
7 - High Resolution Converters			1				2			4	1			7	
8 - Characterization and Test Methods for Device Variability in Nanoscale			1				1		3	1				5	
9 - Broadband Circuit Techniques for Emerging Wireless Communications									1	1				2	
11 - Compact Modeling									2	3	1			5	
12 - High Speed A/D Converters							1		3	2	2			6	
13 - Biomedical, Sensors and MEMS			1	1			1			3				5	
14 - Advanced SoCs - Techniques and Applications			1				3		1	2	1			7	
15 - IC Technology - More Moore and More Than Moore									1			2	1	4	
16 - Embedded Memory			1						1	5				7	
17 - Clocking Circuits							1		3	3	1		1	8	
18 - Millimeter-Wave Circuit Techniques							3			3		1		7	
19 - Low Power and Non-Traditional RF Tranceivers							2	1		3			1	6	
20 - Advanced Wireline Techniques							1	1	1	4			1	7	
21 - Leveraging the Third Dimension			2				1			4		1		8	
22 - Noise and Oscillator Simulation			1						2	2	1			5	
23 - Analog Techniques							1	1	1	4				6	
24 - Advanced Subsystems for Connectivity and Cellular Radio							1	1	1	3	1	1		6	
総計			7	4	2	5	17	6	19	56	10	5	6	119	



A-SSCC 2008 福岡で開催

IEEE Asian Solid-State Circuits Conference (以下A-SSCCと略す)は、「アジアの半導体産業の急速な発展」「アジア地域での重要性の急増」「アジアに集積回路設計の新しい風を」との目的で、2005年に設立されました。

第4回目となります今年のア-SSCC 2008は、福岡で開催されます。今年のスローガンは「Digital Convergence for Ubiquitous Life Style」です。日本、韓国、台湾、中国を始めとするアジア十数ヶ国および欧米諸国の大学、企業、および公的研究機関の研究者が一堂に会し、半導体集積回路に関する最先端研究成果の発表と討議を通じて、国際的交流を図ります。とくに アジアからの技術情報の収集。アジアへの技術力のアピール。アジアのエンジニアおよび学生のリクルート。日本のエンジニアおよび学生への刺激と啓蒙。アジア各国とビジネスおよび技術の交流。などの場としてご活用ください。

主催者：IEEE SSCS

A-SSCC 2008 組織委員会

学会名：A-SSCC 2008

会場：JAL リゾート シーホーク ホテル 福岡
(福岡市中央区地行浜2-2-3)

開催期間：2008年11月3日(月)～5日(水)

参加費：IEEE会員 (一般) 5万5千円。(学生) 2万6千円。

IEEE非会員(一般) 7万円。(学生) 3万2千円。

詳細なプログラムは、<http://www.a-sscc.org/> をご覧下さい。

皆様のご参加をお待ちしております。



Embedded Technology 2008 ET 2008 出展のお知らせ

組込み総合技術展Embedded Technology (以下ETと略す)は、社団法人 組込みシステム技術協会(JASA)が主催する、「組込みシステム技術」に特化した世界最大級の専門技術展&カンファレンスです。(昨年度実績：出展社数445、来場者26,643人)

旧名称MSTとして発足以来、通算22回目を迎える今回のET2008でも、次世代デジタル家電、携帯端末、カーエレクトロニクス、各種産業用機器、RFIDなどの最先端テクノロジーに欠かせない組込み技術とソリューションが集約された専門技術展とカンファレンスプログラムを準備しています。

今回、STARCからET2008に出展いたします。会期中の展示に加え、スペシャルセッションにおいて、「トランザクション・レベル設計セミナー」と題し、標準化団体Open SystemC InitiativeによるTLM2.0の概要、およびSTARCで開発しておりますTLモデリングガイドを中心とした技術紹介を行います。

名称：Embedded Technology 2008 / 組込み総合技術展

会期：2008年11月19日(水)～21日(金) STARCセミナー：11月20日(木)15:00～17:00

会場：パシフィコ横浜

主催：社団法人 組込みシステム技術協会 (JASA)

入場料：1,000円 (事前登録及び招待券持参の方は無料)

詳細は、<http://www.jasa.or.jp/et/> をご覧ください。

皆様のご参加をお待ちしております。

(次世代システムレベル設計開発室・標準化推進室)

