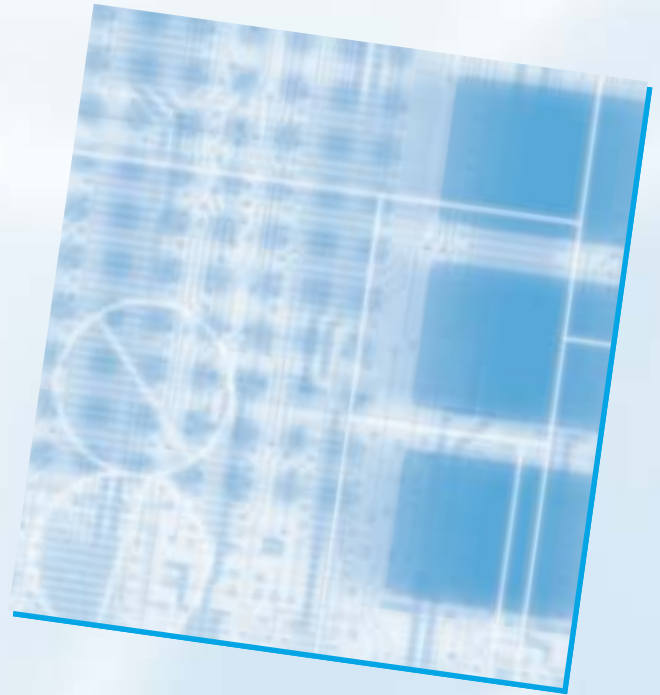


STARC ニュース

No. 37

2008年7月25日発行
 株式会社 半導体理工学研究センター
 Semiconductor Technology Academic Research Center (STARC)



CONTENTS

STARCフォーラム/シンポジウム2008開催報告.....	2
特集 / あすか フェーズ2の取組み	
開発第1部・プロセスフレンドリー設計	
- STARCAD-CEL (One step ahead of DFM) - ...	6
標準化推進室・IP機能検証ガイド	
~機能検証仕様策定編と策定活動紹介~	8
2009年度STARC共同研究テーマ募集.....	11
共同研究グループ便り	
藤原研究グループ.....	12
兵庫研究グループ.....	14
森研究グループ.....	16
国際学会参加報告	
VTS2008.....	18
DAC2008.....	19
A-SSCC2008便り	
A-SSCC2008 福岡で開催.....	20

進化するR&Dエコシステム ～STARCの挑戦～

STARCフォーラム/シンポジウム2008は、パシフィコ横浜において2008年7月16日～17日の二日間開催された。STARCではこれまで、産学連携をテーマにした「STARCシンポジウム」を10回、産産連携をテーマとした「STARCフォーラム」を7回、それぞれ開催してきたが、本年はこれら二つのイベントを統合開催することとなった。

今回の統合開催は、STARCでの研究開発活動が産学や産産といった形で独立に行われるのではなく、クライアント、大学、ベンダー、パートナー間の有機的な結びつきを通じた活動になってきたという認識のもとに行われたもので、全体テーマ「進化するR&Dエコシステム～STARCの挑戦～」にもその狙いが表現されている。

プログラムは、基調講演、五つの招待講演、STARC活動報告、ポスター展示（学生、共同研究テーマ、STARC）などで構成されている。二日間の参加者は820名、内訳はクライアント関係者312名、大学関係者127名、一般企業221名、その他160名であった。

挨拶 & 趣旨説明

冒頭にSTARC代表取締役会長の伊藤達が、開会挨拶と統合開催にあたっての趣旨説明を述べた。



伊藤会長

基調講演

基調講演では、「我が国半導体産業の競争力強化」と題して星野岳穂氏（経済産業省）が講演した。星野氏は、世界の半導体産業の動向と日本の現状をまとめた後に、日本が米国と欧州に次ぐ第三の半導体技術開発拠点になっていくためには、日本の強みを活かした戦略を産官学連携のもとに推進していくことが必要と述べた。さらに、日本の強みを活かせる技術分野として、「低消費電力・省資源（グリーンIT）」と「高



星野岳穂氏

信頼性・セキュリティ」の二つを挙げ、国としてもその分野に支援していくことを述べた。また、半導体産業戦略と並行して、その応用分野（コンピュータや携帯など）の産業戦略も強化すべきであるとし、最後に、日本半導体は過去に世界市場で金メダルをとった経験がある、もう一度金メダルをとることは決して夢ではないと、締めくくった。

招待講演 1

一番目の招待講演では、「脳の科学が工学に語るもの 分子、システム、情報、心」と題して、甘利俊一氏（独立行政法人理化学研究所）が講演した。宇宙誌を振り返ると、6億年前の脳の発生により、生物は情報を取り扱うことができるようになった。さらに人間は脳の働きにより心を持つに至っているが、心や意識を含めた脳の働きは現在の科学では解明できていない。20世紀までの科学はそれぞれが独立に発達してきたが、21世紀には異分野の科学の協調により人類の諸問題を解決することが求められている。脳機能の解明という大きなテーマに対しても、情報科学が生物から多くを学んで新たな発展をすることが必要である。また従来の還元主義の生物学とシステム科学の融合により新しい脳型情報システム学の発展も期待される。フォン・ノイマン型計算に基づかない新しい情報科学などの進展により、心や意識を持ったコンピュータやロボットの出現も決して夢ではない。



甘利俊一氏

先端技術講演

先端技術講演セッションでは、デバイス、ソフトウェア、アプリケーションの各分野から一件ずつ講演があった。

「半導体デバイスの将来像」

平本俊郎氏（東京大学）

平本氏の講演は、半導体ロードマップをベースにこれからの半導体デバイスの方向性を概観するものであった。講演の冒頭で、氏は「ロードマップは万能ではない。新しいアイデアによってロードマップが修正される例も多い。」

と述べた。大学や企業の活発な研究によって、寸法微細化による効果以上の性能向上がこれまで実現されてきており、ロードマップはあくまで指標とみなして各機関が活発な研究活動を行うことの重要性を説いた。CMOSの先の将来デバイス(ERD:



平本俊郎氏

Emerging Research Devices)については、(1)電荷以外を用いた演算処理、(2)非熱平衡状態の利用、(3)電磁気によらない情報伝送、(4)フォノンエンジニアリング、(5)自己組織化による構造体、(6)プール代数以外の演算原理、など複数の明確な指導原理の元に系統的な研究が行われている。トランジスタ、メモリ、配線の中では、配線分野で最も早く(2015年ころ?)既存技術からのパラダイム変換が起ると予想される。CMOSは将来も情報基盤技術として残るが、Beyond CMOS技術がCMOS基盤技術に融合してくるのは必須であり、どのような形でその融合を実現するかのアプローチ法についても早急な検討が必要であると結んだ。

「ディペンダブル組込みOSの挑戦」

中島達夫氏(早稲田大学)

半導体の性能が発揮されるには、設計環境、ミドルウェア、OS、コンパイラを含む優れた基盤ソフトウェア環境の存在が不可欠である。さらにディペンダビリティ(信頼性、セキュリティ、スケーラビリティ、実時間性など非機能的要件)への重要性も高まっている。起こりうる問題点をもれなくリストアップし、その影響を吟味し重み付けをした上で対策をとる必要がある。研究課題としては、(1)OSからプラットフォームへ、(2)プロセッサアーキテクチャとOSの協調(例えばマルチコアの場合)、(3)持続可能性とディペンダビリティ、などを挙げた。最後に、ディペンダビリティの実現に際して「ヒューマンファクター」をどう取り入れるかも重要な課題であり、システムとアプリケーションそれぞれの開発者間の密接なコミュニケーションが非常に大切になっていく、と述べた。



中島達夫氏

「フィールドサーバ・センサネットワークによる 食の安全・安心及び地球温暖化への取り組み」

平藤雅之氏(独立行政法人農業・食品産業技術総合研究機構)

フィールドサーバは、農業・食品産業技術総合研究機構

が開発したセンサーネットワーク機器であり、気温、湿度、日射量、土壌水分、葉の濡れ、紫外線、CO₂、害虫数など多数のセンサーとカメラ等を内蔵し、そのデータを無線LANとインターネットを通じて定期的に観測可能とする機器である。



平藤雅之氏

複数のフィールドサーバは現地プライベートネットワークを自ら構築し、センターからLAN経由でエージェントが巡回してそのデータを収集する。国内外の農地に設置し計測実験を行うとともに、防犯やセキュリティ対策などさまざまな分野でも試験的に使用されている。これら取り組みを多数の写真とともに紹介した。国内外の多様な環境に設置し、現地で実地試験を重ねて改良していくという地に足の着いた開発姿勢と、設置する場所に合わせて、その国で認可された無線LAN機器をモジュールとして使う等、利用者の立場に立った柔軟な機器設計の思想には見習うものが多いと筆者は感じた。

招待講演2

二日目冒頭の招待講演では、「国際標準化の重要性と日本のアジア経済戦略」と題して宿輪純一氏(エコノミスト/早稲田大学)が講演を行った。宿輪氏はエコノミストの立場から、他の製品と接続されることで機能が実現されるネットワーク型製品



宿輪純一氏

においては、「外部性」およびコスト削減の観点から標準化が不可欠である、と述べた。その上で、欧州はISOを中心とした地域標準を国際標準へ展開するという戦略を官民一体となって効果的に推進しているのに比べて、日本はJISなど国内標準が主体で、省庁間の縦割り行政などのために国全体として国際標準へ積極的に乗り出せない状態である、と指摘した。これから大きく拡大するアジア市場へ向けて、日本も国際標準化を率先して推進する必要がある、このままでは中国や韓国にも遅れをとってしまう懸念がある。日本の得意な技術分野で「本来の性能勝負」に持ち込むためにも、その基盤となる国際標準化は避けて通れない。日本経済の国際化戦略にとって標準化は必要不可欠であると結んだ。

招待講演3

続く招待講演では、真島敏幸氏（株式会社ルネサステクノロジ）が「最新LSI不良解析技術と今後の展望～半導体プロセス、設計技術とともに進化。今後は？～」と題して講演を行った。LSIの不良位置特定のために用いられる、電子ビームや光技術を活用した各種解析手法について詳細に述べた。またナノプローバや裏面解析など、近年の微細化・多層化に対応するために開発されてきた新技術、更には波形観測技術やDFT技術への対応などについても紹介した。メモリとロジックに関しては、上記のようなさまざまな手法が急速に進歩・普及し系統的に用いられているが、アナログに関しては関連する要因が複雑であり系統的な手法がまだ確立されていない状況にあると述べた。



真島敏幸氏

招待講演5

最後の講演は、「半導体はコモディティ化するしかないのか～継続的価値創出への挑戦～」と題して渡辺誠一郎氏（LivingImage Ltd.）が講演した。米国でデジタルカメラ用LSIのベンチャー企業を立ち上げた経験を元に、デジタル家電製品での「付加価値とは何か」について氏の考えを述べた。構成部品のモジュール化によって、家電製品はコモディティ化し、単純な「機能的価値」はもはや差別化要因とはなりえなくなる。そのときに付加価値として浮上するのは「意味的価値」でありブランドといってもよい。ただし、ブランド価値を作り上げる際の注意点として、特定市場への過度な適応の結果、局所最適化に陥る危険性があるとし、日本の携帯電話を例に説明を行った。渡辺氏は、日本が世界の中で差別化できる「意味的価値」の一例としてディペンダビリティ技術を挙げた。



渡辺誠一郎氏

招待講演4

4番目の招待講演は「宇宙用電子機器設計の挑戦～システムレベル設計環境ELEGANT～」という題目で、神武直彦氏と西原雄次氏（独立行政法人宇宙航空研究開発機構）のお二人により講演が行われた。人工衛星の電子部品には少量生産かつ高信頼性要求という制約があり、JAXAの人工衛星開発における電子部品国産化率は非常に低いのが現状。このため、プリント基板上のデジタルHWとSW/SoCの設計を対象とした「次世代開発支援システムELEGANT」を、大学・企業の協力の下に平成16年度から開発・運用してきた。このシステムのHW/SW協調シミュレーションにはSTARCで開発されたバジェット追加技術も含まれており、MPEG4デコーダや衛星搭載時刻比較装置の設計へ適用されてHW記述量の削減効果が実証されている。今後は、宇宙機器用に特化した高信頼性対応設計技術の開発を進めていくが、汎用機器分野への展開も進めたい、と締めくくった。



神武直彦氏（右） 西原雄次氏

STARC活動報告

第一日目に下東社長が全体報告を行い、二日目には、各テーマについて担当する部長、室長が詳細説明を行った。



下東社長

ポスターセッション

初日は、大学共同研究テーマの学生ポスター（29件）展示が行われ、二日目には大学共同研究テーマ（最終年度テーマ20件）の研究代表者によるポスター展示と、SATRC開発部などのポスター展示11件が行われた。



学生ポスター発表風景



共同研究最終年度テーマポスター発表風景



左から 下東社長、小川先生、高篠氏、羽根氏、杉本上級研究員

共同研究賞

2007年度に終了した13件の大学共同研究テーマの中から、研究成果や人材育成などの点から以下の2テーマが「第6回共同研究賞」に選出され、表彰式が行われた。

システム・回路分野：

「極微細CMOS回路のための超高周波物理レイアウトの評価および最適設計に関する研究」

研究代表者：東京大学 藤島実准教授

客員研究員：水野紘一氏、大原淳史氏、

富留宮正之氏（主査）、谷幸一氏、

山之上雅文氏、豊山慎治氏

STARC担当：益子耕一郎氏（現ルネサステクノロジ）



左から 谷氏、下東社長、藤島先生、富留宮氏、益子氏

プロセス・デバイス分野：

「原子レベルの材料特性を考慮した3次元量子輸送デバイスシミュレータの開発」

研究代表者：神戸大学 小川真人教授

客員研究員：小田嘉則氏、羽根正巳氏（主査）、

高篠裕行氏、谷本弘吉氏

STARC担当：杉本益規

学生ポスター賞

初日の学生ポスター29件の中から、以下の5件に学生ポスター賞が授与された（敬称略）。

最優秀賞（1件）

「サブミクロンCMOSを用いた
低位相雑音電圧制御発振器の研究」

小林由佳（東京工業大学）

優秀賞（4件）

「自由行動マウス脳内における
神経活動観察用CMOSイメージセンサの開発」

樋口彩沙子（奈良先端科学技術大学院大学）

「MEMSスイッチを利用した移相器」

阿戸弘人、前江田和也（立命館大学）

「発話推定を用いたインテリジェント認識システムの
低消費電力化技術」

野口紘希（神戸大学）

「粒度可変論理セルを用いた
高性能リコンフィギャラブルIPの開発」

佐藤嘉晃（熊本大学）



最優秀ポスター賞受賞の小林さん（東京工業大学）

（研究推進部 今村健、大西洋一）

あすかⅡフェーズ2 の取組み

開発第1部◎プロセスフレンドリー設計

- STARCAD-CEL (One step ahead of DFM) -

開発第1部 部長代理 村方 正美

概要

開発第1部では、2006年4月に、「次世代プロセスフレンドリー設計技術開発」をテーマとした5年間の技術開発プロジェクトSTARCAD-CEL (One step ahead of DFM) をNEDO技術開発機構の助成を受けてスタートしました。こ

のプロジェクトは、二つのフェーズに分けて推進しています。フェーズ1では、2006年4月からの2年間で65nm～45nmプロセスを対象としたシステムLSI設計に対応可能な、製造性を考慮した設計メソッドロジ(インプリメンテーション)を開発しました。

フェーズ2では、ばらつきと製造性を考慮した、低消費

電力対応のロジックノード32nmに対応したシステムLSI設計のインプリメンテーション技術を開発することを目標としています。プロジェクト期間は、2008年4月から2011年3月までの3年間です。図1にSTARCAD-CELのロードマップを、図2に、フェーズ2で対象とする技術開発領域を示します。図3には、32nmへ向けた各期の重点技術開発項目と達成目標を示します。このように、各期の重点技術開発項目を定めて開発を行い、その成果は、每期メンバー企業にリリース・技術移管を行う予定です。

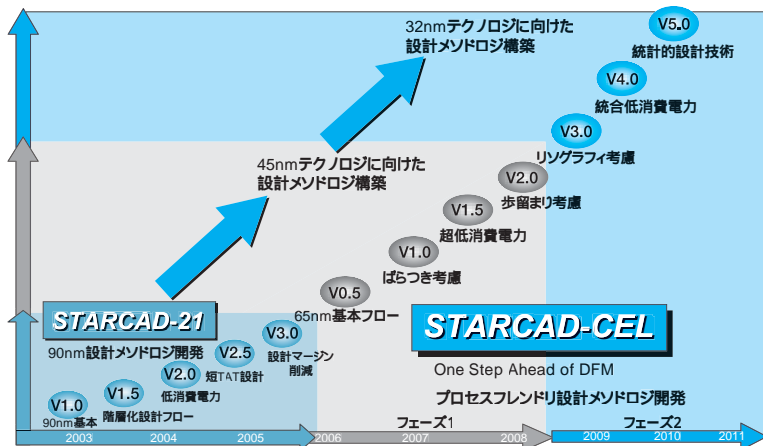


図1 STARCAD-CELのロードマップ

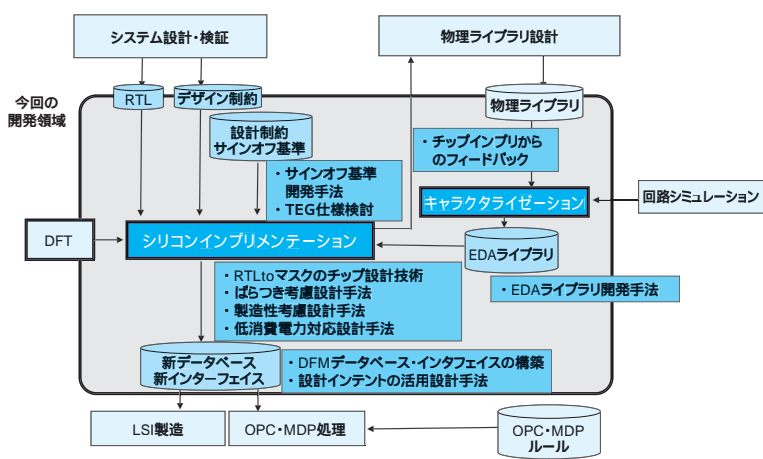


図2 フェーズ2の技術開発領域

プロセスフレンドリー設計の 技術要件

STARCAD-CELでは、デジタル情報家電やモバイル機器向けのシステムLSIをターゲットにしています。これらシステムLSIは、大規模かつ高速動作への対応に加え、低コスト化と低消費電力化への対応が要求されます。このような要求仕様に応えるために設計メソッドロジが備えるべき要件として、次の四つの技術が重要と考えています。すなわち、低消費電力化技術、製造性考慮設計技術、ばらつき考慮設計技術および設計生産性向上技術の四つです。

低消費電力化技術

微細化に伴い、大規模・高速化、低電圧化が進捗するとダイナミック電力の増加に加え、リーク電力も増加します。そのため、ダイナミック電力とスタティック電力の両方を効率よく低減可能な技術が必要になります。開発第1部では、このような要求に応えるために、次のような技術開発を計画しています。すなわち、消費電力低減を目的としたRTLコードの最適化、RTL段階での電力予測と適切な電力低減手法の選択、低消費電力化の共通フォーマットであるUPF/CPFが混在した設計フローへの対応およびインプリ段階への各種電力低減手法の実装などです。これら技術により、消費電力を効率よく低減可能な設計環境の構築を目指します。さらに、熱とリーク電力は密接な関係があるため、熱による電力への影響についても対策を検討する予定です。

図4に消費電力低減のロードマップを示します。図に示すように、45nm/32nmでも65nm世代並みのダイナミック電力とスタティック電力に抑えることができるように、低消費電力化技術開発を進める予定です。

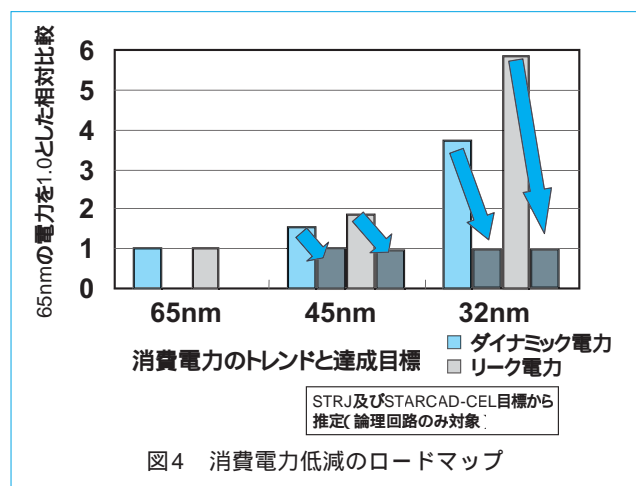


図4 消費電力低減のロードマップ

製造性考慮設計技術

フェーズ1では、ランダムディフェクトとリソグラフィによる歩留まり悪化要因対策を施すことにより、65nmプロセスで90nmプロセスと同等以上の歩留まりを実現しました。フェーズ2でも、これら技術の改良を進め、45nmプロセスにおいても65nmプロセスと同等以上の歩留まりを達成することを目標にしています(図5)。

一方、現状のArF液浸露光では、32nm以降のリソグラフィへの対応が難しくなることが予想されています。その代替技術のひとつとして、ダブルパターニング技術(DPT)の導入が検討されています。DPTは、設計したマスクパターンを2枚のマスクに分割することによってパターンピッチが拡大可能となるため、現行リソグラフィでの課題が解決可能との期待が大きい技術です。開発第1部で

	2008H1	2008H2	2009H1	2009H2	2010H1	2010H2
達成目標	500MHz, 22Mgates, 45nm		700MHz, 30Mgates, 45nm		1GHz, 44Mgates, (32nm)	
重点技術開発項目	45nm設計フロー実証	Litho考慮設計メソッド	熟考慮設計メソッド	統合低消費電力メソッド	電気特性考慮設計メソッド	統計的設計メソッド

図3 32nmへ向けた重点技術開発項目と達成目標

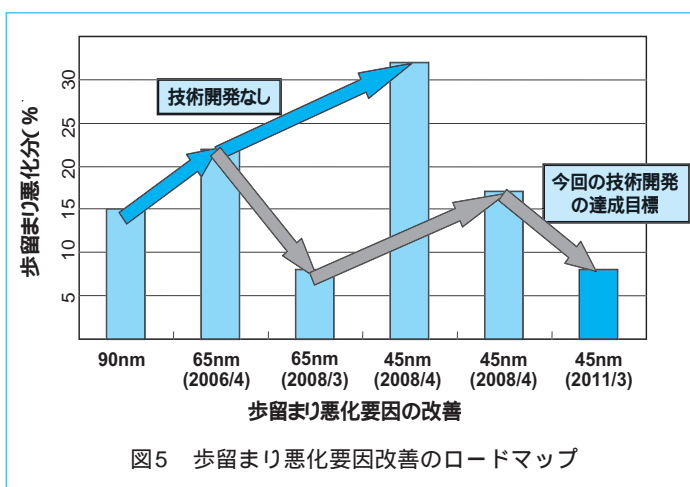


図5 歩留まり悪化要因改善のロードマップ

は、マスク処理時にDPTの適用を容易とするようにインプリ段階でDPTに対応した技術の開発を行う予定です。

また、微細化の進展に伴い、トランジスタにかかるストレス(応力)がトランジスタの能力に影響を及ぼすことが判っています。そこで、ストレスの影響を考慮した設計を行うために、ストレスの影響を解析・モデル化し、ストレスを考慮したセルライブラリのキャラクタライズとチップレベルの設計技術の開発を行う予定です。この結果は2010年度以降に予定している電気特性考慮設計技術に取り込むことによって、32nm世代の製造歩留まり考慮、ばらつき考慮、低消費電力に対応した全体最適化技術として発展させる予定です。

ばらつき考慮設計技術

回路動作を保証するために、タイミングに関する仕様限界(コーナー条件)を設定し、すべての信号経路のタイミングがコーナー条件を満足しているか否かを判定する方法が一般に行われています。しかしながら、微細化により、プロセス、電圧、温度のばらつきやチップ上の配線幅等のばらつきは増大します。そのため、コーナー条件数が増加し、すべての信号経路のタイミングをコーナー条件内に収めるのは非常に難しくなっています。解決策のひとつとして、ばらつきを考慮した設計や統計的なタイミング検証手法を用いる方法がありますが、現状の統計的な手法で想定している「ばらつきモデル」には、ランダムなばらつき以外にシステムティックな要因による特性変動なども含まれているため、これらを分離して誤差の少ないモデルにする必要があります。

開発第1部では、上述のように、増大するコーナー条件数削減のために、ばらつき耐性を高めた設計手法の開発、

「ばらつきモデル」の高精度化とこれを用いた統計的なタイミング検証手法とを活用することにより、コーナー条件数の削減を図り、設計収束を容易化し、設計TATの短縮を目指します。

設計生産性向上技術

技術トレンド（トランジスタ数；プロセス世代当たり2倍に増加、動作周波数；プロセス世代当たり1.5倍に向上）

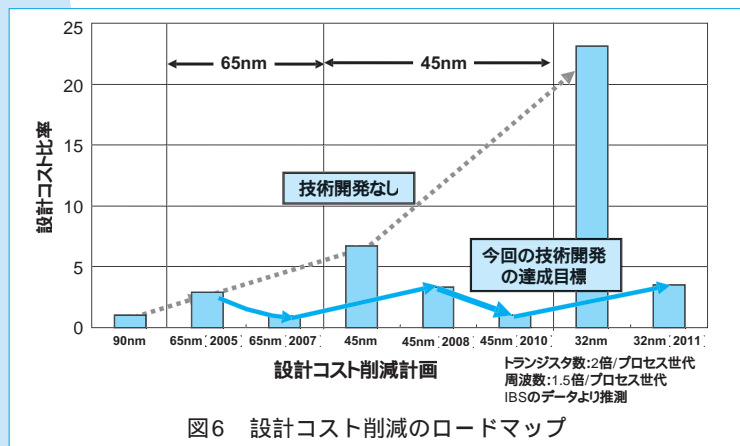


図6 設計コスト削減のロードマップ

によれば、プロセス世代が一代進むと、何の技術施策も講じない場合には、設計コストは3倍に増大することが予想されています（図6）。このように増大する設計コスト低減施策として開発第1部では、前述の各技術施策を設計メソドロジに実装することにより、プロセス世代当たりの設計生産性（（回路規模×複雑度）/設計工数）を3倍に向上させることを目標にしています。これにより、45nmプロセスでの設計を、65nmプロセス世代並みの設計コストで実現可能とすることを目指します。

まとめ

微細化により、各種ばらつきは増大し、大規模・高速化対応に加え、低消費電力化対応、製造性考慮などにより、設計は複雑化し、設計収束が困難になってきています。開発第1部では、このように複雑化するシステムLSIの設計に対し、ばらつきと製造性を考慮した、低消費電力対応のシリコンインプリメンテーション技術の開発を行うことで設計の効率化を目指します。

標準化推進室◎IP機能検証ガイド

～機能検証仕様策定編と策定活動紹介～

企画部 標準化推進室 今井 正紀

ガイド策定の背景と目的

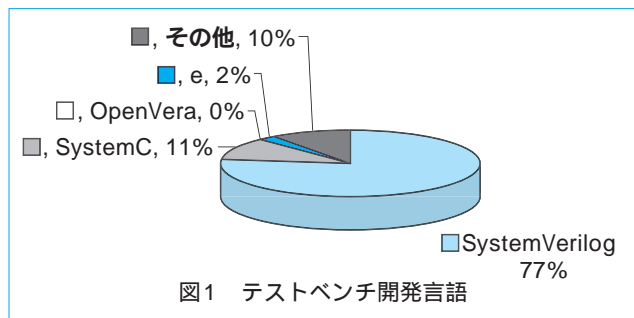
最近いろいろな分野で検証の問題が取り上げられています。手元の雑誌にもソフトウェアのテスト手法の解説が掲載されていました。日頃お世話になっている携帯電話、デジタル・テレビなどの電子製品等は長く積み上げられてきた多くの技術の結晶であり、それらを構成する各部の機能は極めて複雑なものとなっています。複雑なものがさらに複雑に組み合わせられたものですから、作りっぱなしでは安心ではなくて、当初の設計仕様どおりに実装されているかが詳細に確かめられて、はじめて完成を見ます。簡単なスペルミスからコーディング上のミス、そして状態の深いところにある検出がより困難なバグなどさまざまなものが検証の対象になります。1980年代には全体設計工程の中でそれほど大きな部分を占めていなかったこの検証と呼ばれる工程が今日では70%、あるいはそれ以上を占めるとまでいわれています。検証という工程は人間の知的活動において根源的なもので重要なステップとなっています。実際どんなに自動化が進んでも仕様を与える人間の介入がどこかである限りバグの混入が避けられません。上記の製品には機能を実装する材料、デバイスとして多数の半導体、トラ

ンジスタが使われていますが、中でも、複雑な機能が1チップに搭載されたSoC (System on a Chip) とその機能の源泉であるIP (Intellectual Property) はこれらの製品のキーパーツとして必須のものとなっています。そこで我々はハードウェア (SoC, IP) を対象とし、その数ある実装ステップに絡む検証の中でも出発点となる機能検証のメソドロジをまとめたガイド策定を、STARCメンバ会社の検証技術の専門家の共同により行っています。策定では、とくに定式化が難しく、自動化が困難なノウハウ的なところをガイド項目として積極的にまとめることに注力しています。これによってハードウェアの設計品質を効率的に高めることを狙っています。

機能検証の動向

検証分野の最新技術を適宜取り入れながらIP機能検証ガイドを策定していますが、振り返って見ると策定開始当時と比べて大きな変化がありました。ガイド策定にあたって特定の検証言語機能に依存しないガイド項目を取り上げるという方針を進めています。当初においてはそれは標準の検証言語が定まっていなかったことも理由のひとつとしてありました。実際、ガイド初版では検証モデリング編でモデル

作成用にSystemC、チェック記述用にPSL (Property Specification Language)を採用していました。いまだ確実にSystemVerilogという感じではなかったと思います。ところが最近、STARCで開催したアドバンス講座、機能検証技術セミナー (STARC株主会員限定) で行ったアンケートでは「今後テストベンチの実装を行う場合にどの言語が望ましいと考えていますか？」の問いに対して以下のような結果が得られました。



SystemVerilogが80%弱を占めており、他を圧倒しています。受講者の背景や、さまざまな事情もあると思いますが、300数十名の参加者を得た講座でのアンケート結果は参考にすべき傾向を示していると考えています。もちろん、既存の検証環境における資産はVerilog HDLなどによるものがありますので、既存資産をベースとするとまた変わってきますが、今後、新たな検証環境の実装を考える場合にはこのようになるだろうと思います。ただSystemVerilogは膨大な仕様の言語といわれており、学習曲線の勾配も決して低いものではないため、それを低くするために、例えばアサーションではOVL (Open Verification Library)の整備が標準化団体であるAccerellaで行われています。実装の詳細は知らなくてもより直感的な記述形式で書くことでアサーションを利用できます。SVA (SystemVerilog Assertion)もOVLの実装に用いられている言語のひとつです。このような形で検証のインフラの整備が多角的に進みつつあります。また裸の言語機能を用いて各自が検証環境を構築するのではなく、SystemVerilogを前提とした標準的な検証メソッドとそれが提供するライブラリを用いることで検証環境の構築が容易化され、また共通のメソッドを用いることで再利用性も高まります。

オブジェクト指向の考え方を取り入れたもので、基本クラスを拡張、オブジェクト化することで構築していくものです。現在、このような検証環境の実装に関する検証メソッドで代表的なものとしてApache 2.0ライセンスモデルを採用したVMM (Verification Methodology Manual for SystemVerilog)と

OVM (Open Verification Methodology)があります。また最近VMMはAccerellaに寄付されました。ユーザーの観点ではインタオペラビリティが気になるところですが、当面は二つの存在を前提としなければならないのが現状です。次に述べるガイド概要と今後の計画は上記を踏まえながら進めています。

ガイド概要と計画

STARCでは機能検証環境を構築するにあたって根幹である検証項目、そもそも何を検証するべきかの項目を、機能仕様書や規格書からいかにうまく効率的に抽出するかという方法をガイド化してきました。回路の完全な機能はすべての入力刺激数と状態数の積によって定義されますが、この積で定義される組合せは膨大な数になります。実際にはこれを対象とすることは不可能であり、また、あり得ない入力、状態の組合せも多くあるので不要です。しかし、原理的には、これらの検証項目が抽出できれば、それに基づいて検証者が作成した検証シナリオにしたがって入力を検証対象回路に加え、その出力を期待値と比較することで完全に機能検証が実行できます。実際には検証項目を現実的な制約の範囲でいかに網羅的に効率的に抽出するかが重要となります。

まず検証項目抽出の具体作業に入るに先立って情報収集・整理からはじまる**検証戦略策定**ステップがあります。情報収集で得られた開発プロジェクトのスケジュール、予算、利用可能な検証手法や検証のリソースなどを考慮して実際の戦略策定を行うこととなります。収集した情報に基づく仕様把握、および検証項目からなる検証空間の把握を行い、適した検証手法の選択などを検証戦略としてまとめます。戦略に基づく具体的な**検証項目抽出**に続いて、抽出した検証項目の分析を行います。**検証項目分析**は、シミュレーション実行が効率的に可能なように、さらに検証リソース等の制約により検証実行可能な検証空間に絞り込みます。この絞り込んだ検証空間を検証するために必要な**検証仕様策定**までのフローに対応したものが機能検証仕様策定編の内容となっています (図2)。

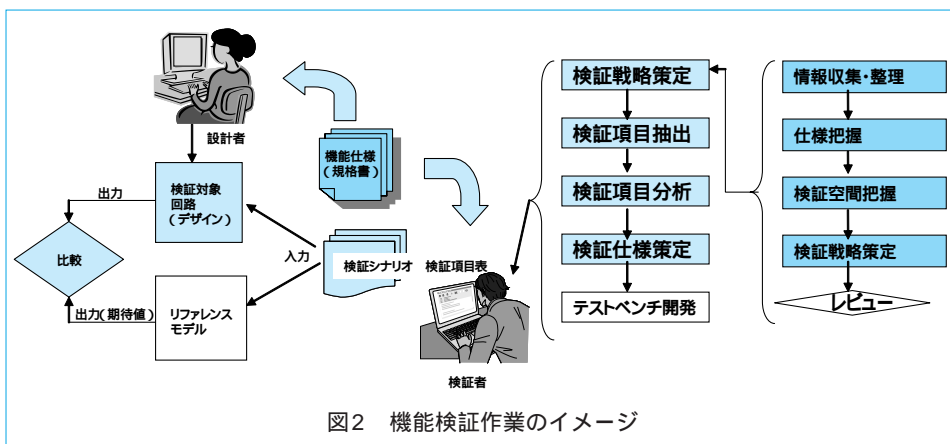


図2 機能検証作業のイメージ

機能検証仕様策定編は1stステップとしてSTARC株主会社を対象にSTARC webサイトからダウンロード可能としました。公開後に寄せられたご意見を参考にさらに改善を図っていく予定です。機能検証仕様策定編は、以下のような構成となります。「第1章 ガイド概要」ではガイド構成と表記法などガイドを読むにあたっての一般的な事項が記述されています。「第2章 機能検証とは」では検証空間の概念などの基本概念や推奨する機能検証フローについて記述しています。第3章から第7章が中心的な部分となっており、検証フローの流れに沿った記述となっています。第3章 検証戦略策定、第4章 検証項目抽出、第5章 検証項目分析、第6章 テストベンチ要求仕様策定、第7章 機能検証仕様書となっています。この第7章ではDUV(Design Under Verification)に関する情報、検証項目に関する情報、およびテストベンチ要求仕様に関する情報など機能検証仕様書に記載すべき事項について述べています。図3に示すように機能検証仕様策定編のアウトプットは、テストベンチ開発編以降に続くステップの出発点となります。

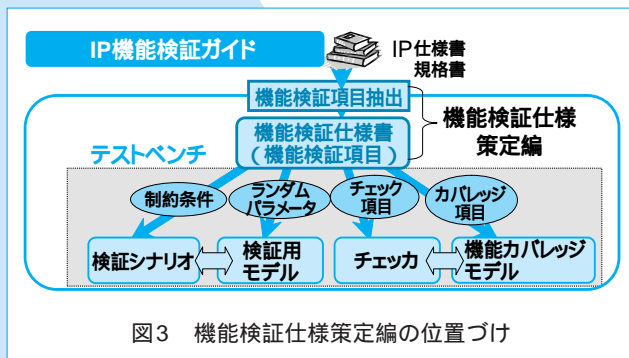


図3 機能検証仕様策定編の位置づけ

機能検証仕様策定編の中心的なもののひとつである検証項目抽出に関連して検証項目抽出思考マップについて紹介します。図3のようにIPの仕様書、規格書を出発点としていますが、項目抽出を漏れなく行うにはどうしたらよいかということが問題となります。それにはこういった観点、あるいは視点で抽出したらよいかという、検証項目抽出にあたってのテーマをまず仕様書、規格書から求めるステップを踏むことが重要と考えています。そのステップに用いるものとして準備したのが同マップです。これを用いることで必ずしもベテランでない検証技術者でも一定の水準のテーマ抽出が行えると考えています。マップではテーマ抽出の視点を大きく三つに分けています。仕様に定義された処理、仕様に定義が明確にされていない処理(曖昧なもの、記載すべきであるが漏れているもの)、そして不正動作を誘発するような処理です。これらはさらに通常処理、例外処理、禁止処理などに分類されます。このように系統的に細分化されるにしたがってテーマが抽出されます。ガイドではこのように標準的なマップやテンプレートをを用いながら検証作業を進めるにあたってのガイド項目をまとめて

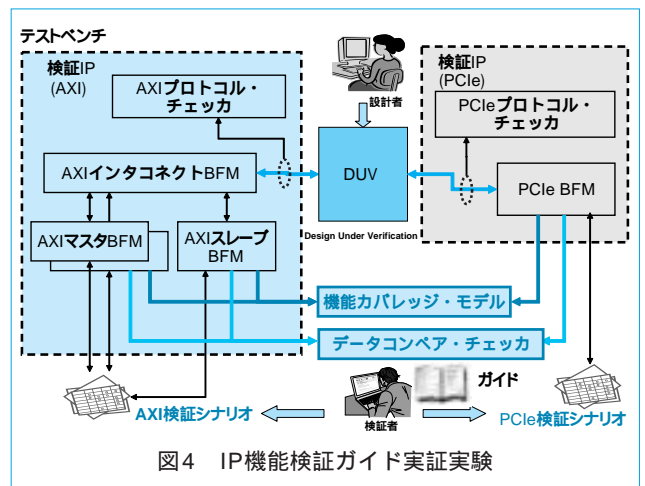


図4 IP機能検証ガイド実証実験

います。ガイド項目については、図4に示すモチーフ、テスト環境を用いて、実際にガイドを用いて検証項目抽出、シミュレーションを行って実証しています。

今後の計画

最後に機能検証仕様策定編に続く計画について紹介します。機能検証仕様策定編のPDF版のSTARCのwebへのアップロード後のフィードバックへの対応を2008年度中に行う予定です。また、最近の実装メソッドロジ、検証言語の標準化の進展を受けて、より実装に近い部分のガイド化が可能になってきています。それを受けて、現在、機能検証仕様書に記載されているテストベンチ要求仕様に基づいてテストベンチ実装のガイド策定を計画しています。新たに検証部品開発用のテンプレートを定義し、要求仕様を実装メソッドロジを考慮して実装仕様におとすところ(テストベンチ開発編)と、実際に検証メソッドロジ(VMM、OVM)が提供する検証ライブラリを利用して、チェッカ、カバレッジモデルを含むテストベンチを構築する場合のスタイルガイド的なガイド項目からなるガイド(テストベンチ適用編)を策定します(図5)。

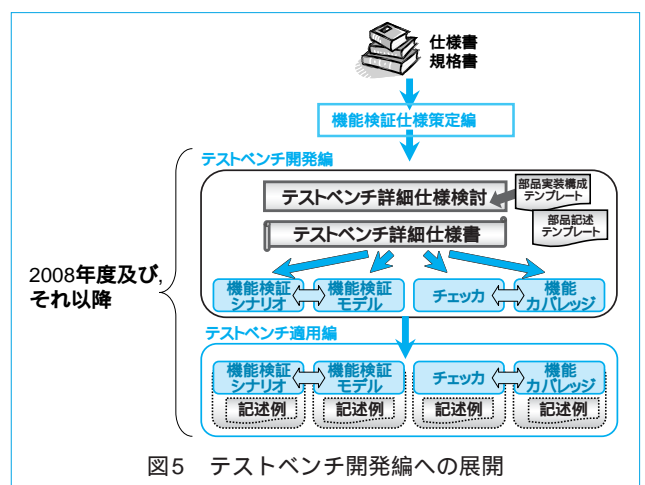


図5 テストベンチ開発編への展開

これらを通して機能仕様書、規格書からテストベンチ実装までの検証作業を系統的にサポートするガイド策定を進めます。

STARC共同研究テーマ募集

シリコンLSI技術分野において 産学が共同で実施する研究テーマを募集します

2009年度から開始する新規研究テーマを募集します。

アルゴリズム・アーキテクチャ・回路・デバイス構造・材料・評価等に
関するアイデアを提案して頂き、審査により共同研究テーマとして
採択いたします。

研究期間は3年以内、研究予算は1000万円/年、
総額3000万円以下を原則といたします。

応募資格：研究代表者は、日本国内の大学・高専に常勤する教員であることを原則とし、
教授、准教授、講師または助教で、研究グループを代表する研究者とします。

共同研究の現状：2008年度は52件の研究テーマを産学共同で進めています。

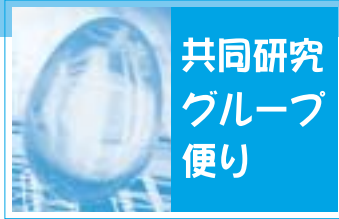
採用予定：10～20件程度

応募締切 / 2008年9月1日(月) 午後5時30分

研究テーマ募集要項掲載場所(7月下旬掲載) : <http://www.starc.jp/univ/CFP09/>

ロードマップ2008掲載場所(7月下旬掲載) : <http://www.starc.jp/univ/roadmap/>

お問い合わせ先：(株)半導体理工学研究センター 研究推進部
〒222-0033 神奈川県横浜市港北区新横浜3-17-2
TEL：045-478-3300
E-mail:app2008@starc.or.jp URL:<http://www.starc.jp>



共同研究
グループ
便り

藤原研究グループ

テーマ名 大規模LSIの上流からのフォールスパス判定と
テスト不要化合成に関する研究

研究代表者 奈良先端科学技術大学院大学 情報科学研究科 情報処理学専攻 教授
藤原 秀雄(ふじわら ひでお)



後列左から 植本(M2)、大西上級研究員(STARC)、岡田客員研究員(シャープ)、
松島客員研究員主査(ルネサス)、向野客員研究員(三洋電機)、
宮本上級研究員(STARC)

前列左から 岩田(奈良先端大M2)、大竹先生(奈良先端大)、井上先生(広島市立大)、
藤原先生(奈良先端大)、井上先生(奈良先端大)、米田先生(奈良先端大)、
Thomas Edison Chua Yu(D2)

(2008年6月現在 敬称略)

1. 研究室現況紹介

平成9年に半導体理工学センターとの共同研究を開始させていただいてから、これまで1997年～2000年、2000年～2002年、2003年～2005年、さらに今回の2006年～2008年と10年間いろいろなテーマでSTARCとの共同研究をさせていただいております。STARCニュースもNo.3(1999年8月5日発行)、No.25(2005年7月25日発行)に共同研究グループ便りを書かせていただき、今回は3度目になります。前回の便りからまだ3年ですので研究室のスタッフはそのままですが、客員研究員や学生は変わっていますので、改めて研究室の現況を紹介させていただきます。

講座の名称は「コンピュータ設計学講座」で、現在、教員4名(藤原秀雄

教授、井上美智子准教授、大竹哲史助教、米田友和助教)、事務補佐員1名、学生12名(大学院博士前期課程10名、同博士後期課程2名(国費留学生を含む外国人留学生2名)、10月から後期課程4名)のメンバーで構成されています。私共の講座では国際交流を積極的に推進しており、例えば、平成9年からこれまで延べ6名の日本学術振興会外国人招聘研究者(内延べ2名がIEEE Fellow)、2名の学振外国人特別研究員、10名のCOE外国人招聘研究者(内2名がIEEE Fellow)、3名のCOEポスドク研究員を本講座に招聘しています。その他、在籍した外国人留学生は9名(内、国費留学生5名)になります。

本講座の専門分野は、論理設計論、設計自動化(VLSI CAD)、フォールトトレランス、並列/分散アルゴリズム

ムと多岐にわたりますが、その中で、VLSIの設計とテストの分野に重点を置いて研究を行っています。今回のSTARCとの共同研究には、4名の教員全員と、これまで7名の学生(内1名は現在広島市立大学の吉川祐樹助教で共同研究を継続、1名は東芝、1名は松下電器に就職、1名はタイに帰国)の他、広島市立大学の井上智生教授にも研究協力者として参加していただいています。(詳細は研究室のホームページをご覧ください。

<http://fan.naist.jp/index-j.html>)

2. STARCテーマ内容 および共同研究状況

高性能LSIに対して、タイミング不良に対する高品質テストを生成する技術がますます重要になっており、パス遅延故障モデルなどの遅延故障に対するテスト生成法が提案されています。回路中には活性化されないパス(フォールスパス)が多数含まれており、フォールスパス上のパス遅延故障はテスト不可能です。順序回路のパス遅延故障テスト生成では、それらの故障がテスト不可能であることを判定するために膨大な時間を要し、一般に高品質なテストを得ることはできません。これまで、スキャン設計などのテスト容易化設計を施すことにより、それらの故障をテスト可能にすることでテスト生成時間の削減を図ってきました。しかし、フォールスパス上のパス遅延故障をテスト可能にすることでLSIは過剰テストされ、歩留まり低下等の深刻な問題を引き起こします。この問題を解決するためには、あらかじめフォールスパスを判定し、それらに関するパス遅延故障をテスト対象から除外しなければなりません。現在、ゲートレベルにおいてフォールスパスを判定する

客員研究員主査からのコメント

株式会社 ルネサステクノロジ
システム設計技術開発部
松嶋 潤

数年前までは、テストのカバレッジは単一縮退故障のみを議論し、ディレイ故障についてはハイエンドのLSI以外は十分な議論をされてこなかったように思います。LSIの微細化に伴い、ディレイ故障が増加するといわれており、90ナノメータ以降の設計では十分なディレイテストの実施はLSIを生産するための必須の技術となっています。このため半導体各社はスキャンなどのDFTを利用した検出率の高いディレイテストを積極的に立上げ活用しています。また、従来のトランジションモデルのディレイ故障のテストでは、故障のディレイ値を考慮した評価を行えないためディレイ欠陥を検出する指標としては十分な精度がありませんでした。

このような状況を変えるため、STARCのテスト&故障解析開発室ではいくつかの開発を行ってきました。一つ目は、遅延欠陥サイズを考慮したディレイ故障に対するテスト品質の指標であるSDQMの開発を行いました。SDQMを利用することにより遅延欠陥サイズを考慮したディレイテストの品質を評価することが可能です。さらにAT-SPEEDテスト手法のガイド化やSDCで記述した、フォールスパス、マルチサイクルパスを考慮したテストパターンを生成するATPGの議論を進めてきました。これらの技術はSTARCを中心に大手のEDAベンダーに機能追加の推進を行い、すでに主なEDAベンダーのDFTツールに実装されています。

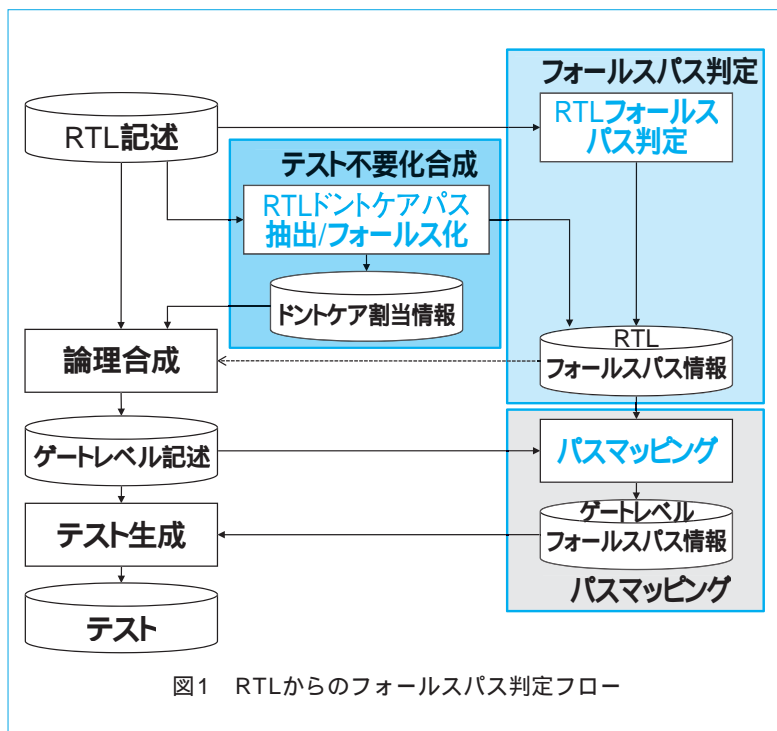
このような、高精度のディレイ故障のテストで精度の高いSDCを準備できない場合には、過剰にフォールスパス設定するとテストの精度の低下を招き、逆にフォールスパス設定が不十分であると過剰テストによる歩留まり低下等の深刻な問題を引き起こす可能性があります。我々の研究では高位設計から、あらかじめフォールスパスを判定し、SDC記述制約設計の入力として活用するだけでなく、論理合成やレイアウトでの最適化などで変化した論理にどのように対応するかも含め研究を進めています。これらの研究は従来のテスト技術に比べ議論の範囲が広く苦労していますが、多くの学会に発表を積極的に行い議論を進めてきています。よろしくお願いいたします。

手法が提案されていますが、フォールスパス判定にも膨大な時間を要するため、現実的な解ではありませんでした。

本研究では、設計の上流からフォールスパスを高速に判定する方法を提案します。具体的には 上流からのフォールスパス判定、テスト不要化合成、レジスタ転送レベルパスのゲートレベルパスへのマッピングの三つのテーマに大別し研究を行っています（図1参照）。これまでの研究成果の一端を紹介するために、私共が考案したRTL設計情報を用いたフォールスパス判定法の有効性を評価した実験結果を紹介しましょう。STARCからいただいているVHDLで記述された実回路データ（RISCプロセッサ、約8万1千ゲート）に対して、回路全体からサンプリングした約2800億本のゲートレベルパス中、フォールスパスであると判定できたパス数は半数以上の51.6%に上っています。提

案手法は、これらのゲートレベルフォールスパスに対応するRTLフォールスパスをRTL設計情報を用いて高速に（数秒で）判定することができています。

以上の共同研究は、現在、私共の研究室の教員4名全員と大学院生3名、広島市立大学の吉川祐樹助教が中心になって行って参りましたが、広島市立大学の井上智生教授にも共同研究に携わって協力していただいています。また、客員研究員の松嶋潤主査（ルネサス）、向野守氏（三洋）、岡田和久氏（シャープ）、STARCの宮本俊介技監、大西洋一上級研究員の方々には、研究打ち合せのミーティングでの討論を通じて適格なコメントをいただいております。そのおかげでよりよい研究成果を得ることができております。ここに皆様に感謝するとともに今後とも率直で適格なご意見をお願いする次第です。





共同研究
グループ
便り

兵庫研究グループ

テーマ名 特性可変で広帯域な無線受信システムの構成理論および実証的研究

研究代表者 東京理科大学 理工学部 電気電子情報工学科 教授

兵庫 明(ひょうご あきら)



後列左から 林(M1)、諏訪(B4)、彦坂(M2)、新井(B4)、高野(M2)、横井(B4)、
佐藤(M1)、安嶋(M1)、内藤客員研究員主査(三洋)、渡辺客員研究員(東芝)、
森上級研究員(STARC)

前列左から 青木教授、兵庫教授、関根教授、佐藤助教、耳野客員研究員(ローム)

(2008年6月現在 敬称略)

研究室現況紹介

STARCニュースNo.25(2005年7月25日発行)に続き、再びこの共同研究グループ便りを書かせていただくこととなりました。前回から、3年の月日が流れておりますが、「光陰矢のごとし」の譬えどおり、あっという間でしたが、前プロジェクト、本プロジェクトの卒業生・修了生(計10名)が社会で活躍している姿をみるにつけ、本当に多くの学生がSTARCプロジェクトを通して成長していったものだとしみじみ感じますとともに、学生のスポンジのような吸収力にはいつものことながら驚嘆いたします。

現在の兵庫研究室は、教員3名(関根慶太郎教授(非常勤)、佐藤広生助教、私)、博士課程学生1名、修士課程2年生(M2)5名、同1年生(M1)9名、学部4年生(B4)12名(内9名修士課程進学(すべてが当研究室)予定)が所属しております。研究室のテーマは、アナログ集積回路を中心におき、高周波フロントエンド回路、演算増幅器、トランスコンダクタンスアンプ、アナログ乗算回路などの新しい回路構成やアナログ信号処理回路を中心に、マイコンやDSP応用回路まで広い範囲に渡って回路に関する研究を進めております。なかでもSTARCプロジェクトはいつも大人気となっております。

共同研究概要と成果

今回のテーマは、「特性可変で広帯域な無線受信システムの構成理論および実証的研究」と広帯域で特性可変な受信回路を目指し、2006年4月より始めております。前回のテーマでは、5GHz帯の比較的狭帯域の受信回路を目標にしておりましたが、2003年当時の研究室では、アナログ回路における、数百MHz帯のシミュレーション経験、数MHz帯での測定経験はあるものの、GHz帯という無線帯域での集積回路、しかも、試作して実測を行うことは初めての試みで、学生とともに手探り状態で始めたことを思い出します。この際には、TSMCの0.18 μ m CMOSプロセスでの試作を2回行い、シミュレーションとの誤差はあるものの両者ともそれなりの特性で動作いたしました。よく1回目の試作から動いたな!というのが本音でした。もし動かなくても、その失敗が今後の設計やレイアウト経験の糧となると学生を励ますつもりでした。これもすべて、学生の頑張り、STARCからの上級研究員、客員研究員の皆様方のご指導の賜であると感謝いたしております。(詳細はSTARCニュースNo.25をご覧ください。)さて、前プロジェクトが3年目に入ったころ、世の中はUltra-Wide Band(UWB)と呼ばれる広帯域の無線システムが注目されはじめ、研究が開始されつつあ

りました。前プロジェクトにおいては、狭帯域での低雑音増幅器(LNA)やミキサなどの研究・開発がある程度一段落し、複数の無線帯域への応用や、広帯域化への研究の必要性を感じておりました。前プロジェクトのメンバーである院生や学部生にプロジェクトの終了後には、広帯域化という別のテーマで、STARCに応募する予定であることを告げ、興味があるかどうかを尋ねたところ、非常に興味がありぜひともチャレンジしたい、また、いまよりもっと大変になるかもしれないが頑張るとの回答が返ってきました。このように心強い学生の後押しもあり、本テーマで応募したところ、幸運にも採択していただきました。

STARCから上級研究員の益子耕一郎様、客員研究員主査に三友敏也様(東芝)、客員研究員の内藤智洋様(三洋)と耳野裕様(ローム)、途中から飯田哲也様(STARC)がご参加いただけることになり、共同研究者の関根慶太郎教授、佐藤広生助教、諏訪東京理科大学の青木正和教授と、学生8名でスタートすることとなりました。なお、2008年6月現在では、会社の都合により三友様から渡辺理様(東芝)に交替となり、これに伴い、内藤様が主査になられております。また、STARC関係では飯田様が抜かれ、上級研究員が益子様から森俊彦様に交替されております。

まず到達目標を検討し、UWB帯域すべてをカバーする3.1~10.6GHz帯のフロントエンド回路(とくにLNA)を0.18 μ m CMOS技術で実現することといたしました。今回のプロジェクトでは前回の狭帯域での成果があったため、スムーズに進むと思っておりましたが、やはり10GHzの壁はそう簡単ではありませんでした。入出力整合回路の広帯域化や、広帯域に渡る利得の平坦化のためには、非常に多くのインダクタを必要としチップ面積の増大を招くなど、最初から多くの難題が降りかかりました。

しかし、学生はよく頑張ってくれ、文献調査から始め回路設計まで精力的にこなしてくれました。とくにその当時M2の小池健君(現・日本TI)と行友渉君(現・イー・アクセス)は前プロジェクトで試作したチップの測定と本プロジェクトを掛け持ちし、修士修了まで1年という短い時間に集中的に多くの成果を残してくれました。とくに小池君は、前プロジェクトで課題となっており、本プロジェクトでもシステム上の鍵となる、ミキサの同相電圧の安定化手法に中心的に取り組み、効果的な手法を確立し、特許申請をいたしました。また、M1だった丹野直洋君(現・NTTドコモ)と山口敏幸君(現・三菱東京UFJ銀行)は2年間で回路設計からレイアウト、さらに測定を行うなど寸暇を惜しんでプロジェク

客員研究員主査からのコメント

三洋電機株式会社
アドバンスデバイス研究所
内藤 智洋

昨今、CMOSデバイスの高周波領域での動作が可能になったことで、一つの端末で複数の無線周波数を受信可能なソフトウェア無線への期待も高まってきました。そしてここ数年では、実現性の高いアーキテクチャもいくつか提案されて来ています。これらの技術に共通するのは“デジタルリッチ”という概念です。これはRFフロントエンドにデジタル的な要素を積極的に取り入れ、特性可変性を実現するとともに、CMOSプロセス微細化に対するポータビリティも確保するというものです。現在、このデジタルリッチが大きな注目を集めています。しかしながら忘れてならないのが、例えデジタルリッチ化が進んでも、純粋なアナログ回路である低雑音増幅器(LNA)が依然必須だということです。ソフトウェア無線の実現には、このLNAのマルチバンド化が必要ですが、LNAには通常厳しいトレードオフ条件が課せられるため、その実現には多くの困難が予想されます。さらには、プロセスの微細化に伴い、ますます設計条件が厳しくなります。したがって、この低雑音増幅器を今後どう革新していくかが、最重要課題であるようにさえ感じます。

このような背景の中、兵庫先生のプロジェクトでは、RFアナログ技術、とくにマルチバンド対応可能な、特性可変LNA、広帯域LNAおよびミキサの開発を行ってきました。これまでに、広帯域にわたる入力整合を保ったまま、チップコスト増大の原因となっていたインダクタの個数を削減する技術や、独自のDCオフセット抑制技術など、いくつかの有効な新規アイデアが生まれました。

本プロジェクトは2006年度に発足し、今年で最終の3年目を迎えました。現在は、試作回路の評価を行っています。これらの結果を踏まえた新たな回路設計への検討も開始したところです。本研究で得られた成果とともに、研究室を巣立った学生の皆様が、半導体産業の発展に大いに貢献されることを期待しております。

トの中興の祖となり軌道に乗せてくれました。さらにB4だった高野秀行君と彦坂昇吾君(現・M2)は3年目となり最終ゴールへのアンカーの役目を担って測定や、より高性能な回路構成の検討などを行っております。また、昨年の研究室配属直後より参加した、林哲平君、佐藤豪大君、安嶋修平君(現・M1)は2年目となり、回路開発にも少しずつ慣れ、各自特徴のある新しい回路を提案するとともに、M2とともにB4の新井知広君、諏訪大介君、横井隆弘君の指導にあっております。アナログ回路においては、すべての特性を効率的に満足することが難しく、すべての特性が仕様内に入ったとしても、トレードオフのため、ある特性を特化させたい場合には構成上の向き不向きが生じます。このため、学生一人ひとりが一つ以上の新規回路を研究し成果を比較しております。このため、参加学生数が増えることは、多くの回路形式を検討することができ、学生数の多い本研究室の強みとなっております。

本研究で実現したLNA回路の一部を図1に紹介いたします。これは負荷となるインダクタを能動回路で構成したもので、そのインダクタンスはバイアス電流により可変できます。このため、回路特性は電流により可変となるとともに、スパイラルインダクタを用いる必要がなくなるため、チップに対する占有面積を激減することが可能となります。本回路はUWBを利用する無線機器だけでなく、次世代の携帯電話などへの応用が期待できます。その他、低雑音指数を実現するLNA、低消費電力用途向け電流再利用型LNA、小面積向けLNAなどのほか、LNAミキサ回路、ダブルコンバージョンミキサなど、機能ブロックも実現しております。これらをまとめてTSMCの0.18 μ m CMOSプロセスにて集積化したチップ写真を図2に示します。このチップもファーストシリコンで動作することができ、現在、測定を進めております。また一方では、現状の問題点を改善した回路や新しいアイデアを盛り込んだ回路などの設計も行っております。

高周波回路では、回路設計やレイアウトに非常に多くのノウハウがあり、このノウハウをどうやって引き継ぐかが問題でした。院生がとぎれないようにし、バトン各学年でうまく受け継ぐようにして現在に至っております。しかし、プロセスデザインキットの変更など、引き継がれたノウハウが役に立たない場合もあり、理論検証の他、実際になるべく近づくように可能な限りのシミュレーションで性能を見積もるなど、重要ではあるものの大変地道な作業の積み重ねとなっております。しかし、学生の経験値はどんどん上がっており、ますます頼もしくなっております。

このように産学協同の研究を積極的に行ってきた学生たちの成長ぶりには目を見張るものがあり、研究室に入ってきた当時と卒業時では雲泥の差があります。やはり実社会で活躍されている企業の方々と議論することでより実践的な何かを掴み取るのではないかと考えております。さらに、学生には高いハードルに躊躇することなく、自分を信じて突き進んでいくことで新しいものを得て欲しいと思っております。なお、誰かが技術的なブレークスルーすると、その壁は周りの学生にとっても壊れているのが大変おもしろく感じています。改めて学生たちの持っているポテンシャルの高さに驚いております。なお、STARCプロジェクトに係わった学生は卒業・修了後、企業でも大活躍しているようで、例えば、前プロジェクトの修了生、和智勇介君(2006年4月、日立入社)は2008年のISSCCに論文発表する(STARCニュースNo.36、19頁参照)など、OBが多くの実績を残しつつあるようで頼もしい限りです。

最後になりますが、STARCプロジェクトにより、研究環境の充実と人材育成に新たなチャンスをお与えいただきまして大変感謝しております。またSTARCの研究員の皆様には、非常に多くの貴重で重要な射たアドバイスをいただき非常に感謝しております。この場をお借りして厚くお礼申し上げます。

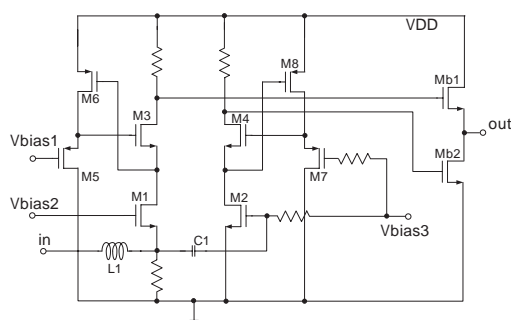


図1 アクティブインダクタ負荷を用いたノイズキャンセル型LNA(L1はボンディングワイヤのインダクタンスである)

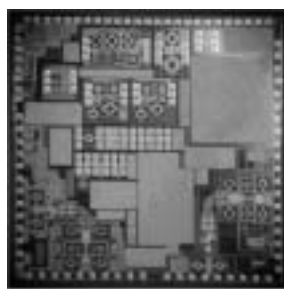
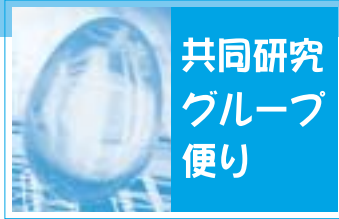


図2 チップ写真(5 mm x 5 mm)



共同研究
グループ
便り

森研究グループ

テーマ名 量子輸送シミュレータを用いた新構造・新材料デバイスの性能予測
研究代表者 大阪大学大学院 工学研究科 電気電子情報工学専攻 准教授
森 伸也(もり のぶや)



後列左から 境田(M1)、三成(D2)、吉丸上級研究員(STARC)
前列左から 石川客員研究員主査(ルネサス)、森准教授、竹田客員研究員(NECEL)、
山川客員研究員(ソニー)

(2008年6月現在 敬称略)

はじめに

シリコンMOS型トランジスタのチャンネル層を古典的に考えると、キャリアは半導体と絶縁体界面にぴったりとシート状に分布することになります。しかし、同じ問題を量子力学に基づき考察すると、界面から数ナノメートル離れた位置にキャリア分布の中心がずれることがわかります。これは、水素原子を古典的に考えた場合、電子と原子核との間の距離がゼロとなってしまうのに対し、量子力学的に取り扱えば、その距離がボーア半径となることに対応しています。

MOS型トランジスタにおいてキャリアが界面から離れて存在していることは30年以上前から知られていましたが、マイクロメートルのスケールでデバイスを設計する場合、数ナノメートル離れているかぴったりくっついていないかはあまり問題にはなりません。

した。ところが、スケーリング則に基づくデバイスの微細化に伴い、ナノメートルのスケールでデバイスが作製されるようになった現在、この小さな違いはデバイス特性に大きな違いとなって現れます。さらに、古典的に考えることができないほどデバイスサイズが小さくなったため、微細化のみによるMOS型トランジスタの性能向上も難しくなってきました。そこで、現在、新しい構造や新しい材料を用いたデバイスが数多く提案・検討されています。

以上のような背景のもと、ナノメートルスケールの半導体デバイスで現れる物理現象を量子論に基づき第一原理的に予測することができるシミュレータを開発し、デバイスとして最も適した構造や材料を効率的に探索できる環境を構築することが望まれています。

STARCテーマ内容

本研究では、量子論に基づくデバイ

スシミュレータ SQUATS (STARC Quantum Transport Simulator) の開発を行っています。STARCとの共同研究として、2004年度から2005年度まで「ゲート長10nm世代を見据えた量子輸送シミュレータの開発」、2006年度から2008年度まで「量子輸送シミュレータを用いた新構造・新材料デバイスの性能予測」というテーマで研究をさせていただいています。この間、2007年度まで富士通研の岡 秀樹氏に客員研究員主査をしていただいておりますが、現在は、森 伸也(研究代表者)、三成 英樹(D2)、境田 裕志(M1)、北山 達郎(B4)、吉丸 正樹 上級研究員、石川 清志 客員研究員主査(ルネサス)、山川 真弥 客員研究員(ソニー)、竹田 裕 客員研究員(NECエレクトロニクス)という体制で研究を行っています。

ナノスケール半導体デバイスでは、原子をもとにデバイスを表現することが最も自然です。しかし、計算時間の制約などのため、すべてを原子論的に取り扱うことはあまり現実的ではありません。そこで、本研究では、原子論的なシミュレータと連続体モデルのシミュレータを並列して開発しています(図1参照)。原子論的なシミュレータでは、電子・正孔を区別なく扱える(図2参照)、面方位・歪み・新材料の取り扱いが容易などの優れた特徴を有していますが、小さなデバイスサイズに限られ、散乱などの物理モデルを組み込むことも計算時間の面で困難です。一方、連続体モデルのシミュレータでは、大きなデバイスにおいて散乱を含む計算も現実的な時間で実行可能ですが(図3参照)、材料の変更や歪みの取り込みなどを第一原理的に行うことが困難です。本研究では2種類のシミュレータを有機的に結合することにより、新構造・新材料デバイスの性能予測を行える環境の構築を目指しています。

共同研究に関して 日頃感じていること

STARC共同研究において、客員研究員の方々と定期的な打ち合わせができるようになったことに日頃感謝しています。学生にとっても大変良い刺激になっているようです。長期的な視点で次世代の半導体技術を支える人材育成に取り組むことがなによりも重要であると思います。客員研究員の方々が共同で研究に取り組んでいただけることは、その意味において何ものにも代えがたい価値があると感じています。

おわりに

NECがゲート長 5 nmのMOSFETを

発表されたころから研究を開始しました。当時、3 GHzのシングルCPUのPC上で計算を行っていましたが、最近、クアッドコアのデュアルCPUのPCも安く入手できるようになりました。数台のPCで数10スレッドの並列計算も可能です。共同研究開始時にはこんなに安価に並列計算環境を整えられるとは思っていませんでした。CAD画面上で原子をLEGOブロックのように組み立ててデバイスを設計できるようになるのもそう遠くないような気がします。

最後になりましたが、平田雅規氏、江崎達也氏、山本豊二氏、岡本真輝氏、西谷大祐氏ならびに関係各位に感謝します。

客員研究員主査からのコメント

株式会社 ルネサステクノロジ
技術開発統括部 先端デバイス開発部

石川 清志

LSIの微細化が進むにつれてゲートトンネルリークやソース・ドレイン間直接トンネル、歪によるバンド・サブバンド変調等の量子力学固有の問題が顕在化してきています。プロセス・デバイス構造設計にシミュレーション (TCAD: Technology CAD) を用いた効率化は必須のものとなってきており、とくに、デバイスの電気特性に関しては結晶を量子力学的に考慮したバンド構造の元に古典的粒子または流体が運動するというモデルがこれまで成功を納めてきました。しかし、ここに来て上記の限界が顕在化し、より量子力学的に厳密に扱える非平衡Green関数法 (Non-Equilibrium Green Function Method: NEGF) に大きな期待が寄せられています。

第一原理計算を含め、NEGFもより厳密な計算が可能である反面、計算量が膨大になるため、小さいサイズのデバイスしか扱えず、例えばこれまでのNEGFではサブ10nmのMOSぐらいで限界でした。このため、安定して作成できる研究開発デバイスの最先端である30~40nmデバイスとの実測との比較・検証が難しく、モデルや計算手法の妥当性・実用性の判断が難しいという問題がありました。

本共同研究では森研究グループの色々なアイデアで近似手法を改善し、32nmデバイスの3次元NEGF計算を目指して順調に開発を進めており、理論と実証のギャップを埋めたシームレスなNEGFシミュレーションシステムを目指しています。研究の進め方も前回のプロジェクトで開発した2次元NEGFコードを元に計算速度・精度・モデルの妥当性を逐次検証しながら、必要な新規機能の開発も含め、着実に3次元化を行っています。本年度が最終年度となりますが、企業としては目先の30~40nmデバイスへの適用に大いに期待しています。また、研究室の学生も主体的に課題解決に向けて研究を行っており、半導体シミュレーション分野だけでなく、日本の半導体技術全体の発展に寄与できる有望な人材の排出にも期待しています。

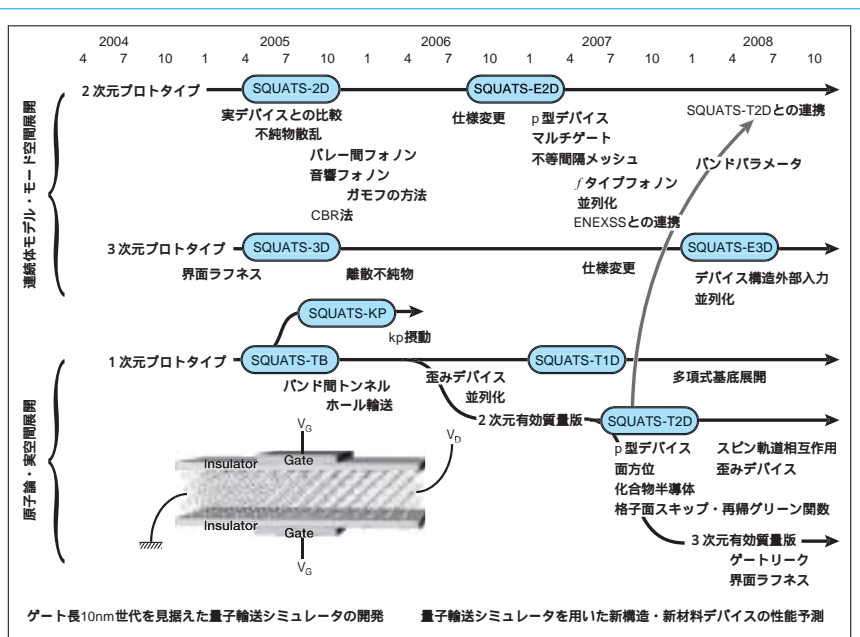


図1 量子輸送シミュレータ SQUATS (STARC Quantum Transport Simulator) の開発の流れ

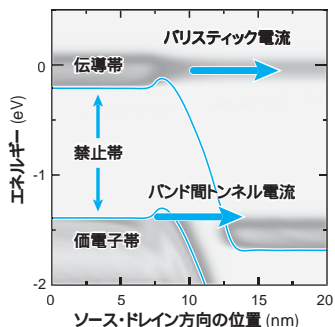


図2 シリコンn+nn+構造における電子密度スペクトル (濃淡図)。色の濃い部分が電子密度の高い領域を表す。

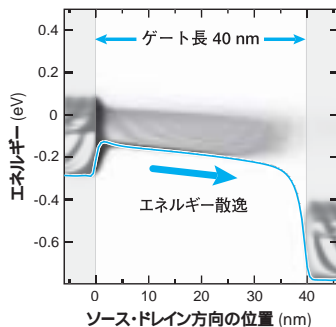


図3 ゲート長40nmのダブルゲート型デバイスにおける電子密度スペクトル (濃淡図)。エネルギー散逸のためポテンシャル分布 (実線) に傾きが生じる。

国際学会参加報告

第26回 VLSI Test Symposium (VTS2008)

はじめに

米国カリフォルニア州サンディエゴで4月27日から5月1日まで、第25回VLSIテストシンポジウム(VTS2008: 26th VLSI Test Symposium)が、開催された。

LSIテスト分野の老舗であるVTSには毎年世界各地から一線の研究者が集合しており、今年も200名余りが参加して、54件の通常論文発表、30件の事例発表(Innovative Practice)および11件の特別セッション(パネル等)が行われた。また、3件のチュートリアルおよび2件のワークショップも設けられたほか、関連のミーティングも多数開催された。日本からは10名が参加、うち2名がSTIL(Standard Test Interface Language)に関する事例発表を行った。

会場は例年と同様に郊外のリゾートホテル。炎天下のゴルフコースを横目に、会場でも暑い議論が戦わされた。

テクニカルセッション

最初の全体セッションでは基調講演と招待講演が行われた。基調講演では、Qualcomm社のCampbell上級副社長が「テスト - 何が牽引するか」と題して、携帯機器市場におけるテストの課題を述べた。多様な機能への対応とともに歩留り立ち上げへの貢献が重要であると主張。テストコスト削減のためにはチップにもっとテスト機能を搭載する



会場の会議棟

べきだと述べた。

招待講演では、USCのBreuer教授が「設計・テスト技術の革命」と題して、歩留り損失の低減について発表した。MPEG技術等の持つエラートレランスを利用して、一部欠陥のあるチップでも、エラートレラントなテストを行うことにより対応のアプリケーション向けに出荷できるとの考えを示した。

通常論文発表では、分野別の件数でディレイテスト関連と故障診断関連がここ数年上位を占めており、これらの分野の研究は依然として活発である。また、電力考慮テスト、テスト圧縮、高速I/Oテスト等の今や主流となったトピックスからナノCMOSのテスト等の将来テーマまで、幅広い分野のテスト技術に関して発表があり、多様な課題への対応が必要とされる現在の状況が反映されたセッション構成となった。

事例発表は、今年も全般的に人気を集めた。テーマとしては、ゼロ欠陥、ポストシリコン検証、メモリテスト、劣化と初期故障、STIL利用、故障位置指摘など、こちらも多岐にわたる内容がカバーされていた。今回はSTIL利用のセッションをオーガナイズしたが、残念ながら聴衆は比較的少なく、まだ十分に普及が進んでいないとの印象を持った。STARCの活動(STIL活用ガイド等)を世界レベルに拡大するためには、今後ともさまざまな機会を通して認知度を高めていく必要がある。

また、今回は特別セッションのひとつとして米国の人気テレビ番組である「Apprentice」のVTS版が行われ、参加の約30名が5班に分かれてテスト技術の今後について策を練りあった。筆者も米国以外のメンバが必要との要請で途中から加わったが、我が班が優勝の栄冠を得たのは幸運であった。

このほか、特別セッションとして、パネル、エンベデッドチュートリアル、ホットトピックなどの企画も設けら

れ、参加者はこのシンポジウムを多面的に楽しむことができたと思う。

ソーシャルプログラム

一方、この学会のもうひとつの重要イベントであるソーシャルプログラムでは、国境を越えてメキシコまで遠征。まずは少し内陸に入ったテカテの町で特産のビールを味わった後、海岸の町ロザリトに移動。日没には少し遅れたものの、日暮の海岸でマルガリータを手で会話をはずませた。その後室内に移動して実施されたパンケットでは、メキシコ各地からダンサーが集まり、メキシコ料理とともにひとときの異国情緒を楽しんだ。



民族衣装のダンサーと一緒に

おわりに

今回のVTSの全体的傾向として以下の2点が挙げられる。(a)全体の関心が不確実性(低歩留り)の時代のテストはどうあるべきかに移りつつあるという印象を受けた(エラートレラント等の考え方もあり)。一方で、テスト圧縮、電力考慮テスト、故障診断等については、引き続き活発に研究が進められている。(b)論文発表に関しては、大学と企業の共同研究が27%を占めており、大学においても実用化への意識はますます高まっている。

なお、次回は2009年5月3日から7日に米国カリフォルニア州サンタクルーズで開催される予定である。筆者は引き続き事例発表担当の実行委員を務める予定であり、興味をお持ちの方はぜひご連絡いただきたい。

(テスト&故障解析開発室 畠山一実)

国際学会参加報告

第45回Design Automation Conference (DAC 2008)

STARC開発部からみたDAC報告

開発第1部からみたDAC

DACはご存知のように世界最大のLSI設計環境に関する国際会議です。毎年1万人近い人が参加します。DACには主に二つのセッションがあります。一つはテクニカルセッションで、EDAツールの新規アルゴリズムのアイデア、設計メソッドの研究の発表といったいわゆる学会です。もう一つはEDAベンダの最新プロダクトを中心とした展示セッションです。DACに参加する人の目的もそれぞれによって違います。ある人はテクニカルセッションに参加し、大学や企業による最新研究の発表や調査を行います。また、展示に参加し、既存大手EDAベンダの最新機能の紹介を受けたり、スタートアップ企業のプロダクトをいち早く見つけ、自社設計に活かそうとする人などさまざまです。私も例年参加していますが、目的が上記二つとやや異なります。

DACのもう一つの特徴は、LSI設計環境に携わるほとんどの人が参加するため、私たちの業務と密接な協業が必要なEDAベンダ・大学、標準化団体などのしかるべき人とDACの期間1週間で面会ができるということです。これら面会を通じ、協業の確認をしたり、特別な要求がある場合はそれを伝えたり、また、今後の更なる関係強化をお願いしたりすることができます。また、今後の技術動向・ビジネス動向についても議論できます。今年は、とくに現在協業しているEDAベンダのCEOレベルの人との面会し、STARCの設計環境開発の技術優位性を世界的に見てどのように思うかを、ヒアリングしました。その結果、7割の人が他の組織に比べて進んでいるという評価で、残りの3割の人も同等であるということです。課題は、STARCでの技術開発の結果を実際の設計でどのように使われているか、もっと外部から見える形にするということです。

このようにSTARCのポジショニングということに関して非常に良い議論ができ有意義なDACでした。DACの展示セッションに関しては大手EDAベンダにとってはいろいろ問題もあるようですが、年一度、関係者一同が集まるDACのような催物はぜひ必要だと思っています。

(開発第1部 西口信行)

開発第2部からみたDAC

システムレベル設計に関しては、UMLワークショップでAUTOSARやMARTEのチュートリアルやIP-XACTへの対応、適用例の紹介がありました。検証関連では、大規模対応と高速化による実用性に関する発表が目立っていました(Session 9)。また、SystemC関連では、スレッド・プログラミングに関する問題への対応策が企業と大学

の共同研究で2件発表された(Session 51)ほか、併設学会のMEMOCODEでもINRIAから同様の問題検出手法の提案がありました。SystemCモデル作成上の問題点の認識と改善策の提示から、実用化に向けて先行企業が精力的に取り組んでいる様子が伺えました。

テスト分野では、「Diagnosis and Debug」、「Random Topics in Testing」の2セッションで8件の論文発表がありました。故障診断関連では、カリフォルニア大サンタバーバラ校から、データマイニング技法を利用したディレイ欠陥の統計解析手法(論文番号22.1)について、フリースケールと共同の

発表がありました。一方、テスト関連では、アイオワ大からビアのオープン故障のモデルとテスト手法について発表がありました(論文番号45.4)。いずれも、今後の微細化の進展に伴ってより重大となる問題への対応を図るものとして注目したいところです。

アナログ/Mixed-Signalは、DAC冒頭のG. Smith氏の「Trends and What's Hot at DAC」でHot Topicsの一つに挙げられました。インテルのJ. Rattner氏が2002年に開始されたSystemCのアナログ対応拡張版(AMS)の加速を表明、Analog Rails、Ciranova、Magma、SynCiraの各社展示においてもアナログ自動レイアウトに関して進展が見られました。SoC設計ではアナログ部の設計が隘路となってきており、Mixed Signal開発室では最新技術動向を見据えて今後の活動計画を策定していきます。

(開発第2部)

DAC10-2008報告

雲一つない米国アナハイムの青空の下、2008年6月10日から設計技術では世界最大規模の学会の一つである第45回Design Automation Conference(以下DACと略)が、ディズニールンドの近くのコンベンションセンターで開催されました。技術セッション、Tutorial、展示、並列ワークショップなどに、8500名ほどの参加者があり、投稿論文総数は639件(米国332件、欧州122件、アジア185件)。この中から147件が採択され、採択率は23%であったとの主催者発表で学会が開始されました。

今回はDACを構成する委員会、技術セッション議長などで日本研究者の方々の活躍が増加しました。昨年は、DAC全体を統括するExecutive Committeeにアジア委員である松永裕介先生(九州大学)論文選考委員会にアジアから1名のみの委員である畠山一実氏(STARC)、パネル討論構成委員会には柏木治久氏(STARC)が参加していました。今年は日本から論文選考委員会に浅田邦博先生(東京大学)、橋本昌宜先生(大阪大学)、藤田昌宏先生(東京大学)が参加されました。パネル討論構成委員会には、八木浩行氏(STARC)がパネル討論メンバの選択およびパネル構成者として活躍されました。技術セッションの議長には、永田真先生(神戸大学)、橋本昌宜先生(大阪大学)、藤田昌宏先生(東京大学)が就任されました。

日本の設計技術を世界に示そうと、大学研究者および半導体業界の方々に呼びかけ、前回のDACより論文投稿を推進するDAC10運動も今年は2年目を迎えました。運動開始当初から前記の多くの方々やProf. Kahngには、アドバイスをいただいています。Prof. Kahngは今年DAC Vice Chairとなられ、来年はDACを統括するChairを勤められる予定です。今年も大学研究者、半導体各社、学会を支える方々からのご支援の下、論文2件、パネル出席3件、パビリオンパネル1件、Tutorial1件、University Boothへの出展1件の発表が日本からなされました。論文は今井正紀氏("Non-parametric Statistical Static Timing Analysis: An SSTA Framework for Arbitrary Distribution", 東工大/STARC)、栗本昌憲氏("Phase-Adjustable Error Detection Flip-Flops with 2-Stage Hold Driven Optimization and Slack Based Grouping Scheme for Dynamic Voltage Scaling", ルネサステクノロジー)が発表し、パネルでは服部俊洋氏("Panel: Multi-core SoC Design is the Challenge! What is the Solution?"), ルネサステクノロジー、巨木秀和氏("Panel: ESL Hand-off: Fact or EDA Fiction?"), ソニー、川崎郁也氏("PANEL: Next Generation Wireless-multimedia Devices - Who is up for the Challenge?"), ルネサステクノロジー、パビリオンパネルでは井上善雄氏("Panel: Advanced Low Power Techniques: Is your Design Method Too Powerful?"), ルネサステクノロジー、Tutorialでは西口信行氏("Low Power Techniques for SoC Design", STARC)、University Boothでは藤田研究室(東京大学)より発表がなされました。

来年のDACは、2009年7月26日から31日までサンフランシスコで開催されます。通常より1か月遅い開催となるため、論文投稿締切も2008年12月19日と1か月遅く設定されています。Call for Papersは<http://www.dac.com/>にあり、通常分野分類の他にFocus areaとして、Multi-core applications in design automation, Embedded system and wireless designなどがあげられています。今回もMulticore関連では19件の論文が採択されており、Embedded system関連でも多くの論文がありました。昨年から開始されたWild And Crazy Ideas(WACI)分野は、アイデアを主体に実証実験も最小限で投稿が可能です。DACは設計技術の学会ですので、アルゴリズムのみでなく設計方法論の投稿も盛んです。ぜひ、日本からの発表を増やすべく多くの方々からの論文投稿をお願い申し上げます。

(DAC10-08事務局 宮本俊介)



A-SSCC 2008 福岡で開催

IEEE Asian Solid-State Circuits Conference(以下A-SSCCと略す)は、2005年2月にIEEE(The Institute of Electrical and Electronics Engineers, Inc)SSCS(Solid-State Circuits Society)主催の4番目の国際学会として発足しました。「アジアの半導体産業の急速な発展」「アジア地域での重要性の急増」「アジアに集積回路設計の新しい風を」と、半導体のオリンピックとも賞されますISSCCのアジア版としましてA-SSCCは、毎年11月に開催しております。

第4回目となります今年のA-SSCC 2008は、福岡で開催されます。今年のスローガンは「Digital Convergence for Ubiquitous Life Style」です。日本、韓国、台湾、中国をはじめとするアジア十数か国および欧米諸国の大学、企業、および公的研究機関の研究者が一堂に会し、最先端研究成果の発表と討議を通じて、半導体集積回路の低消費電力化(省エネ化)とその応用等の学術に関する国際的交流を図ります。とくに アジアからの技術情報の収集。 アジアへの技術力のアピール。 アジア進出時のエンジニアおよび学生の確保。 日本のエンジニアおよび学生への刺激と啓蒙。 アジア各国とビジネスおよび技術の交流。が期待されます。

主なプログラム(予定)は、 学界/産業界の要人により「基調講演」 学界/産業界の専門家による教育的講義であります「分野別チュートリアル講演」 学界/産業界の研究者による研究成果発表の「分野別研究成果発表」 本学会独自のプログラムとしまして産業界の研究者により「製品化成果発表・分野別新製品紹介」 学界/産業界の研究者により「技術動向討議」として「分野別パネル討議」 学生諸君による「学生発表コンテスト」を予定しております。

主催者：IEEE SSCS

A-SSCC 2008 組織委員会

学会名：A-SSCC 2008

会場：JAL リゾート シーホーク ホテル 福岡 (福岡市中央区地行浜2-2-3)

開催期間：2008年11月3日(月)~5日(水)

参加費：10月1日以前のお申込

IEEE会員 (一般)4万5千円。(学生)2万円。

IEEE非会員(一般)6万円。(学生)2万5千円。

10月2日以降のお申込

IEEE会員 (一般)5万5千円。(学生)2万6千円。

IEEE非会員(一般)7万円。(学生)3万2千円。

詳細は、<http://www.a-sscc.org/> をご覧下さい。

皆様のご参加をお待ちしております。

(A-SSCC2008事務局 安達功修)

