

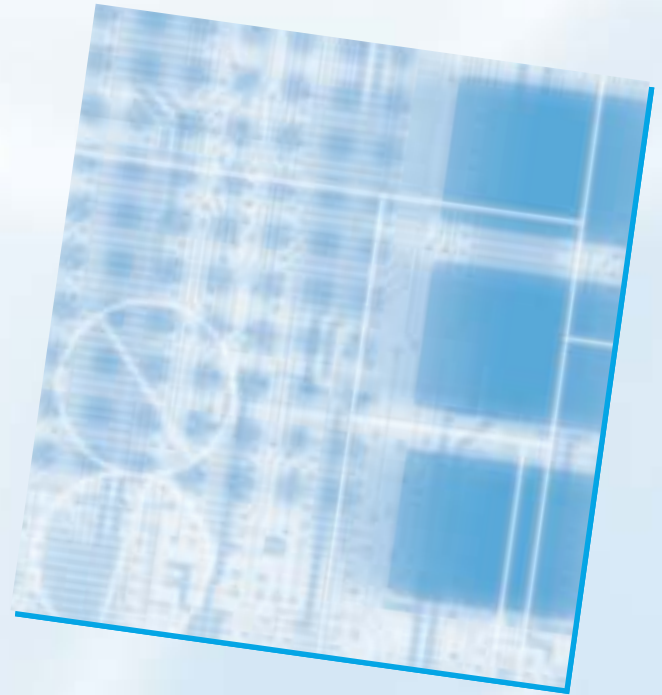
## STARC ニュース

No. 35

2008年1月15日発行

株式会社 半導体理工学研究センター

Semiconductor Technology Academic Research Center (STARC)



## CONTENTS

新年社長挨拶.....	2
特集 / 標準化推進室 HiSIM-LDMOSが国際標準モデルに.....	3
特集 / 教育推進室 あすか川におけるSoC設計教材開発と大学教育支援活動.....	4
特集 / テスト & 故障解析開発室 テスト&故障診断プラットフォーム STARCAD-Clouseau V2.0...	6
共同研究グループ便り 浦岡研究グループ.....	8
吉川研究グループ.....	10
堀田研究グループ.....	12
海谷研究グループ.....	14
特別レポート / A-SSCC 2007、2008 .....	16
国際学会参加報告 ATS2007.....	17
ITC2007.....	18
ICCAD2007.....	20
システムLSIワークショップ.....	21
IEDM2007.....	22
EDS Fair 2008出展のご案内.....	24

# 新年のご挨拶

代表取締役社長&CEO

**下東 勝博**（しもひがし かつひろ）



新年明けましておめでとうございます。

2008年の新春を迎え、謹んで新年のご挨拶を申し上げます。

まず、今年前半には良いニュースが入りそうです。それは永らく低迷していた日本の半導体の売上高世界シェアが2007年に上昇に転じたことです。これは何よりもうれしいニュースであり、クライアントの皆様のご努力に敬意を表します。ご高承のように、半導体はグローバルな産業でありますから、その中でいかにポジショニングするかは最重要課題です。もちろんシェアという量的な側面だけがすべてではありませんが、量を見捨てて質の向上はあり得ないでしょう。

さて、本年のSTARCの活動方針は力行で始まる三つの言葉、「加速」「グローバル」「効率」としたいと思います。今年は「あすかII」フェーズ2のスタートの年であります。フェーズ1の勢いを「加速」させてまいります。目を広く海外へ向け、「グローバル」な視点を持って活動してまいります。産業景気予測で示されているように、日本の主要30業種の内、好調8業種中7業種はグローバル展開に成功しているところです。そしてシステムLSIでは、すべての事業活動において「効率」をいかに上げるかが最優先課題といえましょう。とくに設計効率の向上は待ったなしです。システムLSIの設計効率が飛躍的に向上すれば、省エネルギー化はもちろんのこと、我々の多くの課題は解決されるでしょう。

次に、2008年度から始まる新しい「あすかII」フェーズ2のプログラムを紹介します。フェーズ1と同様に、共通コア、先端コア、選択の各プログラムで構成されますがその内容は大幅にグレードアップされています。共通コアの大学共同研究は、49プログラムから52プログラムへ拡大します。教育は新しく始めたMOT講座の浸透をはかるとともに、設計技術者教育を質量ともに拡大し、人材育成を強化いたします。先端コアの「プロセスフレンドリー設計」は、いよいよ32nm世代をターゲットとして、先進的かつ総合的な新たな段階のDFM開発を進めます。選択プログラムでは、Mixed Signalは変わりませんが、テスト開発は電力考慮テスト技術などで質量ともにグレードアップします。また、上位設計はTLMレベルからさらに顧客に近いところまで範囲を拡大する計画です。フェーズ2のさらに新しい点は、大学の独創的IPをSi上で検証する「新業界シャトル」をSTARCが担当することです。業界あげて大学との関係をより実践的に強化し、独創性のある技術開発を支援していきたくと思います。

さて、グローバル化に関し、うれしいニュースがあります。それは10年以上続けてきましたSTARCと広島大学との共同研究の成果であるHiSIM-LDMOSが世界標準候補として選ばれたことです。今年もこういう成果が続々と生まれるよう、「加速」「グローバル」「効率」を合言葉として、社員一丸となって、クライアント、パートナーと密に連携して行きたいと思っております。

平成20年、戊子（つちのえね）の運勢は「頑固」「紆余曲折」だそうですが、コンソーシアムの理念である「和」「人との良き交流」によってこれを乗り越えて、実り豊かな年になるよう半導体業界をあげて力を合わせていきましょう。

最後になりましたが、2008年が皆様にとってより良き年になることをお祈りして、私の新年の挨拶とします。

# HiSIM-LDMOSが国際標準モデルに

企画部 部長代理 兼 標準化推進室 室長 古井 芳春

回路シミュレーション用トランジスタモデルの国際標準機関Compact Model Council (CMC) はLDMOS (Laterally Diffused MOS) の標準モデルにHiSIM-LDMOSを選定しました。CMCでは2006年5月からLDMOSトランジスタの標準モデル選定を進めてきました。12月26日に終了したCMCメンバー各社の電子メールによる選定投票で、HiSIM-LDMOSはEindhoven工科大学-NXP共同開発のMM20 (MOS Model 20) を抑えて標準モデルに選定されました。

HiSIM (Hiroshima University STARC IGFET Model) は、広島大学 三浦研究室とSTARCの共同研究成果であり、NEDO技術開発機構の支援も受けて開発、改良が進められてきました。同モデルは、表面ポテンシャルモデルと呼ばれる新世代のモデルで、回路シミュレーションに求められる高精度と高速計算を両立させています。2005年に行われたCMCの次世代MOSFET標準モデル選定では、ASU (Arizona State University) -NXPによるPSPモデルに敗れましたが、今回LDMOS標準モデルに選定されました。以下にHiSIM-LDMOS選定の根拠となった、CMCメンバーによる技術評価結果を中心にレポートします。

LDMOSトランジスタは電源LSIやディスプレイドライバLSIなどに広く利用されています。しかし高耐圧・大電流を実現するためのデバイス構造は各社ごとに異なり、単一モデルで実現することは困難でした。実際にはBSIMモデルなどに外部回路を付加した複合モデルによって、電圧・電流特性を表現してきました。しかし複合モデルでは、回路設計で重要な容量特性の精度が低い、自己発熱によるドレイン電流低下 (self heating効果) を表現できない、トランジスタのゲート長/ゲート幅 (W/L) のスケラビリティや、マルチフィンガー構造を表現できないなど多くの欠点が存在しました。LDMOS標準モデル選定にあたり、CMCではこれらの課題解決を必須項目



2007年12月CMC会議でのLDMOSモデル評価レポートの審議

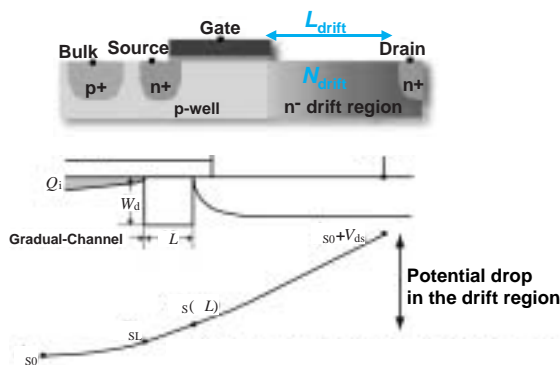
とした要求仕様を作成し、モデル開発者に提示しました。標準モデルの選定にはHiSIM-LDMOS、MM20に加えて、ローザンヌ工科大学のEKV-HVの三つがエントリーし、約1年間にわたってモデル改善とメンバー各社による技術評価が行われました。2007年10月に行われたCMC会議では、モデル開発者のプレゼンに続いてOKI、三洋半導体、リコー、Austriamicrosystemsの4社が評価レポートを発表しました。これを受けてLDMOS標準モデルの第1回投票が行われ、3候補からHiSIM-LDMOSとMM20の2候補が選定されました。(投票結果はHiSIM-LDMOS = 39, MM20 = 25, EKV-HV = 3)

2007年12月のCMC会議でモデル選定のための最終評価レポートが行われました。発表は、OKI、三洋半導体、リコー、Austriamicrosystemsに加えて、松下電器、NECエレクトロニクス、IBM、TI、Jazz Semiconductorが行いました。MM20のみを評価したIBMを除いて、8社すべてがHiSIM-LDMOSを標準モデルに推薦する内容でした。これはHiSIM-LDMOSは「外部付加回路なしに、W/Lのスケラビリティや、数10~250Vまでの電圧・電流特性を表現できる」こと、「回路シミュレーションでスイッチング特性などを高精度に表現した」ことによります。この会議を踏まえて第2回の電子メール投票が行われ、HiSIM-LDMOS = 38、MM20 = 3でHiSIM-LDMOSは標準モデルに選定されました。

HiSIM-LDMOSは技術評価により提示された課題と改善リクエストへの対応を行った後に、再度CMCメンバーによる標準モデルの認定投票を受けず。2008年度半ばにLDMOS標準モデルとしてリリースされると考えられます。

HiSIM-LDMOS標準化にあたっては、広島大学 三浦研究室のご尽力とクライアントを中心に多数の国内企業技術者の支援をいただきました。ここに深く感謝の意を表します。また、今後も継続してHiSIMの利用拡大に向けて協力をお願い申し上げます。

## Complete Surface-Potential-Based Model



- > All important potential values are known.
- > Smooth Transitions: Accumulation ↔ Depletion ↔ Inversion

図1 HiSIM-LDMOSモデルの模式図 (広島大学 三浦研究室のデータ)

# あすかIIにおけるSoC設計教材開発と 大学教育支援活動

研究推進部 教育推進室 室長 加沼 安喜良

## 1. はじめに

STARCでは2001年度から2005年度までの「あすか計画」プロジェクトでMooreの法則に従うSoC (System-on-a-Chip) の高集積化に向けた設計効率向上のためのシステムレベルからのトップダウン設計にポイントを置いた設計教育コースを企業技術者が中心になって開発し、主に大学院修士課程を対象として大学教育支援を進めてきました。これを継承発展させる形で2006年度から2010年度にかけて「あすかII」プロジェクトで進められているSoC設計教材開発と大学教育支援の状況をここで紹介します。

## 2. あすかIIにおけるSoC設計教材開発の概要

半導体は依然として最も進化した情報処理媒体であり、情報処理の高性能化はこれまで半導体の微細化に依存してきましたが次第に半導体の設計技術への依存度が相対的に高まっており、SoC設計技術教育の重要性も高まっています。

半導体の応用分野から見ると、西暦2000年前後を境としてパラダイムシフトと呼ぶことのできる大きな変化を経験しつつあります。例えば、電話網からインターネット、LANからWLAN (無線LAN)、(デスクトップ) PCからモ

バイルPC、音声中心携帯電話からデータ中心携帯電話、産業用ロボットから家庭用ロボットなどの変化の傾向が顕著になっています (図1)。

こうした応用分野の変化の中でイノベーションを担える技術者を育成するためにSTARCでは、あすか計画で開発されたSoCの設計教材である「システムLSI設計」を基本としてこれを補強する形で、信号処理や制御などのアルゴリズムレベルからのトップダウン設計や主にワイヤレス通信向けのアナログ・RF設計に対する教材開発を産学連携を通じて進めています (図2)。開発ロードマップとしてはアルゴリズム設計編は2006年度から2008年度にかけて、またアナログ・RF設計編は2008年度から2010年度にかけて大学教育支援の場に登場するスケジュールです (図3)。

## 3. 「システムLSI設計」アルゴリズム設計編

SoCが物理的な対象と相互作用しながら情報処理を進めていくためには信号処理や制御の機能が必要であり、こうした機能は数学モデルを扱うアルゴリズム設計レベルからのトップダウン設計手法により見通し良く設計を進めることができます。

具体的にはMATLAB/Simulinkなどの数学モデルを処理

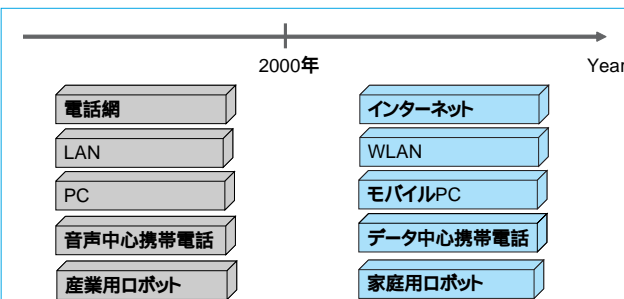


図1 パラダイムシフト

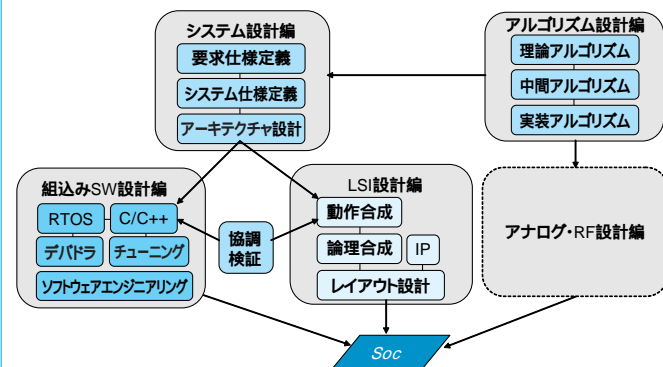


図2 テキストの構成とSoC設計フロー

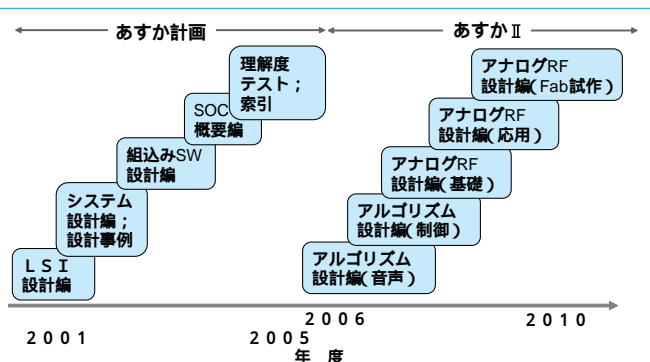


図3 SoC設計技術教材開発ロードマップ

- 第1章 基礎講義(1)ガイダンス
- 第2章 基礎講義(2)アルゴリズム総論
- 第3章 基礎講義(3)実装概論・モチーフ講義
- 第4章 基礎実習(1)理論アルゴリズム設計
- 第5章 基礎実習(2)中間アルゴリズム設計
- 第6章 基礎実習(3)実装アルゴリズム設計
- 第7章 基礎実習(4)動作確認
- 第8章 応用講義課題の理解と選択
- 第9～15章 応用実習&デザインレビュー

図4 アルゴリズム設計編

できるツールを用いて理論アルゴリズム設計レベルを実現し、半導体上の実装に向けて中間アルゴリズム、実装アルゴリズムへと変換していきます。

こうした設計工程を教育するのがアルゴリズム設計編(図4)であり、すでに音声信号処理をテーマとする音声モチーフと、ロボットの走行制御をテーマとする制御モチーフの教材を開発し、大学における各15コマのテスト講座実施を2006年度から3回進めており(図5)、2008年度から正式科目としての大学教育支援が予定されています。

#### 4. 「システムLSI設計」アナログ・RF設計編

本論文の冒頭で述べたように各種電子機器はワイヤレス通信によるインターネット・アクセスが必須機能となりつつあります。こうしたワイヤレス・インタフェースの標準的な設計技術のテキストならびに教育コースの開発が産学連携が進められています。ここでは、実際の設計・試作データを盛り込み、実用性を高める予定です(図6)。早ければ2008年度から、このテキストを利用したコースが大学で試験的に開始される見込みです。

立命館大学での実習テストラン(2007.11.14-16)



図5 アルゴリズム設計編の開発

応用編	モチーフ: ワイヤレスランシーバ集積回路設計 ROHM0.18μm, スターシャトル90nm 実データ使用
基礎編	

大学 東工大、東大VDEC、東大  
編集委員会 クライアント会社委員  
STARC 教育推進室、開発3部

図6 アナログ・RF設計編テキスト開発

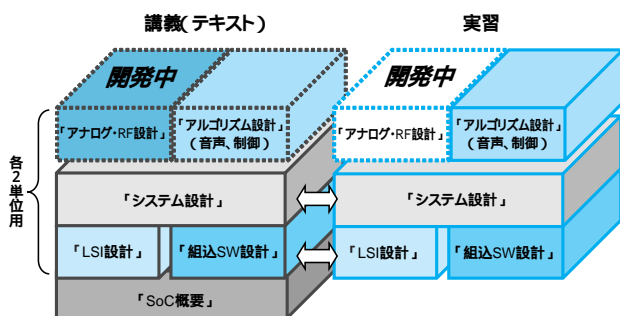


図7 システムLSI設計講座・「システムLSI設計」の構成

#### 5. あすかIIにおける大学教育支援活動

STARCでは「あすか計画」に続いて「あすかII」においても引き続き、SoC (System-on-a-Chip) 設計技術のテキスト「システムLSI設計」(図7)を、国内の大学の大学院を中心に提供し(図8)、さらに一部は講師も派遣してSoC設計技術の人材育成を支援しており、2007年度では全国で41の大学に対してこうした講座支援が行われています(図9)。この科目で単位を取得した受講生に対してはSTARCより修了証が発行されていますが、今年度は本記事の執筆時点で2001年度からの累計で延べ5,670名に対して修了証が発行されています(図10)。

#### 6. まとめ

人類に不可欠の知的媒体として半導体の市場は一層世界中に広まりつつあり、その設計技術教育は今後とも産業界と大学の連携を通じて進化発展させていくべきものでありSTARCとしても一層の貢献をしていきます。

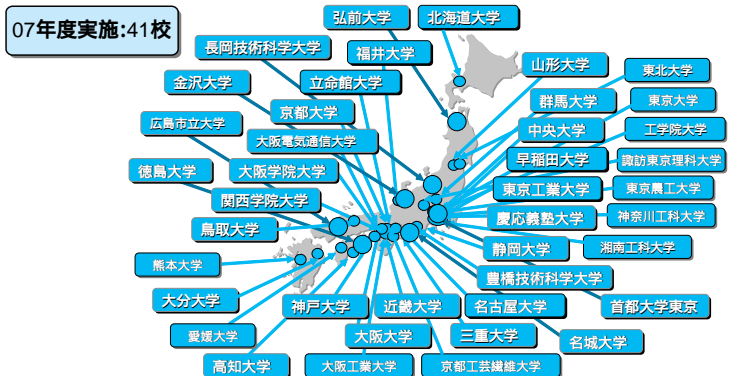
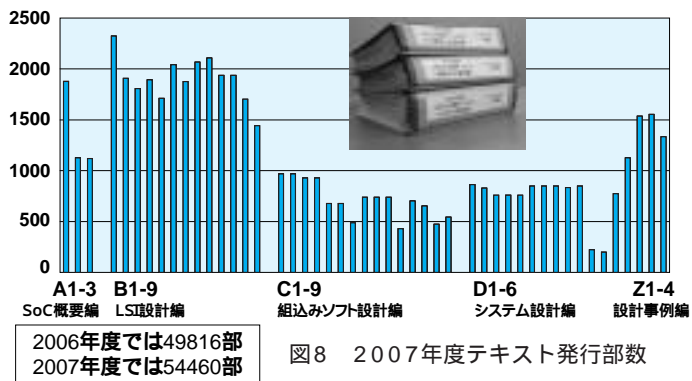


図9 大学講座の実施実績(実施校)

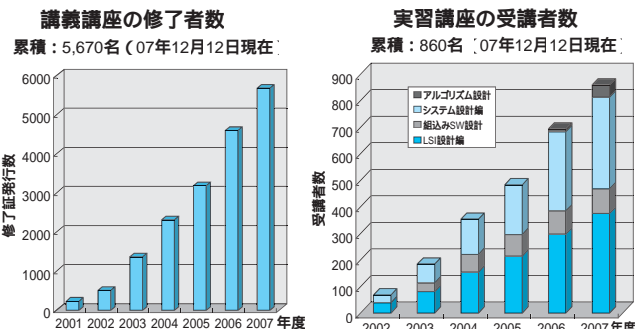


図10 大学講座の修了者数実績

# テスト&故障診断プラットフォーム STARCAD-Clouseau V2.0

開発第2部 テスト&故障解析開発室 室長 相京 隆

## まえがき

近年の半導体の微細化の進展に伴い、論理規模の増大が進んでいます。さらに、微細化により、従来は顕在化していなかった欠陥が、不良の原因としてクローズアップされてきています。このため、今後のテクノロジーにおけるSoCの開発・製造を行う上で、テストおよび故障解析の重要性が今まで以上に増してきています。

そこで、テスト&故障解析開発室では、45nm、32nmのそれぞれのテクノロジーにおいて、現実的な時間でSoCのテスト、故障解析が可能な技術を見極め、EDAツールとして実用化を行うことを目標としています。さらに、標準的なテスト環境を構築し、必要なテストがその環境の下で実行でき、LSIテストベンダ、EDAベンダがその環境に容易に対応できることを開発の目標としています。

これらの目標を達成するために、「次世代テスト技術」、「次世代故障診断技術」、そして、「標準準拠テスト環境」の三つを柱としたテスト&故障診断プラットフォームSTARCAD-Clouseau(クルーゾー)を開発しています(図1)。次世代テスト技術では、大規模化、ばらつき、低電圧・低電力化といったテスト時の課題に対応する技術開発を、次世代故障診断では、大規模・多層配線による診断困難化、微小ディレイ不良の診断といった課題に対応する技術開発を、そして、標準準拠テスト環境では、IEEEの標準であるテスト言語STIL(Standard Test Interface Language) IEEE 1450を用いたテスト設計環境を構築することによってテスト開発工数の削減への技術開発を行って

いきます。

今回のプロジェクトは、5年間で予定しており、最初の2年間でフェーズ1と呼び、テクノロジーノード45nm(44メガゲート、700MHzを目標)対応のテスト技術を開発しています。次の3年間でフェーズ2と呼び、テクノロジーノード32nm(88メガゲート、1GHzを目標)対応のテスト技術の開発を行います。

この3月でフェーズ1の2年間で終了し、テクノロジーノード45nm(論理規模44メガゲート、クロック周波数700MHz)対応のテスト&故障診断プラットフォームSTARCAD-Clouseau V2.0が完成します。STARCAD-Clouseau V2.0の成果と、今後の32nmのテクノロジーノードをターゲットにしたフェーズ2に向けた取り組みの一端をご紹介します。

## 1. STARCAD-Clouseau V2.0の成果

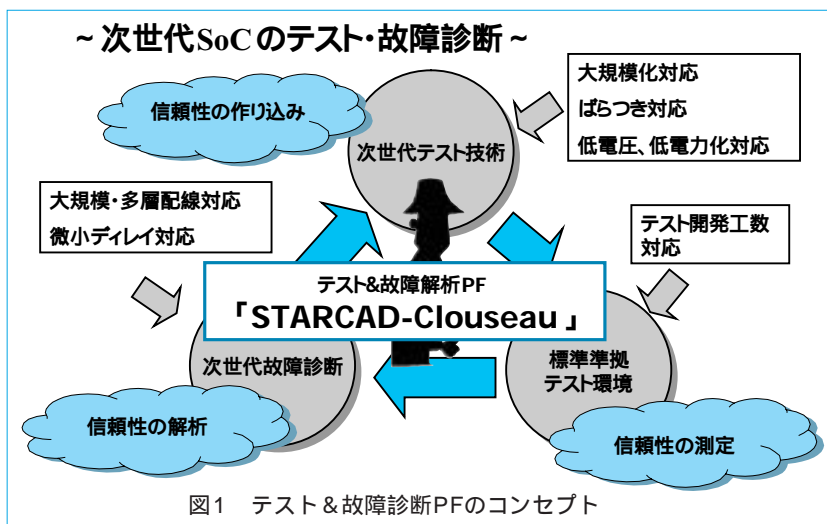
### (1) 次世代テスト技術

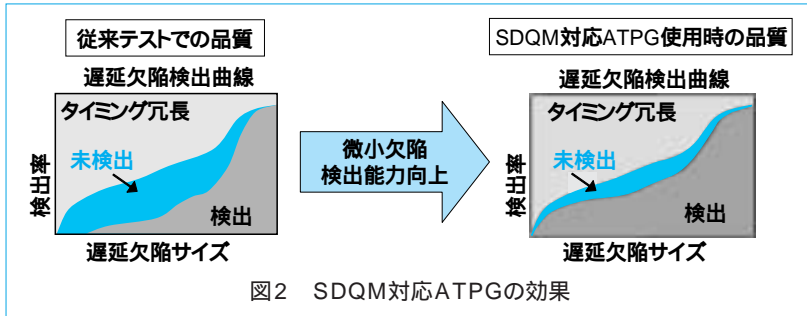
45nm世代で必須となる大規模回路に対するロジックBIST、メモリBISTの各EDAツールの性能面、機能面での評価を行い、課題の抽出と改善要求を実施しました。これにより、44メガゲート規模の大規模なSoCのテスト設計が可能となります。

次に、SDQM対応ツールの評価、改善を行いました。SDQMとは、微小ディレイを考慮したテストの指標として定式化された統計的ディレイ品質モデル(Statistical Delay Quality Model)です。これは、ディレイテストに強く関連する4つの因子、すなわち、テストパターン品質、テストタイミング精度、設計マージン、プロセス品質を一つのテスト

の品質指標としてまとめたものです。これにより、従来は明確でなかった、テストパターンの微小なディレイ欠陥に対する品質を明らかにすることができました。そして、EDAベンダとSTARCADで共同開発を行ったSDQM対応ATPGツールは微小なディレイ欠陥に対してテストパターンの品質を大幅に向上させることができました(図2)。

そして、今後重要となるテスト実行時の電力、電源ノイズ起因の問題を起こさないテスト手法の検討を行い、フロー構築のための各種評価の実施、新しい手法の検討を行いました。実験では、電源ノイズを約

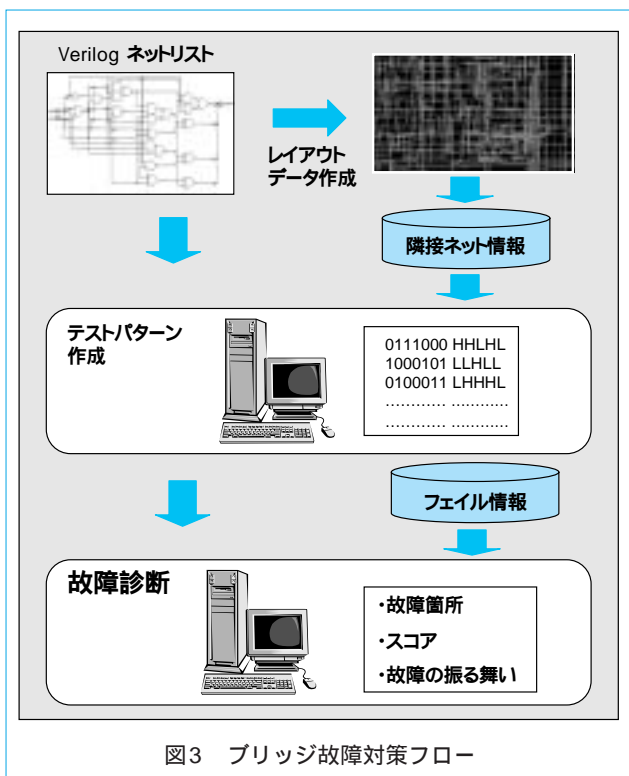




50%改善できました。

## (2) 次世代故障診断技術

従来、クライアントにおける故障診断ツールは内製ツールが多く使われていました。しかし、EDAベンダの故障診断ツールも、歩留まり向上、DFMの観点からの要求もあり、実用的なレベルになってきています。そこで、代表的なEDAベンダツールの評価を行い、現状の実力と問題点の評価を行いました。これにより、各ツールの強み、弱みがわかりましたので、今回、これらのツールで診断分解能が上がるブリッジ故障等の故障に対して、故障診断考慮テスト生成等の分解能向上のための対策を検討し、対策フローを構築しました(図3)。これにより、ブリッジ故障の診断的中率を最大30%改善することができました。さらに、デ



レイ起因による不良の故障診断の評価、開発も行っており、STARCAD-Clouseau V2.0のリリース時にはその成果も盛り込まれます。

## (3) 標準準拠テスト環境構築

これは、STILを標準のテスト言語としてテストの環境を構築することにより、各種EDAツール、LSIテスト間を効率良く連携させるものです。しかし、現状のSTILには一部意味のあいまいな部分があり、その解釈の仕方により

EDAツール間、テスト間の連携が妨げられてきました。これを解消するために解釈の仕方を統一するためのガイドラインとしてSTIL活用ガイドを作成し、Web公開 (URL <https://www.starc.jp/stil/index-j.html>) を行っています。さらに、STIL活用ガイドを米国STIL ユーザーグループ等の海外組織と共有するための活動を行い、米国の意見をフィードバックしたSTIL活用ガイドRev2.00をリリースし、Webでの公開を行いました。STIL活用ガイドの公開ページのWebアクセス数は2006年3月の公開以来、累計12,000回を超えています(図4)。

## 2. フェーズ2に向けて

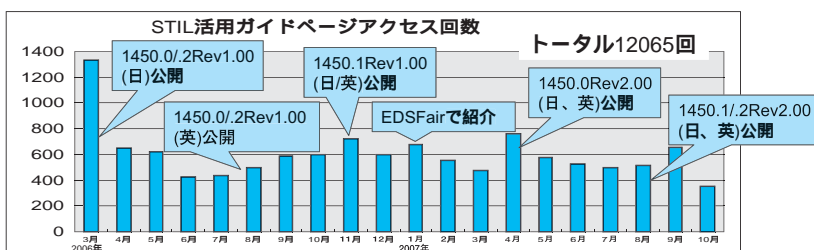
フェーズ2の計画は現在策定中ではありますが、その概要についてお話しします。

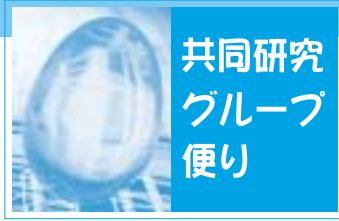
「次世代テスト技術」、「次世代故障診断技術」、そして、「標準準拠テスト環境」の三つの柱は引き続き継続していきます。次世代テスト技術では、低電圧・低電力化といったテスト時の課題に対応する技術開発を完成させ、さらに、先端プロセスで課題となる、ばらつき、信頼性に関する課題に取り組みます。次世代故障診断では、物理解析が困難であるディレイ不良の診断に対応する技術開発を行います。そして、標準準拠テスト環境では、IEEEのWGで標準化作業中のテストフローに関するSTIL IEEE 1450.4、そして、これからWGを起す予定のテストメソッドに関するSTIL IEEE1450.5についての標準化作業に日本からの要求を出し貢献していきます。

以上の活動を行うことにより、半導体の微細化の進展に伴い、テスト、故障解析に関わるさまざまな問題を早期に解決する技術に取り組むことにより、次世代プロセス品種のテストコストの削減、早期開発が可能としていきます。さらに、テスト環境の標準化を進めること

により、異なるテスト、異なるEDAツール間のデータの授受を可能とし、テスト環境構築のコストを削減していきます。

これらの活動を通し、我々は引き続き新世代にふさわしいテスト技術、故障診断技術、テスト環境を開発して行きたいと考えております。





共同研究  
グループ  
便り

## 浦岡研究グループ

テーマ名 High-K材料を用いたドット系メモリの新プロセス提案

研究代表者 奈良先端科学技術大学院大学 物質創成科学研究科 准教授

浦岡 行治 (うらおか ゆきはる)



後列左から 藤井(M1)、岩崎(D1)、小原(M1)、清水(M2)、高橋(D3)、東條(M1)、市川(D3)、菅原(D2)、平田(M1)、越知(M2)、Jung,Seung-Jae(D1)、岡本(M2)

前列左から 吉丸上級研究員(STARC)、八重樫客員主査(東芝)、浦岡准教授、川端客員研究員(ルネサス)

(2007年12月現在 敬称略)

### はじめに

私の研究室は、奈良県生駒市にある学部をもたない大学院大学の中にあります。本学は、最先端の情報科学、バイオ科学、物質科学の三つの分野をカバーしていますが、創立15周年を昨年迎えたばかりの新しい大学です。少子化に加えて、学部がないため、学生集めに大変苦労していますが、おかげで現在は優秀な学生さんに来ていただいております。研究力(論文数、外部資金力)は国内でも高く評価いただいております。

私の所属する研究室は、主に、太陽電池、ディスプレイ、LSI、パワーデバイスとシリコンを中心とした広い範

囲の半導体素子の研究を行っています。ものづくりを基本としていますので、研究科全体でも人気があります。学生さんの成長は著しく、2年経つとびっくりするほどの実をつけてきますが、これを見るのが一番の楽しみです。最近、本研究室では高専の専攻科を卒業して入学する学生が徐々に増加し、博士課程への進学率も上昇しつつある、ちょっと特殊な研究室です。研究設備にも恵まれており、トランジスタを自分の手で作製できますので、企業に入っても即戦力で役立つのではないかと期待しています。現在、半導体では苦境に立たされている日本ですが、将来活躍する学生が育ってくれることを強く望んでいます。

### 研究紹介

私は、現在STARCのテーマとしてHigh-K材料を用いたドット系メモリを研究しています。インターネットなどの普及によって膨大なメモリが必要とされています。我々の提案するメモリは、フラッシュメモリの一種で、ナノスケールのドットを用いることによって、電源電圧が低くでき、信頼性の高いメモリが構築できるという研究です。材料はシリコンのドットやバイオ材料を用いた新しい試みです。とくに、タンパクを用いたナノドットは、均一性が高く、単位面積当たりの密度を非常に高くすることが期待できます。我々が使っているフェリチンタンパクは、直径12ナノメートル、内径7ナノメートルの、内部に鉄を内包したもので、我々の体内で鉄分を制御しています。哺乳動物には、ほとんど共通な形で含まれているこの分野では結構有名な材料です。この中味は、鉄以外にニッケルやコバルトといったさまざまな材料に入れ替えることができるという不思議で便利な力が備わっています。さらに、自分で規則正しく整理するという自己組織化能力があり、高い密度が要求される素子には重要な性質です。タンパクには、球状ばかりでなく、棒(ロッド)状のものや、サイズも、大きなものから小さなものまで存在しています。これらの種類を組み合わせれば、新しい構造の素子が実現されるでしょう。私は、企業の時代からずっと半導体畑に育ったため、バイオ技術を勉強しながらの悪戦苦闘の毎日です。まずは、言葉になれるところから苦労でした。

バイオの材料を半導体プロセスに用いるというアイデアには、高い関心が寄せられています。半導体は、クリーン度が大切な因子ですので、タンパクのような炭素を多く含んだ材料を制御できるのかという疑問を最初抱いてい

## 客員研究員主査からのコメント

株式会社東芝 セミコンダクター社  
半導体研究開発センター  
フラッシュメモリーデバイス技術開発部

### 八重樫 利武

近年、デジタルカメラや携帯電話など、身近なところで不揮発性メモリを用いた製品を目にする機会が増えてきています。現在はハードディスクの置き換えなど、PCへの応用も検討されており、今後、ますます市場は拡大していきます。こうした市場の拡大を支えているのが、不揮発性メモリの微細化による大容量化とコスト低減がもたらす、応用製品の拡大です。一方、不揮発性メモリを微細化するにあたってはさまざまな問題が生じます。現在の不揮発性メモリの主流は、メモリセルトランジスタの浮遊ゲート電極に、トンネル酸化膜を介して電荷を注入して、しきい値電圧を制御することによりデータの判別を行っています。この電荷の注入には高電圧を必要としますが、隣接セルとのリーク/耐圧の問題等により低電圧化が必要になってきます。また、微細化によって、隣接するメモリセル間の容量結合によるセル間干渉が問題となってきています。このような問題を解決するために、メモリセルの構造やメモリセルを構成する材料の研究が精力的に行われています。

本共同研究では、不揮発性メモリの特性改善に向けて、浮遊ゲート電極にナノドットを用いる検討を行っています。タンパクというバイオ技術を用いて高密度で均一なナノドットを形成するというアイデアは、従来の不揮発性メモリ開発にはないユニークなものです。そして、トンネル絶縁膜およびゲート間絶縁膜（浮遊ゲート電極と制御ゲート電極間の絶縁膜）にHigh-K絶縁膜を適用することで、ナノドットを用いた不揮発性メモリの特性向上を検討しています。ドット径の縮小や、コアの位置制御など課題も多いのですが、課題の解決に向けて、新規材料やプロセスの検討を行っています。そして浦岡先生のグループには、材料選択やプロセスの最適化のみならず、自己組織化ドットへの電荷注入の理論的考察など、大学ならではの取り組みに期待しています。また、微細な不揮発性メモリに限らず、このようなプロセスによって実現できる、新規デバイスの提案にも取り組んでいただいています。

ましたが、結果的には以外に問題にならないのではないかと考えています。案ずるより生むが易しというところでしょうか。また、ゲート絶縁膜にHfSiOなどを用いることで、すごく大きなメモリ効果も得られることが最近わかってきました。半導体プロセスにおける新材料との組み合わせも重要なことです。これからが楽しみな研究だと思っています。まだまだ、課題がたくさんありますが、我慢強く付き合っていこうと思っています。

### STARC進捗会議

3か月ごとの進捗会議は大変ですが、これによって研究のペースも進んでいる気がします。客員研究員のみなさんは企業の方なので、実用化という観点で指導していただけるので、このシステムは大変、意味のある機会だと思っています。また、学生を育てるという気持ちが前面に表れているので、できるだけ学生の皆さんにも発表してもらっています。

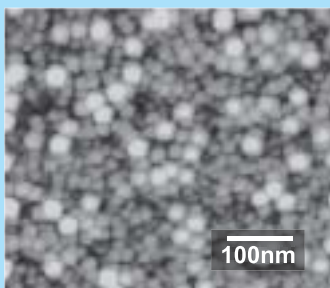
少々、本筋からずれていても、必ず発表してもらうことにしています。客員の方には、辛抱強く聞いていただき、コメントをいただいています。彼らは彼らなりにこの機会を重要とってくれています。自分自身も含めて大変緊張もしますので、事前の準備は大変ですが、終わったときの充実感はまた格別です。

### 将来の夢

縁あって始まった新しい材料開発ですが、STRACに採択していただき、メリットはもちろん課題についても、非常に理解が深まったと考えています。研究期間が終わってもすぐには実用化は無理かも知れませんが、非常に優れた材料であることは間違いのないことで、この魅力を生かした素子、この材料でしか作りえない素子を考え続けていきたいとします。この挑戦の中で、学生を育てられればこの上ない喜びです。

STARCの皆様には、引き続きご指導をお願いします。

#### シリコンドット



#### フェリチタンパクコア

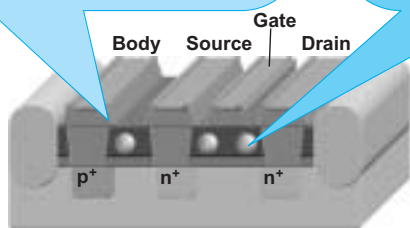
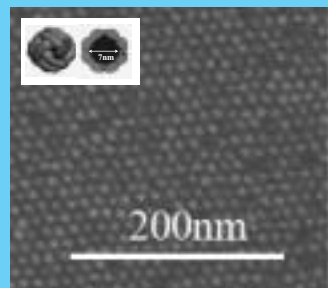


図1 ドット系メモリの断面構造例



共同研究  
グループ  
便り

## 吉川研究グループ

テーマ名 シリコンチップ間ワイヤレス信号伝送技術の研究

研究代表者 広島大学ナノデバイス・システム研究センター兼大学院先端物質科学研究科 教授  
吉川 公磨(きっかわ たかまる)



後列左から 飯田客員研究員(セイコーエプソン)、星野客員研究員主査(東芝)、  
吉川教授、Hafiz(D1)、杉本上級研究員(STARC)、Azhar(D1)、肖客員教授  
前列左から 久保田(M1)、木本(D2)、森山(B4)、佐々木研究員  
(2007年12月現在 敬称略)

### 1. はじめに

私は学生時代にマイクロ波の研究室に所属し、50GHz帯ミリ波デバイスが研究テーマでした。当時は研究室で自作したマグネトロン真空管の発振による正弦波を導波管で伝送し、信号も自作のダイオードで検波測定したものでした。大学を卒業してマイクロ波通信事業を展開している会社に就職しましたが、配属されたのはすでに事業が確立していたマイクロ波ではなく新しく踏み出した半導体集積回路という分野でした。今から25年前、留学中にLSI高速化のキーテクノロジーとして多層配線の重要性を認識し、新しいCMOS多層配線技術の開発を始めて以来マイクロ波からは遠ざかっていましたが、STARC共同研究テーマに採択されてあらためて自分の研究がスパイラルになって戻ってきたことを実感しています。

### 2. 研究室紹介

広島大学ではシリコン系半導体集積回路技術の研究が活発に行われていま

す。その教育組織の形態は少し複雑で、私自身は広島大学ナノデバイス・システム研究センターに所属し、同時に大学院先端物質科学研究科半導体集積科学専攻にも集積システム協力講座として所属しています。大学院生は先端物質科学研究科半導体集積科学専攻に所属しています。一方、学部学生は工学部第2類電子システム課程に所属し、4年生から希望する卒業研究テーマにしたがって当研究室で研究します。

当研究室は教員1名(吉川)博士課程後期学生6名(内、外国人留学生:2名、社会人:2名)博士課程前期学生3名(M2:1名、M1:2名)学部4年生2名の計11名の学生と外国人客員教授1名、博士研究員3名、企業からの常駐客員研究員1名の合計17名で構成されています。現在、STARC研究テーマに従事している学生は2名(D2、B4)です。

私の研究テーマは大きく二つに分かれ、(1)LSI多層配線技術(Low-k:6名、High-k:3名)(2)アンテナ電磁波伝搬技術(アンテナ:4名、CMOS

送受信回路:3名)からなっております。一見、二つのテーマは全く異なる分野ですが、媒体が金属配線が無線伝送線路かの違いだけでLSI高速信号伝送という目的は同じで、25年間一貫しています。

### 3. STARC研究テーマの紹介

STARC研究テーマは「シリコンチップ間ワイヤレス信号伝送技術の研究」でCMOS-LSI間の超高速信号伝送を電磁波伝送によるワイヤレス配線で行うためのオンチップアンテナの研究を行っています。

この研究の目的は時間領域でインパルス(周波数領域ではUWB:ultra wide band)信号の送受信を行うためにCMOS-LSIに搭載するシリコン用オンチップ集積化アンテナを電磁波の入出力装置として開発することです。この研究の意義はオンチップ集積化アンテナを搭載したCMOS-LSIチップがネットワークを構成し直接通信することで電位的に隔離された場所でも、超低消費電力で超高速信号伝送が可能になることです。

しかし、そこにはさまざまな課題があります。低抵抗シリコン基板による損失を低減するための3次元積層基板構造設計およびインパルス信号を用いるための超広帯域アンテナの設計指針を確立し、時間領域上でのCMOSインパルス信号処理技術を開発しなければなりません。

これまでに、26.5GHz帯のベクトルネットワークアナライザを用いた周波数領域におけるシリコンウェーハ上でのオンチップアンテナ特性測定技術を確立し(図1(a))UWBインパルス信号としてガウシアンモノサイクルパルスを取り扱うための時間領域のアンテナ特性測定技術をインパルスフォーミングネットワークとサンプリングオシロスコープを用いて独自に確立しました(図1(b))。さらに、UWB通信を採用した場合の重要な指標であるインパルス信号ビットエラーレートの測定技術も確立しました。

一方、シリコン集積化UWBアンテナの開発として、本来狭帯域である線

株式会社 東芝 研究開発センター モバイル通信ラボラトリー  
星野 洋昭

LSIの低コスト化のため、メモリやプロセッサなどさまざまな回路を1チップに集積するSystem-on-Chip化が進んでいます。しかし、高性能化を実現するためには先端の微細プロセスに大容量メモリの製造プロセスを追加する必要があり、かえって開発コストがかかる場合があります。そのため、複数のチップを1つのパッケージに封入するSystem-in-Package技術に近年注目が集まっています。それぞれの回路ブロックに最適化されたプロセスで製造したチップを用いることにより、低コスト化、高い歩留りを得ることが可能となります。しかし、SIPではチップは通常ボンディングワイヤで接続されており、ボンディングワイヤには大きなインダクタンス成分がつくため、動作周波数に限界があります。

広島大学吉川研究グループでは、SIP内のチップ間でクロックおよびデータ信号を伝送する手段として、無線で、超高速かつ超低消費電力で通信するための技術の開発に取り組んでいます。具体的には、スタックされたチップ間で、送信側ではインパルスUWB信号を生成しオンチップアンテナを用いて信号を送信、受信側ではオンチップアンテナで電磁波を受信しUWB信号復調を復調、といったものです。UWB通信により、チップ間でギガビットクラスの高速伝送が可能となります。

これまでオンチップアンテナ、および電磁波の伝搬路となるシリコン基板の等価回路モデルを作成しました。またUWB送信回路および受信回路についても設計、試作、評価を行っており、現在は最終目標である集積アンテナ搭載UWB送受信チップの設計に取り組んでいます。残された期間は約1年となりましたが、吉川研究室と客員研究員の協力により、本共同研究終了時にはチップ間でのUWB伝送が実現できるものと期待しております。

本研究の研究分野は集積回路工学、通信工学、電磁波伝送工学、アンテナ工学まで多岐に渡ります。学生メンバーが共同研究で得た幅広い知識を生かし、今後の半導体産業を盛り上げていってくれることを期待しております。

形ダイポールアンテナを用いてシリコンオンチップアンテナのデバイスパラメータ抽出、オンチップアンテナの等価回路の決定を行いました。線形ダイポールアンテナは損失のあるシリコン基板上ではリターンロスのために広帯域になることを確認しましたが、アンテナサイズがシリコン基板伝搬波長の1/2と大きくなってしまいうも明らかになりました。

STARC研究テーマ以外にも、シリコンLSI上およびチップ間でUWB信号伝送が可能であることを直接実証するために、シリコン集積化アンテナ搭載CMOS送受信回路の研究を行っています。具体的には、180nmCMOS-UWB送信回路を設計試作し、シリコンチップ内、チップ間で1GHzのUWBクロック信号伝送が可能であることを初めて実証しました(2006 IEEE Symp. VLSI Circuits)。次の段階として、送信側、受信側ともシリコン集積化アンテナ搭載CMOS-LSIで構成した180nmCMOS-UWB送受信回路の設計試作を行いました。UWB送受信機はランダムインパルス信号を扱うので受信側においてガ

ウシアンモノサイクルパルス同期回路の設計が重要になります。これによって、CMOS-LSIレベルでのUWB信号の送受信が実証されました(2008 IEEE Wireless and Microwave Technology Conference発表予定)。

来年度のSTARC研究ではこの実績をもとに、アンテナサイズ縮小化とデータレート高速化およびデバイスパラメータ抽出を目指した90nmCMOS-UWB送受信回路の設計試作も行う予定です。

#### 4. おわりに

「シリコンチップ間ワイヤレス信号伝送技術の研究」は未踏領域であり、シリコン集積化アンテナ搭載CMOSの実用化は学会でも意見の分かれるところです。私の好きな言葉に、「マジョリティは現在のために、マイノリティは将来のために」という言葉があります。これは前に述べた新しいCMOS多層配線技術を開発していた当時の社長の年頭訓辞にあり、開発が困難に直面したとき励まされたものです。

シリコン集積化アンテナというマイノリティ技術を試行錯誤しながら研究

している我々が軌道から外れそうになると常に軌道修正していただいたSTARC上級研究員杉本益規様、STARC客員研究員セイコーエプソン(株)飯田泉様、(株)東芝、星野洋昭様には、いつも、励まされ、助けていただき、心から感謝しています。また、STARC研究推進部長の今村健様にはさまざまな面でサポートしていただいています。ここに深く感謝の意を表します。

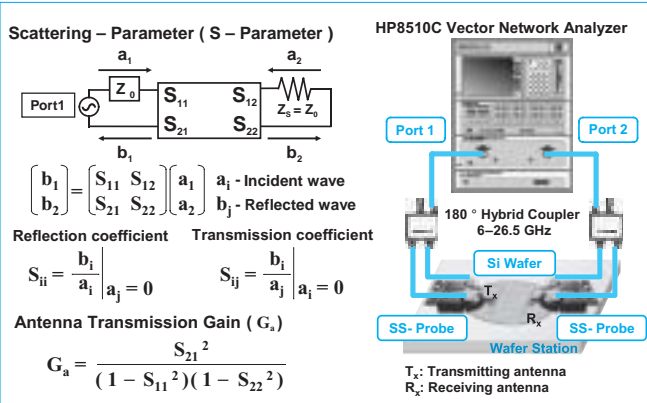


図1(a) Si集積化アンテナの伝送特性の測定(周波数領域)

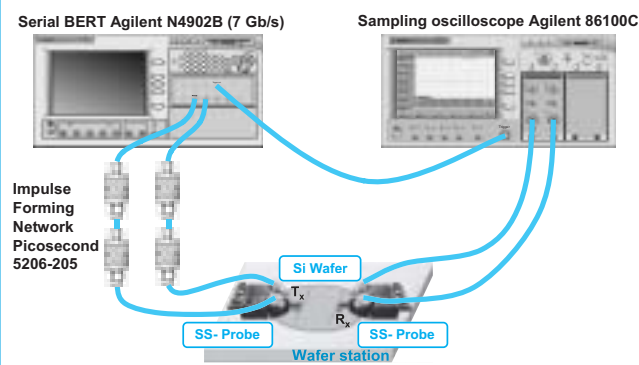
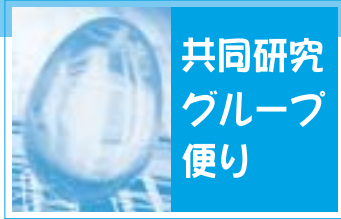


図1(b) Si集積化アンテナのUWB伝送特性の測定(時間領域)



## 堀田研究グループ

テーマ名 ナノメータ技術を考慮した集積化アナログ回路技術の研究

研究代表者 武蔵工業大学知識工学部情報ネットワーク工学科 教授

堀田 正生 (ほった まさお)



最後列左から 八木(群馬大B4) 藤村(群馬大M1) 長谷川(群馬大B4) 小長谷(群馬大M1) 三田(群馬大B4) 下倉(武蔵工大M1) 川村(武蔵工大M1)  
 3列め左から 徐峰(群馬大M2) 高橋(群馬大M1) 田邊(群馬大M1) 田浦(群馬大M2) 小川(群馬大B4) 宮島(群馬大B4) 平野(武蔵工大学生B)  
 2列め左から 傘助教(群馬大) 星野(群馬大B4) 金田(群馬大B4) 元澤(群馬大M2) 清水(群馬大M2) 光野(群馬大D3) 加藤(武蔵工大M1) 石川技官(群馬大)  
 最前列左から 高井講師(群馬大) 阿部客員研究員(セイコーエプソン) 小林教授(群馬大) 堀田教授(武蔵工大) 松浦客員研究員主査(ルネサス) 八木客員研究員(沖電気) 益子上級研究員(STARC) (2007年12月現在 敬称略)

### 研究の始まり

2002年のISSCCで "Does Moore's Law Apply to Analog?" というパネル討論が行われ、そこに筆者がパネリストとして参加しました。これまで、アナログ回路は回路性能からデジタルのように素子微細化の恩恵を直接受けにくく、小さくできないというのが一般的な考えでしたが、本当にそうかをコストに厳しい民生応用の代表としてビデオ用10ビットAD変換器の面積推移

を調べてみました。その結果が図1ですが、見事にデジタルのゲート面積の低減率と同じ傾向を示していました。これは、アナログだから面積が大きくてよいということは経済的に許されず、新しい回路方式の開発などアナログ技術者の努力によりデジタルと同じようにチップ面積の低減が図られてきたということが分かります。

これからのさらなる微細化に対してもこの傾向を維持していくためには積極的に微細素子を用いていくことが必

要になります。ところが、MOSトランジスタは微細化に伴い、出力抵抗の低下による増幅率の低減や、ミスマッチの増大、電源電圧の低下によるダイナミックレンジの減少などアナログ回路の性能維持が難しくなってきました。これらの問題を解決し、微細素子をアナログに適用できる技術を開発することがアナログ・デジタル混載LSIのコスト低

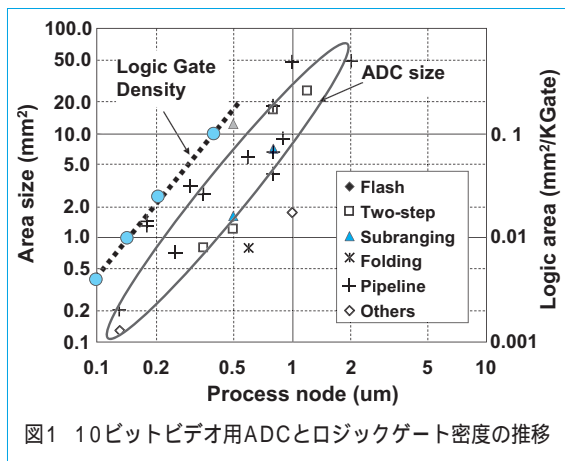


図1 10ビットビデオ用ADCとロジックゲート密度の推移

減や低消費電力化につながる重要技術と考え、STARCとの共同研究テーマとして提案しました。

STARCと我々の共同研究は2006年度から始まり、今年度が2年目で折り返し地点を過ぎたところです。定期的な客員研究員の皆様と議論し、産業界にとって現実的な問題を適確に捉え、「半導体産業に役に立つ」を基本方針に研究を進めていこうと考えています。

### 研究グループ紹介

この研究は武蔵工業大学と群馬大学との共同チームで行っています。群馬大学工学部電気電子工学科の小林春夫教授、高井伸和講師、傘昊助教、それに筆者を主なメンパとし、それぞれの研究室の学生が加って共同研究を進めています。両方の大学の研究室の学生が参加していることから、大学院生が25名、学部4年生が15名という大所帯で、学生はそれぞれのテーマを持って研究に当たっていますので、研究打ち合わせはまるで研究会での発表のようです。また、設計環境の構築や教育も高井先生のご好意で両方の学生向けに行っていただくなど、異なる大学の学生が一緒になって研究を進めています。お互いの発表に対してそれぞれの先生方や客員研究員の方々からのいろいろなご指摘やご助言をいただいて、単一の研究室では味わえない貴重な経験が得られる共同研究となっています。

### STARC共同研究テーマの内容

本研究の目的は、前項で述べたように、90nm世代以降で顕在化するMOSトランジスタのアナログ性能の劣化に対応する技術を開発することです。アナログ・デジタル混載システムLSIで重要な要素回路であるAD変換器を対象に次の三つのテーマで研究を進めています。

①逐次比較形AD変換器の小型化・高速化の研究：逐次比較形AD変換器は従来10~14ビットで1~10Msps程度の性能であり、原理的に変換に時間がかかるという問題がありますが、高精度の増幅器を必要とせず、精度を問わない比較器で実現できるという特徴を有しています。方式としては昔からあるものですが、微細化プロセスに適用できる方式として最近

株式会社ルネサステクノロジ  
製品技術本部 アナログ技術統括部  
松浦 達治

集積回路の微細化が進み、集積度が上がるにつれシステムに必要なアナログ回路をデジタルと同じチップに搭載するシステムオンチップの必要性は高まってきています。一方、プロセス微細化につれてトランジスタ特性はアナログ回路には向かなくなるといった問題が顕在化してきました。例えばトランジスタの出力抵抗が下がりアンプのゲインが取れないとか、またはバラツキが大きくなって動作点がずれてしまうなどの問題です。

本研究では、「ナノメータ技術を考慮した集積化アナログ回路技術の研究」と題して、3つの大きな柱で研究を進めています。1) 微細プロセスに向けたAD変換器の小型化、2) デジタル雑音相殺技術、3) 高速AD変換器のクロックジッタ影響低減技術の研究です。1)の小型化では、微細プロセスで性能の出ないアンプを避けたAD変換形式として逐次比較型AD変換器を選び、その性能を飛躍的に高める冗長変換方式を工夫してパイプラインAD変換器に匹敵する高速なAD変換ができないかを研究しています。また2)のデジタル雑音相殺技術の研究では、アナログ回路を差動にする以上にデジタル雑音の影響を低減する技術として、デジタル雑音を差動回路で検出して、信号とデジタル雑音両方を含んだAD変換結果から、相関を使ってデジタル雑音成分だけを差し引く技術の研究をしています。3)のクロックジッタ影響低減技術の研究では、分周後のクロックを複数使って複数の信号サンプリングを行い、それを平均化する方法で、クロックジッタの影響を低減できないかを検討しています。

いずれのテーマもナノメータ時代のミックスドシグナル集積回路には重要な要素であり、その成果を期待できます。武蔵工業大学だけでなく群馬大学の先生・学生を含めた多数のメンバーで検討を進められており近く試作も行って実証実験ができるように進めており、成果が待たれます。また研究成果だけでなく、微細化プロセスで問題になるアナログ特性を徹底的に理解した優秀な学生が世に送り出されることも大いに期待できることです。日本発のナノメータ時代に適したアナログ技術が早く実用化できることを期待しています。

見直され、注目を集め出したものです。我々も、変換時間を短縮する新たな方式を提案しその可能性について検討を進めています。それは図2に示すように比較器を3個使い、3レベルの参照電圧のどの領域に入力電圧があるかを順次領域を狭めながら探索していく方法です。この方式では仮に領域の判定を間違えても後段でその補正が可能になるために大きな冗長性を持たせることが可能になります。そのため、DA変換器が十分収束しなくとも比較が行えることから従来に比較して高速化が図れるというものです。その様子を図3に示しました。試算では10~14ビットAD変換器で従来の3~4倍の高速化が図れることとなります。

②デジタル雑音相殺技術の研究：アナログ・デジタル混載LSIにおいて、デジタル部から発生するデジタル雑音は微小なアナログ信号を扱う場合に大きな障害になってきます。とくに、微細化が進むに連れて混載するデジタル部のゲート数は増大するとともに、電源電圧の低下に伴いアナログのダイナミックレンジが縮小しSN比の劣化が問題となってきます。従来、デジタル雑音に関しては、基板を介して混入する基板雑音の研究が多く進められていますが、その低減方法に関しては一部報告があるの

みです。実際のデジタル雑音は基板だけでなく電源やグランド線を介しても混入しますので、それらを包括的にどのようにして低減するかが今後の大きな問題となります。その解決方法について検討をしています。

③高速AD変換器のクロックジッタの影響低減技術に関する研究：高速のAD変換器においては入力周波数が高くなるにしたがいクロックジッタによりSN比が劣化します。クロックジッタを小さくすることが必要になりますが、微細化に伴い電源電圧が低下するとクロック発生器でのジッタが大きくなり問題となります。そこで、ジッタを測定してAD変換値を補正する方法やジッタの影響を平均化する手法など、クロックジッタの影響低減技術を検討しています。

### 産学連携の意義

このSTARCプロジェクトが始まってあと数か月で2年になりますが、その間定期的に開催される打ち合わせにおいて客員研究員の方々から産業界の実情という観点から適切なアドバイスと研究のステアリングをしていただきました。集積回路の研究は正に実学の研究であり、物になって初めて価値のあるものだということがIC設計が始めての学生に切実に伝わったということが本当に意義深いものであると実感して

います。益子耕一郎上級研究員、松浦達治客員研究員、阿部彰客員研究員、八木勝義客員研究員ならびに途中交代されてしまいましたが近藤守客員研究員にはこの場を借りて心よりお礼申し上げます。

あと一年と少しになりましたが、産業界に役に立つ真の技術の確立に向けて精力を注いでいきたいと思っております。

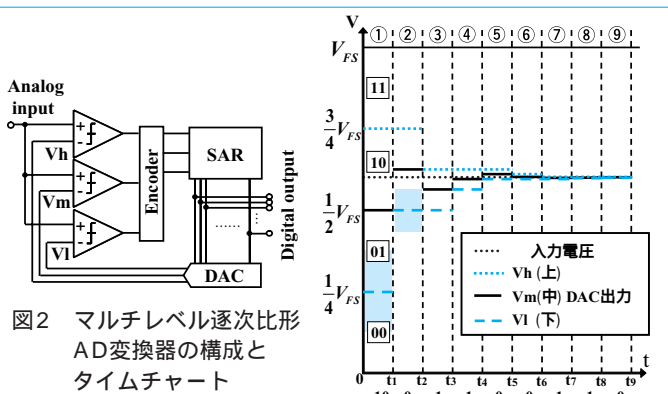


図2 マルチレベル逐次比形AD変換器の構成とタイムチャート

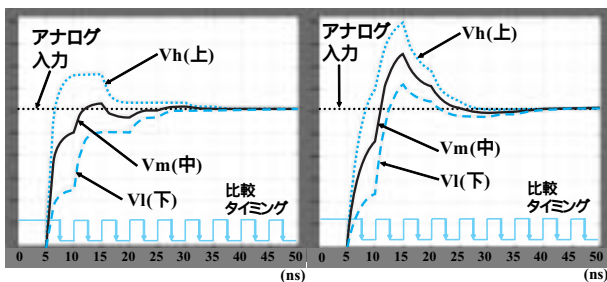


図3 MATLABによる整定時間シミュレーション結果



共同研究  
グループ  
便り

## 海谷研究グループ

テーマ名 要求と変更の多様性を許容可能な組込ソフトウェア開発手法に関する研究

研究代表者 信州大学 工学部 情報工学科 准教授  
海谷 治彦 (かいは はるひこ)



後列左から 宮本技監 (STARC) 北澤 (M1) 佐藤 (M1) 川平 (M1) 長田 D3 大西上級研究員 (STARC)  
前列左から 正岡客員研究員 (三洋) 堀口客員研究員 (ソニー) 海谷准教授、海尻教授、近藤客員研究員主査 (セイコーエプソン) (2007年12月現在 敬称略)

### はじめに

システムLSIの世界でもソフトウェア開発に関する比重が高まっているといわれています。例えば、とある講演によると、集積度の増加に比例して、ソフトウェア開発の工数割合は増加しており、およそ5M Gateの集積度を超えると、ソフトウェア開発の割合が半数を上回るそうです。そして、ソフトウェアの規模も最大で200万行を超える場合があります。もはや、このような規模のソフトウェア開発を個々の技術者の力量だけで対処することは困難となってきています。

このような現状に注目していたSTARCから、まずはインキュベーション研究として1年の期間をいただき、システムLSIとは何か、システムLSIにおけるソフトウェア開発の何が問題なのかの調査をさせていただきました。そして、その結果に基づき今年度(2007年度)から正式に共同研究を進めさせていただくことになりました。

### ソフトウェア工学と研究室の紹介

我々の研究室は情報工学科のソフトウェア工学の研究室で、普段はシステムLSIとほとんど縁はありません。ソフトウェア工学とはJIS規格によると「ソフトウェアの設計・実現・試験・文書化に対する科学的および技術的な知識・手法・経験の体系的な適用」と定義されており、分割統治法が基本原理のひとつとなっています。例えば、一連の処理を行うプログラムをどのように分割し、分割したものの関係をどのように管理すれば、修正したり、再利用したりしやすいかが関心事となっています。分割単位としてC言語なら関数、C++やJavaならクラスとなり、関数呼び出しやメッセージパッシングが関係ということになります。プログラムだけでなく、設計図に関しても古くはデータフロー図、昨今ではUML (Unified Modeling Language) 図を用いてより良い分割統治手法が研究されています。問題定義(要求定義)に関してもUMLのような半形式的な記述を導入する流れもありますが、自然言語(日

本語や英語)を用いるのが普通です。ソフトウェア工学の世界でソフトウェアの修正や再利用が重視される理由は、ソフトウェアが解決すべき問題(要求)が多く分野で多様性に満ちかつ変化しやすいからです。例えば、同種のシステムLSIでも、そのLSIが搭載されるセット製品のグレード(廉価品か高級品か)によって、周辺環境(例えばメモリ量やバス幅等)が変化する場合があります。また、競合他社が魅力的な新機能を搭載した場合、即座にその新機能に対応する必要があります。システムLSIにおけるソフトウェアの役割がハードウェア機能ブロックを制御する手段から、機能を実現する手段に変化している傾向を鑑みると、このような変化や多様性への対処の多くは、ソフトウェアに課されることとなります。

我々の研究室ではソフトウェア工学の中でも主に以下の2点に注目し研究を行っております。(1)ソフトウェアが満たすべき要求(問題)を管理し、要求の変化や多様性の範囲を明確にすること。(要求管理の研究)(2)ソフトウェアへの要求、設計、プログラム間の相互関係を管理し、要求変化に影響を受ける設計やプログラム部分を明確にすること。(追跡可能性の研究)

例えば(1)に関する成果として、類似既存システムの機能的な特徴をあらかじめデータベース化しておき、新たなシステムに対する要求(問題)を定義する分析法とツールを開発しつつあります(図1)。このツールは従来から開発を継続していたものです。図1の画面例では、国際会議等の運営を支援する既存のシステム(S-1, S-2, S-3)の仕様書をもとに、新たな国際会議支援システムの要求を定義している途中です。既存システム群の仕様書をもとに、そもそも国際会議運営支援システムにはどのような機能があるか、どの機能が必須か、どの機能は状況によって取捨選択されるか、相互に関連のある機能はどれかを半自動的に分析した結果が、図中の上右の区画に表示されるようになっており、要求の多様性を予め意識した要求定義を行うことができます。

### 共同研究について

システムLSIのソフトウェア開発に

セイコーエプソン株式会社 半導体事業部 IC設計グループ  
近藤 嘉政

システムLSIは、複雑化・大規模化する傾向にあります。同様に、その上で動作する組込ソフトウェアも複雑化・大規模化しながら、一方で、短納期が要求されております。

また、要求仕様は、常に競合他社の影響を受けながら、製品リリース直前に至るまで変更され続け、顧客ニーズに合わせたシリーズ展開を図るなど、さまざまな要求に添えていかなければならない状況にあります。システムLSIを再設計して対応することもあります。一度IC化されてしまうと容易に機能追加・変更はできず、コスト・デリバリーへの影響度は無視できないものとなります。その結果、さまざまな要求に対する対応は、容易に対応可能と思われがちな組込ソフトウェア側へ、その矛先が向けられても何ら不思議ではなく、インキュベーション活動を通して、実際に、各社から寄せられた共通の課題として認識されました。

このような課題を受け、近年ではMDA( Model Driven Architecture )をはじめ、さまざまな取組みが行われております。海谷研究室では、分割統治法をベースとした“要求と変更の多様化を許容可能な組込ソフトウェア開発手法に関する研究”に取り組んでおります。要求と変更の多様化に効果的な方策は、コスト・デリバリーへのインパクトが少ない開発の初期段階において、いかに満たすべき要求を管理し、その後の要求の変化や多様性の範囲を明確にすることで、要求の変化に影響を受ける部分を予測しながら設計を進めることです。本研究室では、その方策へ焦点をあて研究が進められております。

これまで、同様の研究活動では、各企業からの生の情報提供が十分とはいえず、大学で実施したプロジェクトを事例に、研究を進めざるを得ない状況でした。今回、数は少ないですが、より企業の現場に近い実プロジェクト事例を基に研究を進めており、実際の開発現場において役立つ開発手法となることを目指しております。

現在は、要求の変更や多様性の不確定要素を仮定した上で、研究を進めておりますが、本研究の成果が礎となり、将来は、各企業の実プロジェクトにおいて独自の手法展開がされ、さらに複雑な要求の変更と多様性に対応できる手法として、発展していくことを期待しております。

おける解決すべき問題点は多数ありますが、我々の研究室の持ち味を生かし、(1)要求変更の設計やプログラムへの波及を予測可能とすること。(2)要求変更の範囲や内容を管理することの2点を研究目標の中心としました。

システムLSI上で動作するソフトウェアは汎用OS上で動作するソフトウェアよりもハードウェア部品に依存する割合が大変大きく、また、要求の変更もビジネスソフトウェアのそれとは大きく異なります。例えば、消費電力等の物理的な要因やハードウェア構成の変更等も要求変更となり得ます。

研究初年度は客員研究員の皆様の協力を得て、実際にこの分野でソフトウェア開発をされている技術者の方から実際に変更が発生した開発の情報を得ることで、(1)実際どのような変更が起こりうるか、(2)そのような変更予測を予測するためには、変更前に存在する生成物(既存のプログラム、旧バージョンの設計図、関連するハードウェアの仕様書、標準企画書等)のどのような情報をどのように分析すべきかを検討中です。

さらに、提案する変更予測法が実際の開発効率をどの程度、改善することができるという観点から評価を行いたいと思います。幸い、いただいた情報は実際に変更要求が発生した事例であるため、結果の公開可能性の可否はともかく、開発効率向上の評価を具体的にを行うことが可能です。

## 今後の研究に向けて

システムLSIに関するソフトウェアと一言でいっても、当該のLSIが提供

する機能や用途によって、さまざまな種類が存在します。客員研究員の方々の通して知ることのできるシステムLSIの範囲内に限定はされますが、変更予測法の確立および精度の向上を目指したいと思っております。

また、実際の開発現場に適用可能な技術となるためには、開発者への余計な負担(例えば追加的な文書やデータの記述を要求する等)があってはならないと考えています。その意味からも、既存の開発文書やデータから可能な限り変更予測を行うための分析ツールの開発を進め、多くの技術者の方に試用していただけることを目指したいと思っております。

## おわりに

近年、ほとんどの工業製品にはソフトウェアが組み込まれており、その規模や複雑さも増大しています。もちろん、STARCが対象としているシステムLSI分野も例外ではありません。一方、ソフトウェア分野の研究者、学生等はどちらかといえば標準的なOSの上で動作するソフトウェアに注目する場面が多く見られますが、ソフトウェアと多様な工業製品とのかわりか考えると、ソフトウェア分野の人間も他分野との連携を強化する必要があるかと思っております。本共同研究を通して、実際にソフトウェア分野とシステムLSI分野との連携を実践し、加えて、ソフトウェア系の学生にもシステムLSI分野に関心を持っていただくきっかけになれば幸いです。幸い、信州大学 情報工学科は現在でもICやオシロスコープを用いた電子工学的な教育も重視しており、十分な土壌があると信じております。

最後になりますが、STARCの皆様、客員研究員の方々、および客員研究員の皆様を通じて研究に協力していただいている皆様には、大変お忙しい中、頂戴いたしましたご支援に対しまして、心よりお礼を申し上げます。



図1 要求定義ツールの例

A-SSCC (IEEE Asian Solid-State Circuits Conference)は、IEEEのSolid-State Circuits Society(SSCS)が主催する国際回路学会である。アジア地区における半導体回路設計者人口の増加に伴い、ISSCC、CICC、およびVLSIシンポジウムに次ぐ4番目のSSCS主催国際学会として2005年に産声を上げた。第1回のA-SSCC 2005は台湾・台北で、第2回のA-SSCC 2006は中国・杭州で、第3回のA-SSCC 2007は韓国・済州島で開催された。第4回のA-SSCC 2008はいよいよ日本の出番で、今年11月に福岡で開催される。当社の下東社長がGeneral Chairに就き、鬼頭企画部長がLocal Organizing Committee Chairを務めることになっている。そこで、A-SSCC 2008準備作業の一環として、A-SSCC 2007に参加し、会議の運営状況等を視察した。

A-SSCC 2007は昨年11月12日から3日間、韓国・済州島北部のRamada Plaza Hotelで開催された。初日に4件のTutorial講演が行われ、2日目と3日目に17のセッションに分かれて105件の論文が発表され、Industry Sessionと呼ばれる製品紹介が可能なセッションにて8件が発表された。他に、ルネサスの伊藤会長をはじめ4件のプレナリ講演、二つのパネルセッション、学生による7件のDesign Contest展示が行われた。

全体で347件の投稿論文があり、113件が採択されたので、採択率は32.6%であった。国別の発表件数を表1に、発表機関別(採択2件以上)を表2に示す。日本からの発表論文は、ルネサス5件、慶応大学4件、東北大学・東京大学・東京工業大学各3件、日本電気2件、神戸大学・日立・松下電器・三洋・金沢大学・アドバンテスト・東芝各1件であった。採択件数上位の慶応大学・東北大学・東京大学は採択率100%であった。日本全体でも70%に近い採択率であり、相対的に論文の質が高いことが伺える。

参加者はTutorialのみの参加も含めて328名だった(参考:2005年407名、2006年263名)。国別の内訳は、韓国

表1 A-SSCC2007「国別発表件数」

	Submission				Acceptance (採択率)			
	A	R	I	Total	A	R	I	Total
Korea	97	5	7	109	23(24%)	1(20%)	4(57%)	28(26%)
Taiwan	52	4	4	60	21(40%)	1(25%)	2(50%)	24(60%)
China	48	1	4	53	6(13%)	0(0%)	2(50%)	8(15%)
Japan	21	1	17	39	15(71%)	0(0%)	12(71%)	27(69%)
Other Asia	41	0	1	42	5(12%)	0(0%)	0(0%)	5(12%)
N.America	20	0	7	27	7(35%)	0(0%)	5(71%)	12(44%)
Europe	11	1	5	17	7(64%)	1(100%)	1(20%)	9(53%)
Total	290	12	45	347	84(29%)	3(25%)	26(58%)	113(33%)

A : Academia R : Research Inst I : Industry

表2 A-SSCC2007「発表機関別発表件数(採択2件以上)」

機 関	国	投稿数	採択数	採択率(%)
National Taiwan Univ.	台湾	22	12	54.5
KAIST	韓国	16	9	56.3
Renesas Tech. Corp.	日本	6	5	83.3
Hong Kong Univ. of Science and Tech.	香港	8	5	62.5
Keio Univ.	日本	4	4	100.0
Tohoku Univ.	日本	3	3	100.0
Univ. of Tokyo	日本	3	3	100.0
K.U. Leuven	ベルギー	4	3	75.0
Tokyo Inst. of Tech.	日本	5	3	60.0
National Chiao-Tung Univ.	台湾	6	3	50.0
NEC Corp.	日本	2	2	100.0
Oregon State Univ.	米国	2	2	100.0
IBM	米国	2	2	100.0
Intel Corp.	米国	2	2	100.0
Seoul National Univ.	韓国	2	2	100.0
Samsung Electronics	韓国	3	2	66.7
Korea Univ.	韓国	4	2	50.0
Yonsei Univ.	韓国	4	2	50.0
Chungbuk National Univ.	韓国	5	2	40.0
Kwangwoon Univ.	韓国	7	2	28.6
Tsinghua Univ.	台湾	12	2	16.7
Fudan Univ.	中国	13	2	15.4

141名、日本88名、台湾42名、米国20名、中国16名、香港6名、その他15名で、中国人の国際学会参加が容易ではないことが伺える。

運営面では、スペースに余裕のある会場や各種機材を極めて低料金で調達している点が特筆される。済州島は“韓国のハワイ”と称されるリゾート地であるが、11月ともなれば寒風吹きすさぶオフシーズンであり、この種のイベントの誘致には地方自治体やコンベンション誘致団体が相当の挺入れを行っている模様である。事務局会社によるイベント運営も、クレジットカードでの参加登録にトラブルがあった点を除き、概ねスムーズであり、非常に立派に運営された国際会議であった。

A-SSCC 2008は、2008年11月3日から3日間「JAL リゾート シーホークホテル 福岡」で開催される。冒頭に記したように、日本での初開催となる。主要プログラムは、次の通り(予定)。

- ・ Tutorial講演
- ・ 基調講演
- ・ 論文発表
  - Analogue, Data Conversion, Digital & SoC, Memory, Emerging Technologies and applications, Industry Program, Wireless & RF, Wireline & Mixed Signal,
- ・ Student Design Contest
- ・ パネル討議
- ・ レセプション

A-SSCC 2008への皆様からの積極的な論文のご投稿と、学会へのご参加をお願いします。採択論文の内優秀な学生の論文は2009年2月開催のISSCC 2009に招待され発表の機会が与えられます。このため、とくに学生の皆様の投稿を希望します。  
(企画部 鬼頭公治、社長付 安達功修)

## 国際学会参加報告

# 16th Asian Test Symposium (ATS2007)

### はじめに

第16回アジアテストシンポジウム (ATS2007:16th Asian Test Symposium) が、10月9日から10月11日まで、中国の北京で開催された。

16回目を迎えたATSの中国での開催はこれで4回目であるが、北京での開催は1993年の第2回以来14年ぶり。オリンピックを控えて街全体に大いなる変貌が見られた。一方、ATSのほうも14年前に比べると欧米からの参加者も増え、大いに様変わりした。

参加者は150名あまりで半数以上が中国以外から。日本からも30名程度が参加した。前日の2件のチュートリアルに続いて、初日の5件の基調/招待講演でシンポジウムが始まり、一般発表は24セッション79件(3パラレル)その他企業セッション(1件)特別セッション(2件)パネル討論(3件)も行われた。また、10月12、13日には併設イベントとして第8回レジスタ転送レベル及び高位テストに関するワークショップ(WRTL2007:8th Workshop on RTL and High Level Testing)も開催された。



会場の北京友誼賓館の宿泊棟のひとつ

### テクニカルセッション

オープニングセッションでは2件の基調講演と3件の招待講演が行われた。

最初の基調講演では、Texas大学のJ.A. Abraham氏が「テストの新たな道」と題して、ミックスシグナルSoC

テストについて問題提起を行った。この分野は興味深い課題の宝庫であり、もっと注目すべきとの指摘があった。また、Cadence社のS. Taneja氏は「電子技術とナノテクノロジーの民生利用：テストの意味」と題して、低電力テスト技術の重要性と将来について述べた。多くの課題があり活発な取り組みが必要とのこと。

また招待講演では、最初にIntel社のT.M. Mak氏が「電力制約計算のテスト」と題してCPUの低電力化のトレンドとテストの意味について述べた。適応型計算の進展に伴ってディレイテストの意味を再考する必要があるとのこと。次にSynopsys社のT.W. Williams氏が「EDAによるSiロードマップの救助」と題して、プロセスの継続的な微細化に対するEDAの役割として低電力設計、DFM、DFTなどへの貢献について述べた。今後はマルチコア対応が重要とのこと。最後は上海のSMIC社のK. Chien氏が「ファウンドリにおける信頼性テスト実現の仕掛け」と題して、製品の信頼性を向上するためのさまざまな工夫について述べた。設計、テストから教育に至るまで多面的な取り組みが必要とのこと。

一般発表では、他のテスト関連学会

と同様、テスト時の電力の問題が重視されている(3セッション10件の発表があった)。高速インタフェースのテストと合わせて、今後とも重要課題となるものと思われる。なお、通常論文件数では、米国の発表が最も多く(27件)、日本は9件で4位となった。とくに企業からの一般発表がなかった点が多いに反省される。

一方、パネル討論では2件のパネルに2名ずつ日本の企業からのパネリストが参加し、論文発表の少なさを補った。パネル2では、次世代のテスト/診断/歩留り等の技術課題に関して、佐藤氏(日立)、小松山氏(アドバンテスト)を含む5名のパネリストが、各々の立場で惟謙を述べた。会場からも多くの意見が出されたが、こちらでも電力の問題が重視されていた。また、パネル3でも、故障診断/シリコンデバッグにおけるテストの役割について、相京STARC室長、小野寺氏(ソニー)がパネリストに参加して活発な議論が行われた。

### ソーシャルイベント

今回のソーシャルイベントは、世界遺産にも登録されている総面積290haの大庭園「頤和園」へのツアー。さまざまな古代建築と庭園の大部分を占める「昆明湖」のクルーズを堪能したあとは、「万寿山」にある「聴れい館」で宮廷音楽と踊りの歓迎を受け宮廷料理を楽しんだ。

件数

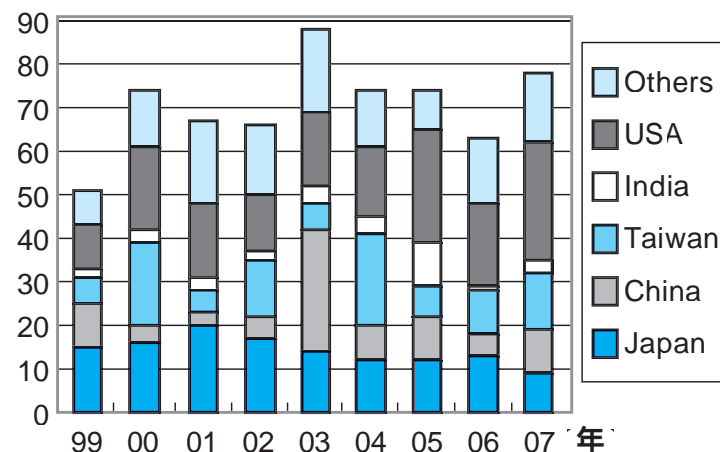


図1 ATS発表件数の推移(国別)



暁和園の仏塔

## WRTL2007

10月12日から2日間引き続き同所で開催された併設ワークショップのWRTL2007では、日本からの19名を含む50名あまりが参加し、ワークショップならではの熱の入った議論が行われた。

今回は、2件の招待講演、22件の一般発表に加えて、初のパネルも設けられ、盛り沢山の内容となった。招待講演は、Duke大学のK. Chakrabarty氏による「SoCのモジュールテストについ

て」と Linkoping大学 (Sweden) のZ. Peng氏による「微細化に伴う高信頼設計の重要化について」。どちらも多くの今後の研究課題を提示していた。一方、一般発表ではRTLテスト関連で5件の発表があった点が目立つ。内容は今一步ではあるが、再び研究が活発化する兆しと見られる。なお、パネルに畠山が参加、マルチコアプロセスの検証とテストに関して将来課題等について議論した。8回目の今回は当初に比べて、トピックの広がりが目立った。RTLにこだわらず、広くSoCテスト関連を対象にしてきたことが奏功している。参加者も、今回はエストニア、アイルランドも加えて13か国。地域的な広がりも見せており、今後とも楽しい学会である。

## おわりに

今回のATS2007を総括すると、以下の3点が挙げられる。(a)全体として

は、他の学会と同様、テスト時電力の問題が重視されている。今後しばらくは、テスト時電力・ノイズの問題が大きな研究対象となることは疑いない。(b) 欧米からの参加者も定着してきており、春のVTS (米国開催) ETS (欧州開催) に対する秋のATS (アジア開催) との位置づけが認識されてきたと考えられる。(c) 14年ぶりの北京 (同一ホテル) での開催であったが、中国の発展の様子には驚かされた。テスト技術に関しては日本にまだ一日の長があるが、台湾を加えた3地域が肩を並べるのも時間の問題と思われる。

なお、今回のATS2008/WRTL2008は2008年11月24日～28日に札幌市で開催される。ATSは畠山がプログラム委員長を務めており、国内からの多数の投稿を期待している。

(テスト&故障解析開発室 畠山一実)

## 国際学会参加報告

### ITC2007

## (International Test Conference)

### はじめに

2007年10月21日(日)～10月26日(金)に、前回に引き続き米国カリフォルニア州のサンタクララでITCが開催された。ITCは世界各国からテスト分野の技術者が参加する国際的なテスト会議である。約2500名もの参加者があったということであり今回も盛大に行われた。

以降に「テスト時電力・ノイズ削減関連」、「故障診断技術関連」、「標準テスト記述言語STIL関連 (Standard Test Interface Language)」の三つのテーマについて注目すべき点を紹介する。

### テスト時電力・ノイズ削減関連

今回のITCでは、テスト時の消費電力削減に関して二つのテクニカルセッションで合計6件の発表があった。テ

スト時には通常モードよりも動作率が高い傾向にあり、IRドロップなどの問題により、オーバーキルの問題が発生する恐れがある。本問題に関しては、近年関心が高まっており、いずれも多くの聴衆を集めた。

6件の発表のうち、3件が大学と企業の共同、残り3件が大学の発表となっていた。

この中で目を引いたのは、Texas Instruments IndiaとインドIndian Institute of Technologyの共同発表(講演番号13.3)である。通常動作向けの設計では、消費電力削減のために、高速動作が不要な場合は電圧を下げるという手法が広く用いられている。この手法を低速なスキャン・テストのシフト時へ応用するという提案であった。

両機関は、もう一つ共同発表している(講演番号13.1)。こちらはレイアウト

トを考慮して、テスト時のIRドロップ問題を回避する手法の提案である。事前に静的IRドロップ解析を行い、パワー・グリッドごとに最大トグル数を設定し、それに収まるようなATPGのアルゴリズムの提案であった。

また、九州工業大学と、米SynTest Technologies、等は共同で、実速度テストの消費電力を削減する手法を発表した(論文番号25.1)。この手法は、微小遅延に対するテスト品質を保持しつつキャプチャ時の前後のトグルを削減して電力削減を可能とするものである。

いずれの発表に対しても、聴衆から活発な質問があり、関心の高さを示した。

### 故障診断技術関連

故障診断技術関連では2セッション6件の発表があった。発表は、大学2件(うち1件は企業と共同)と企業4件となっていた。

一つ目のセッションでは、従来故障診断の技術向上に関するもの3件と、二つ目のセッションでは、従来と異な

るアプローチによる故障診断技術の向上に関するもの3件の発表があった。

一つ目のセッションの3件の内一つは、従来故障診断の前提条件であるロジック回路に故障がないことを前提として、スキャンチェーンを故障診断し、その後にロジック回路の故障診断を実行するというような矛盾を除外し、故障診断の結果を向上させようとしたものである。発表では、従来と異なる故障診断の実行手順を提案している。次の一つは、スキャンチェーン上の故障診断に関するものである。内容は、故障診断に使用する情報の一つであるテストパターンに対して、故障診断結果を向上させるためのテストパターンの仕組みを述べ、そのパターンの生成方法を提案している。

最後の一つは、配線のオープン故障の故障診断技術に関するものである。従来は、オープン故障の故障診断には、容量や閾値電圧などの情報が必要だった。今回の提案では、これらの情報を使用しなくても、オープン故障の故障診断が行え、従来以上の結果が得られることを発表していた。本方法によれば、コスト(TAT)がかかる情報がなくても、同等以上に故障診断が可能になったとのことであった。

二つ目のセッションの3件のうちの1つは、ディレイ故障診断に関するものである。よく知られている遷移故障モデルやパス遅延モデルとは異なるセグメントネットワーク故障と呼ばれるモデルを考案している。この故障診断のモデルは、パス遅延モデルを複数のブロック(セグメント)に分割したようなイメージのものである。次の一つは、システムティック故障の故障診断に関するものである。システムティック故障の故障診断を行うために、DFMガイドラインを利用して、まず、システムティック故障の故障候補をモデル化する。次に、使用したテストパ

ターンがそのシステムティック故障の故障候補モデルに対して、どのくらいカバーしているかを調べ、故障診断を行うというアプローチを提案している。最後の一つは、セル内の故障の故障診断に関するものである。従来故障診断技術は、セルの外側を故障診断の対象としており、セル内で故障していたときは、良い結果が得られない可能性があった。本発表では、セルの入出力端子の状況(テストパターンとその試験結果)から、セル内の故障を推測するという内容であった。

6件の発表の内容とも多岐にわたっており、故障診断の結果をより向上させるための技術開発の提案が行われていた。



### 標準テスト記述言語STIL関連

STARCでは標準準拠テスト環境構築推進のためSTILテスト推進委員会(略称SSTAG(STIL-based Semiconductor Test Action Group))を組織し標準テスト記述言語STILの普及促進活動を実施している。

今回その活動の一環としてITCにてIEEE STIL-WGとの打ち合わせをセッティングした。その中で、STARC SSTAGからSTILがテストプログラムになる時の問題点の改善案を提示し、その内容についてIEEE STIL-WGで検討をしていただくことになった。

STC(Semiconductor Test Consortium)が主催するSTC-STILミーティングでは、STARCを含む計4件のプレゼンがあり、STARCからはSSTAGの活動の経緯と内容を紹介した。参加者は約20名で、今回海外のSTIL関係者には

日本でのSTILの推進活動と、STILを使っていく上でSTIL活用ガイドのような共通のガイドラインが必要であることを広く知っていただくよい機会となった。

その他STILの動向調査のためTSSI主催のSTILパネルミーティングをはじめ、STIL関連のプレゼンテーションおよび展示会に参加した。STILを扱うツールや装置の利用に関するプレゼンが前回よりも大幅に増えていた。

以降にSTC主催のSTC-STILミーティングとTSSI主催のSTILパネルミーティングについての主な発表を簡単に示す。

**STC主催のSTC-STILミーティング:** STARC以外の3社の発表は以下のとおり

INOVYSからはSTILドリブンテストでのSTILの有効性の紹介があった。Taylor STIL Consultingからは、ATPGからテストまででSTILを変換せずにそのまま利用すれば、従来よりも10倍以上効率的に利用できるという紹介があった。LTXからはSTILのアナログ拡張仕様に関するプレゼンがあり、その中でフルアナログの拡張仕様までではないとの見解を示していた。

**TSSI主催のSTILパネルミーティング:** キーノート1件とパネル5件の計6件が報告された

INOVYSからのキーノートでは、現状はATPGでSTILを出力し変換なくINOVYSテストに接続でき、ウェーハビューアによる解析をはじめ、さまざまなフェイル解析ツールとリンクできるようになっているという紹介があった。アドバンテストのパネルでは、STIL Reader/Writerを提供しユーザーサポートしていることや、STCでイニシアティブをとって標準化されたSTILをサポートしていることなどが紹介された。その他4件のSTILパネルも含めいずれも活発な質疑が行われていた。

(テスト&故障解析開発室

埜田健治、清水隆治、上戸鎖裕史)

# 国際学会参加報告 第25回 International Conference on Computer-Aided Design (ICCAD-2007)

## 学会概要

第25回International Conference on Computer-Aided Design (ICCAD 2007)は、11月5日から11月8日にかけてカリフォルニア州サンノゼのDouble Tree Hotelで開催された。ICCADは、CADに関する国際会議として1983年から開催されており、今回は25周年の記念の年となる。この間に、ICCADは、CADあるいはEDA (Electronic Design Automation)に関する国際会議としては、最もクオリティの高い論文が集まる会議として知られるようになった。今回は、508本の投稿論文中139本が採択され、採択率は27%であった。



会場となったDouble Tree Hotel

開会のセレモニーでは、IEEE Transactions on Computer-Aided Designの2007年Best Paper Awardを受賞した大阪工業大学の吉村 勉先生および、STARCとも共同研究を行っている広島大学 岩田 穆先生の授賞式も行われた(対象論文は、「A Study of Interference in Synchronous Systems」)。

## 基調講演

11月6日に行われた基調講演では、SRC (Semiconductor Research

Corporation)の研究プログラムの一つであるNRI (Nanoelectronics Research Initiative)のディレクターであるJeff Welser氏が、「The Semiconductor Industry's Nanoelectronics Research Initiative: Motivation and Challenges for Technology and Design」と題して、CMOSに続くPost CMOSと、その課題に挑戦するNRIの活動について述べた。氏は、現在のCMOSテクノロジーに関して、Powerが最も問題であることを指摘した。そして、かつてCMOSがバイポーラにとって代わったように、今後10年～15年後にCMOSに代わる新しいデバイスが現れるだろうと述べた。氏はその候補として、ナノワイヤ、ナノチューブ、さらにモレキュラ

ーデバイス、スピントロニクス等を挙げた。また、量子力学的な考察から、ナノエレクトロニクスのスケールングにおいて最も大きな物理的制約となるのはやはりPowerであることを指摘し、NRIが現在取り組んでいる

いくつかの研究テーマを紹介した。

同日のディナーでは、マルチプロセッサ化の動きの中で再び注目を集めている「アムダールの法則」でも知られる、ジーン・アムダール氏がスピーカとして招待され、講演を行った。アムダール氏は85歳になるが、この歴史的な人物を一目見ようと集まった出席者が会場に入りきらず、会場が拡張される事態となった。なおICCAD2007が開催された2007年は、「アムダールの法則」が提唱されてから40周年にあたる。

11月8日に行われた二つ目の基調講演

PDF Solutions社President and CEOであるJohn Kibarian氏の「Overcoming the Process Variability Crisis via Proactive DFM」は刺激的で興味深い内容であった。ノードごとのデザインコストの上昇は70%である一方でテープアウト数は減少していくということから、氏はDFM stepを除去してデザインの複雑さやコストを下げるべきである、そのための解は設計を限られたレイアウトパターンにマッピングすることであるという。パターンを限定することはDFMそのものであるが、氏は現在の複雑なOPCやいわゆるDFMのためのさまざまな検証段階を批判する。制限されたパターンと、セルベースよりも大きい機能単位での合成を用いることで、それらが不要かつ性能上も問題ない設計ができるという。また45nmノードはドライリソで可能であるともいう。大きい単位での合成の具体的なイメージは不明であるが、現在とは全く違った設計体系の提案と見てよい。米CADベンダーと協調しながら進まなければならない状況では一顧だに価しない提案かも分からないが、会場の共感を得ているように思われた。

## テクニカルセッション

DAC、DATE等のEDA系のConferenceでは、このところマルチプロセッサに関するセッションが数多く設けられているが、今回のICCADでは、初日(11月5日)のチュートリアルセッションでもばらつき、DFM関連のセッションが設けられるなど、全体にばらつき関係のセッションが目立った。

テクニカルセッションにおけるBest Paper Awardは、セッション4B「Advances in Embedded Systems」中の「Approximation Algorithm for the Temperature-aware Scheduling Problem」に与えられた。これは、温度制約のもとでのプロセッサのパフォーマンスの最適化問題を扱ったもので、直接には最適解を求めることが困難なタイプの問題であることを示した後、多項式時間で解ける近似手法を提



バンケットの様子

案している。

セッション9BにEmbedded Tutorialとして“MOSFET Modeling for 45nm & Beyond”があった。講師はArizona州立大学のCao氏とFreescaleのMcAndrew氏。後半のCao氏の話は

Variabilityや信頼性のモデリング、これからモデリング上問題になりそうな現象等についての至極まじめな講演であったが、前半のMcAndrew氏の講演はPSPのプロパガンダ以外の何物でもない残念な内容であった。他のモデルの批判こそなかった

が、PSPが“only model available that fixes all historical problems and is physically accurate in all regions of operation.”であるとし、またPSPの困った点としか思えないVerilog-Aでの供給に対し、多シミュレータと多モデ

ルの環境での優れたインターフェースであるとの説明であった。

日本からの発表は全体に低調であったが、セッション6B「Improving Delay Test Generation and Performance Predictors」では、九州工業大学およびSTARCによる「Estimation of Delay Test Quality and Its Application to Test Generation」が、また、北陸先端科学技術大学院大学および奈良先端科学技術大学院大学による「Efficient Path Delay Test Generation Based on Stuck-at Test Generation Using Checker Circuitry」が発表され、テスト関係が一人気を吐いた格好であった。

なおICCAD 2008は、2008年11月10日～11月13日の日程で、米国カリフォルニア州で開催される予定である。

(研究推進室 大西洋一、杉本益規)

## 学会参加報告 システムLSIワークショップ

北九州市小倉で開催された第11回システムLSIワークショップに参加した。本ワークショップは電子情報通信学会集積回路研究専門委員会(ICD)主催により年一回開催されており、当社も特別共催ということで協力をしている。

今回は「システムLSIの新時代：未来を拓くヒトと技術」をテーマとし、とくにLSIに対する若い世代の人氣が低迷している状況にあって、LSIの魅力伝えるとともに、これからの時代の人と技術をどのように育てていくかという点に焦点を当てたこと。恒例のイブニングパネルは「ヒトを育てる技術、技術を育てるヒト」というテーマで行われた。MEMSや医療エレクトロニクス等システムLSIに留まらない広い範囲での講演が多かったのも今回の特色である。

会場は例年通り北九州国際会場、日程は11月19日(月)午後より、21日(水)

昼までの3日間であり、その他19日の午前には立命館大学の小西 聡先生の「LSIから芽生えたMEMS、そのメカとしての新しい試み」というチュートリアル講演があった。また21日の講演は同じ建物内で行われているデザインガイアとの共同企画である。参加者は329名で、多彩な講演内容のせいか前回に比べ15%の増加であった。

基調講演は東京大学の桜井 貴康先生の「異分野連携、イノベーション、世界」。日本地区は異分野の技術、企業がコンパクトに集約されているのが特色であり、異分野の連携と継続的イノベーションで差別化することが世界市場において重要であるとされ、異分野連携の例として3次元スタック集積回路、有機シート集積回路を紹介された。

初日はこのほか「医療エレクトロニクスとシステムLSI」と題されたセッションで5件の招待講演があった。こ

のうち奈良先端大の太田淳先生のご講演「CMOS技術のバイオメディカル応用」はCMOS技術を使用した人工視覚と脳内イメージングについてのものであったが、脳内イメージングの方はSTARCとの共同研究テーマである。

2日目は午前中は「社会基盤と半導体」というテーマで、非接触ICカードや交通監視システム等の4件の招待講演があった。

午前11時から3時までは1件1分間のショートプレゼンテーションに続いてのポスターセッションである。今回は44件の学生ポスターの発表があった。前回は34件である。加えて今回の新しい試みとして一般部門が設けられベンチャー企業等から9件の発表があった。多数件の発表であったが会場は時間いっぱい活発な議論が行われていたようである。学生ポスターでは4件のSTARC共同研究テーマ関連の発表があった。(神戸大吉本先生グループ、北九州市立大鈴木先生グループ、京大小林先生グループ、熊本大末吉先生グループ)

またデザインガイアのポスターセッションも同じ場所で同時開催され、こ

ちらでは2件のSTARCテーマの発表があった(熊本大末吉先生グループ、京大小林先生グループ)。

ポスターセッションのあと開催された今回のSTARC企画セッションは「マルチ・組み込みシステムの発展」と題し、組み込みシステム関連で多彩な3件のご講演をお願いした。名古屋大学の高田 広章先生はμITORN仕様のRTOSを開発するTOPPERSプロジェクトの主催者として有名であり、TOPPERSとは別テーマでSTARCとの共同研究も行っておられる。今回は「TOPPERSプロジェクトにおけるマルチプロセッサRTOSへの取り組み」と題されたご講演で、マルチコアプロセッサへの対応状況を中心にTOPPERSプロジェクトを紹介された他に、研究成果の普及の努力の重要性やmotivationを重視した学生の人材育成について熱く語っていただいた。東海大学の渡辺

先生はソフトウェア工学がご専門であるが、ETロボコンやNHKロボコン等の運営や審査員を勤められ、またご自身の研究室も参加しておられる。そのご経験を通して気づかれた点やロボコンを通じた組み込みシステム教育の可能性についてお話をされた。直前に審査委員長を勤められた全国高校生ものづくりコンテスト電子回路部門についてのご報告もあった。企業にいと分からない大学、高校生の現状が伺われ考えさせられるご講演であった。3件目はNECエレクトロニクスの肥田野文之氏の「画像認識用並列処理プロセッサ(IMAPCAR)のソリューション」と題されたご講演であった。並列処理により組み込みシステムとしては考えられなかった性能を実現しトヨタの車に搭載されて話題となったLSIの紹介である。ご自身の開発との関わりも交えた大変興味深いお話であった。

技術的な発表はNECの研究所がいろいろ行っているが、開発の経緯や製品展開、今後の方向性等製品開発という視点からの報告は珍しく、会場からも多くの質問が出ていた。

最終日はデザインガイアとの共同企画で6件の招待講演があった。中で東工大岡田先生のご講演「リコンフィギュラブルRF回路技術の研究」はSTARCとの共同研究テーマである。

最後に東工大の松澤集積回路研究専門委員会(ICD)委員長より閉会挨拶に代えて、ICDの改革について発表があった。今後は人材育成と技術討論へ重点化し、月例研究会を整理すること、若手技術者育成のための活動を新たに行うこと等である。本ワークショップについては2008年度は休会し、2009年度からは5月開催となる予定であることが発表された。

(研究推進室 杉本益規)

## 国際学会参加報告

# IEDM 2007

## (International Electron Device Meeting)

### はじめに

12月10日月曜日から12日水曜日の3日間にわたり、米国・ワシントンDCにてIEDM2007が開催された。IEDMでのセッション数は38(Evening Panel Discussionを含む)、発表論文数は239(招待講演、Late News含む)であった。セッション数、発表論文数、ともにほぼ前回と同数であった。

ここ数年、IRDMでは、High-k、Metal Gate、および歪みSiの議論が盛んであった。今回、intelが、これらの技術を導入したマイクロプロセッサの商品化を発表している。これに関連し、intelの45nmプラットフォームプロセスの発表(Session10: Integrated Circuits and Manufacturing)が、注目を浴びていた。High-k、Metal Gate等の議論がこれで終わるわけではないだろうが、この分野の研究としては、

一つの節目を迎えたと考えられる。また、次の新たな研究・開発テーマ・研究方向の模索も、すでに始まっているとも感じられた。以下、学会での論文発表件数推移および学会トピックに関し報告する。

### 論文発表件数推移

図1に1996年よりの国・地域別のIEDMでの論文発表総件数推移を示す。国、地域は、米国、日本、アジア、欧州と分類し、論文発表件数には、招待講演、Late News分も含んでいる。論文発表総件数で見ると、今回は日本が健闘している。一方、これまで、国別発表件数でトップであった米国は、前回に続き減少。日本と米国の発表件数が、ほぼ同数になっている。アジア、欧州は、前回並みであった。

図2に示す大学よりの発表件数に関しては、依然、米国が40件以上と、国

別でトップである。日本も今回は、大学よりの発表が10件以上と増えてはいるが、微増である。欧州とアジアは、前回に比べ幾分増加している。

一方、企業(大学以外)よりの発表は、図3に示すように、今回は日本が10件以上増加。米国が減少ということで、日本が、米国を20件以上上回っている。日本の論文発表総件数の増加は、企業発表の増加によっていることになる。日本企業の発表が多い分野は、歪みSi、High-k、Metal Gate等の先端CMOSプロセス分野である(Session6、Session 20等)。他にResistive RAM等の不揮発性メモリー関連の発表も多い(Session30)。今回の発表論文の急増が、今後の日本企業の活性化につながることを期待したい。

欧州とアジアの発表件数に関し、少し変化があったので報告しておく。発表件数は、欧州とアジアでは、企業、大学とも大きな変動はない。しかし、欧州では、仏、独、英、伊やスイス等の多くの国の大学からの発表がみられ、欧州全体で半導体の研究が広く行われていることが感じられる。また、

アジアの国々の中で  
の発表件数は、台湾  
(17件) 韓国(13件)  
シンガポール(8件)  
の順であったが、台  
湾が韓国を抜いたの  
は今回が初めてであ  
る。台湾の増加は、  
大学からの発表件数  
の増加であり、大学  
でのLSI研究を推進  
するという、台湾の  
国策が功を奏してい  
るのかもしれない。

他のアジア諸国と  
しては、中国とインド  
の大学からの発表  
が目についた。とも  
に、数件の信頼性や  
シミュレーション等  
に関する発表である  
(Session31等)。中  
国からの発表は以前  
にもあったと記憶し  
ているが、インドは、  
少なくとも複数件の  
発表は、今回が初め  
てではないかと思  
う。中国、インドを  
含め、このような新  
しいプレイヤーの今  
後の活躍が目される。

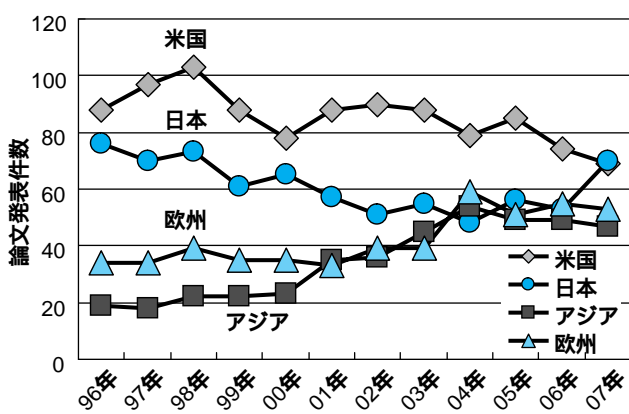


図1 国・地域別の論文発表件数推移

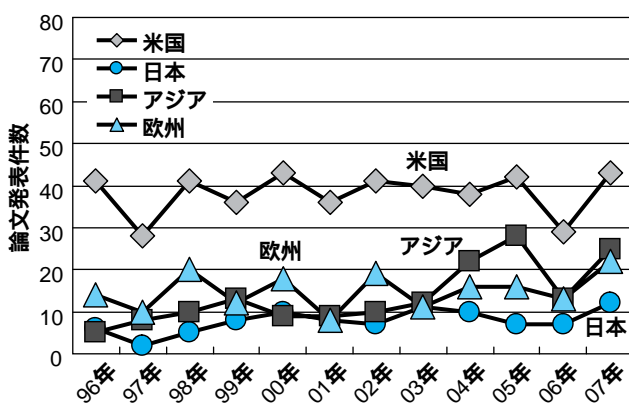


図2 大学論文発表件数の国・地域別推移

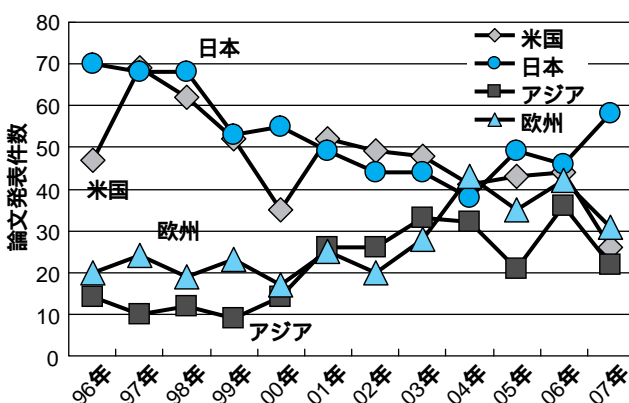


図3 企業(大学以外)論文発表件数の国・地域別推移

## 学会トピック

High-k/Metal Gateの商品化で注目を集めたintelの45nmCMOSの論文は、Session10:Advanced CMOS Logic and SoC Platformsで発表された。Hf系のHigh-k膜を用い、NMOSとPMOSで、Metal Gate材料を変えろというHigh performance Device向けのプロセスである。intelは、Session18: CMOS Devices - Device/Design Interactionでは、High-k/Metal Gateを用いた45nmプロセスでは、これまでのプロセスに比べ、特性のバラツキが減少すると

報告していた。このintelのプロセスがこのまま、標準的なプロセスとなるとも考えにくく、プロセスの簡略化等のイノベーションを目指した材料、プロセスの研究はさらに続くと考えられるが、この数年の、High-k、Metal Gateの研究・開発競争に、一応のけりをつけた感のある発表であった。

メモリー技術としては、今回も不揮発性メモリーに関する発表が多く見られた。フラッシュ関連の発表は当然であるが、有機材料を用いたメモリー、MEMSを用いたメモリー等、新構造メモリーも発表されていた。さらに、

Session30: Solid State and Nanoelectronic Devices - Emerging Resistive RAM and New Function on Siliconでは、5件のResistivity RAMの発表が行われた。M-RAMやPC-RAMも材料の抵抗変化を用いてメモリー機能を実現しているが、より単純な材料(TiOx、NiOxやFeOx等の金属酸化物)・構造での電気抵抗変化を利用したメモリーである。次世代の不揮発性メモリーとして期待が高い技術であるが、その動作原理には、まだ不明の点が多く、今後のさらなる研究が期待される。

過去にEmerging Technologyとして取り上げられ、これまでInvite Paperでの発表が多かった、MEMSや有機材料関係の論文は、今回は一般講演の中に多く取り込まれていた。IEDMの中で、すでにしっかりとポジションを占めているといえる(Session16等)。またEmerging Technologies(Session13)では、Energy Harvesting Electron Devicesが、取り上げられていたが、これもMEMS技術の具体的応用例を示すものといえる。

## まとめ

IEDMのMeetingに先立ち、二つのShort Courseが開催された。その内の一つが“Emerging Nanotechnology and Nanoelectronics”と題されたMEMSやSiナノワイヤー素子、III-V族+Si等に関する話であった。また、Plenary Sessionでも、同様なNanotechnology関連の招待講演があった。High-k、Metal Gate、歪みSi、SOIといった、ここ数年IEDMで議論されてきた技術のほとんどが45nm、もしくは32nmのプラットフォームプロセスに取り込まれてきている。学会としてのフォーカスが、MEMSやSiナノワイヤー素子、III-V族+Si等といったNanotechnology分野に向き始めているのかもしれない。現在の複雑なLSIプロセスの単純化等に向けた、材料・プロセスのイノベーションが、今後、この分野で生まれることを期待したい。

(研究推進室 吉丸正樹)

# EDS Fair 2008 出展のご案内

(Electronic Design and Solution Fair 2008)

## 「世界に挑戦する“ STARCの最新設計技術と標準化技術 ”」

開催日時：2008年1月24日(木)・25日(金) 10:00～18:00

会場：パシフィコ横浜(展示ホール、アネックスホール)

「世界に挑戦する“ STARCの最新設計技術と標準化技術 ”」と題して、パネル展示とデモ紹介、ブース内プレゼンテーションでご紹介します。

### 【STARCの最新設計技術】

STARCAD-SLD (システムレベル設計)  
・ベンダーフリーのTLモデリングガイド  
・高効率システムレベル設計を実現するTL設計環境

STARCAD-CEL (プロセスフレンドリー設計)

・設計生産性向上を実現する、  
(1) 超低消費電力LSI設計環境  
(2) DFM設計技術  
(3) SSTA設計技術

STARCAD-Clouseau (テスト&故障解析)

・低電力設計でのテストの問題解決  
・ベンダーフリーのテストデータ  
インターフェース

Mixed Signal設計

・次世代に求められるアナログIP設計技術



### 【STARCの標準化技術】

コンパクトモデルHiSIMの世界標準化  
世界をリードするTLモデリング標準化活動  
業界レファレンスを目指すIP機能検証ガイド  
標準テスト言語STILの利用推進  
業界標準としてのRTLスタイルガイド普及



### 【産学連携】

大学共同研究・教育  
先端プロセスLSI試作シャトルサービス

### 出展者セミナー

1月24日(木) 13:30～15:15 <セッション番号 F202-24-4、24-5>

#### 「世界に挑戦する“ STARCの最新設計技術と標準化技術 ”」

13:30～【STARCの標準化技術】  
・HiSIMモデルの世界標準化  
・IP機能検証ガイド

【STARCの最新設計技術1】 ● STARCAD-CEL (プロセスフレンドリー設計)

14:30～【STARCの最新設計技術2】 ● STARCAD-SLD (システムレベル設計)  
● STARCAD-Clouseau (テスト&故障解析)  
● Mixed Signal設計

### 特設ステージ

1月25日(金) 14:00～15:00 「早わかりシステム設計 - 今さら聞けない5つのポイント」

16:15～17:15 「今さら聞けないIDFT - テストクライシスって本当? 今再び注目されるスキャン設計 - 」

EDSFair2007公式Webサイト ; <http://www.edsfair.com/>