

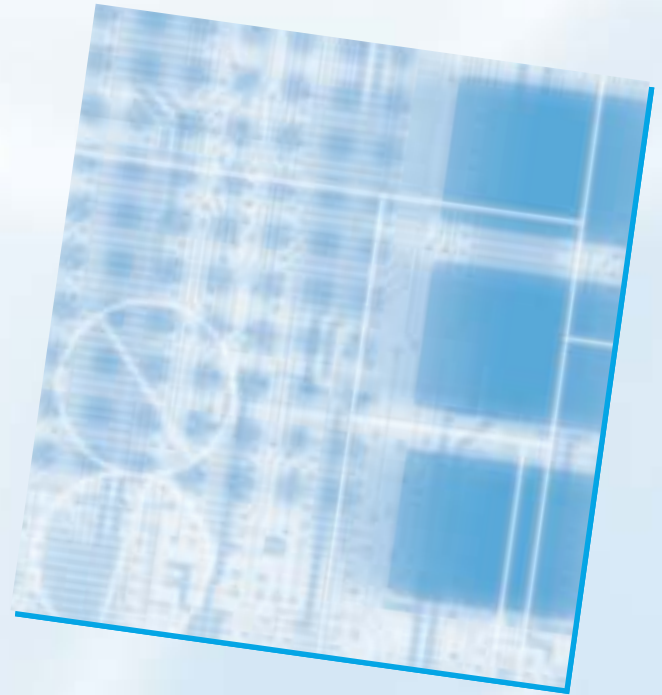
STARC ニュース

No. 33

2007年7月25日発行

株式会社 半導体理工学研究センター

Semiconductor Technology Academic Research Center (STARC)



CONTENTS

STARCフォーラム2007報告	2
特集 / 開発第1部	
STARCAD-CEL	
超低消費電力を実現する設計メソドロジー	6
特集 / 標準化推進室	
設計の機能品質向上を目指して	
- IP機能検証ガイドの策定 -	8
STARC共同研究2008年度新規テーマ募集	9
共同研究グループ便り	
小椋研究グループ	10
藤島研究グループ	12
益研究グループ	14
和田研究グループ	16
国際学会参加報告	
DATE 2007	18
VTS 2007	19
DAC 2007	20
2007 SYMPOSIUM ON VLSI TECHNOLOGY	21
2007 Symposium on VLSI Circuits	22
STARCシンポジウム2007開催案内	24

STARCフォーラム2007

イノベーションで世界を目指すSTARCの新たな挑戦

今年で7回目を迎えたSTARCフォーラムは、7月6日に経済産業省他からご後援をいただき、新横浜国際ホテル南館にて開催いたしました。

冒頭の開会挨拶で、STARC代表取締役社長兼CEO 下東勝博から、今回はじめて参加登録者数が500名を超えたことを報告し、コンソーシアム活動への皆様のご理解がますます深まったことの表れとして、社員を代表してお礼申し上げます。また、昨年4月から新しくスタートした「あすか」プロジェクトが順調に推移していることは、クライアントの皆様のご支援、また経済産業省ならびにNEDO技術開発機構様のご指導・ご支援の賜物であり、深く感謝の意を表しました。

今回のフォーラムは、「イノベーションで世界を目指すSTARCの新たな挑戦」と題して開催しました。

まず最初に基調講演として、慶應義塾大学の榊原清則氏にイノベーション研究の立場から、「技術革新とその収益化」について、イノベーション・サイクルという論点にフォーカスして、企業活動の具体例の分析を交えながら、示唆に富んだお話をいただきました。

続いて、招待講演として、カーネギーメロン大学のRob A. Rutenbar教授から、「Toward Speech Recognition in Silicon: The Carnegie Mellon 'In Silico Vox' Project」のご講演をいただきました。

午後の部では、2年目となる「あすか」プロジェクトでのSTARCの活動成果のトピックを報告しました。

また、招待講演では、トヨタ自動車㈱の篠島靖氏に、「進化し続ける自動車の半導体技術」と題してご講演をいただき、あわせて半導体業界への要望もお聞かせいただきました。

プログラムの最後には、九州大学の天津留榮佐久氏をコーディネータとして、半導体業界各分野から4名の方をパネラーとしてお招きし、「明日の半導体を語る 5～10年後の夢と期待」と題したパネル討論が行われました。

まさにパネルテーマにふさわしく、明日への期待にあふれ、ときには笑いも交えての活発な意見で半導体業界の元気が沸きでるような討論を展開していただきました。

最終的な参加者は、過去最高だった昨年をさらに15%上回る501名を数え、盛況のうちに本フォーラムを終えることができました。

今回も参加者の皆様にWebでのアンケートをとらせていただきましたが、プログラムの全体をとおして、74%の方に「非常に良かった」、「よかった」とのプラス評価をいただくことができました。ご講演者をはじめ、参加いただいた方々にあらためてお礼申し上げます。

以下、本フォーラムでのご講演等の内容の一部を、ダイジェストで紹介します。

来賓挨拶

来賓挨拶は、経済産業省商務情報政策局 参事官の土本一郎氏からお言葉をいただきました。

土本氏は、最終製品に占める半導体の付加価値割合がますます増加しており、半導体が最終製品の競争力を支えるキーデバイスである



土本一郎氏

ること。そして半導体産業が、産業全体の競争力をも担う非常に重要なインフラ産業であると説明されました。

その上で、半導体産業の競争力強化のためには、(1)人材育成プログラムの強化、(2)半導体の競争力となる付加価値の見直し、(3)ユーザ産業でのソフトウェア開発の課題解決、の3点が必要であること。国としても設計力強化、人材育成などさまざまな点で業界発展のために支援すると述べられました。



基調講演

基調講演では、「技術革新とその収益化」と題して、慶應義塾大学 総合政策学部 教授の榊原清則氏に、イノベーション研究者の立場からご講演をいただきました。

榊原氏は、2003年から経済産業省様の支援を受けた



榊原清則氏

産官学のプロジェクト「ルネッサンス・プロジェクト」のリーダーを担当され、MOT教育の第一人者としてご活躍されています。昨年からは開始したSTARC-MOT講座の統括も務めていただいています。

講演では、まず技術経営・技術革新が重要で、それを経営活動の中で有機的に組み込んでいかに経営成果獲得に結び付けていくかという問題意識が大切であり、日本の産業全体、半導体産業についてはこれが重要なポイントであると説かれました。続けて、先進産業国に共通する問題として、活発な研究開発が必ずしも企業の成長や利益獲得に結びついていないこと。とりわけ日本ではこの傾向が顕著で、売上高や付加価値に占める研究開発費の比率が世界最高水準にあるが、利益獲得という点では必ずしも磐石でないと指摘されました。

次に、[新技術、[意味の洞察、[]収益化、の3フェーズから成る「イノベーション・サイクル」という分析枠組みを提案。その分析枠組みに基づいてベストプラクティスとして、キヤノン、インテルの事例を紹介されました。さらに、モバイル革命の勝ち組企業の一事例として、ARM社を取り上げて解説。対して、日本企業がイノベーション・サイクルを回せなかったことにも言及されました。

最後に、日本半導体産業発展のシナリオを示され、イノベーションに見合う収益化を目指すことが肝要、と纏められました。

招待講演

続いて招待講演として、カーネギーメロン大学(CMU)のProfessor Rob A. Rutenbar 教授から、音声認識機能の実現を目指した「In Silico Voxプロジェクト」が紹介されました。Rutenbar教授は、アナログ回路設計技術の権威で、次世代回路技術研究をテーマとする米国17大学のコンソーシアムC2S2 Focus Research Centerの運営など多方面で活躍されています。最近では2007年にはIEEE circuits

and Systems Industrial Pioneer Awardを受賞されました。

In Silico Vox プロジェクトはシリコン上に高速・高性能、かつ低消費電力に音声認識機能を実現することを目的としたCMU大学のプロジェクトで、Computer Science (音声認識アルゴリズムGp.)、Electrical & Computer Engineering (LSI設計技術Gp.、メディア/DSP Gp.)の異分野3グループが連携して成功を収めています。

音声認識についてはこれまでに多数の方式が提案されています。しかし、話者依存でなく、多数の単語を扱え、連続会話を翻訳できるなど高機能な音声認識の実現には高性能CPU+多量



Rob A. Rutenbar氏

のメモリ+大規模なソフトウェアが必要とされます。In Silico VoxではこれをカスタムLSIで実現することにより低消費電力化を達成します。

In Silico Voxでは音声認識システムを次の3つのブロックで構成しています。

- (1) Acoustic Frontend : 音声とりこみ部、DSPで離散フーリエ変換によるスペクトラム分析を実行。
- (2) Scoring : 個々の音 (atomic sound) を多次元スコアとして蓄積。
- (3) Backend Search : スコアリングした音を分析し言葉 (word) を認識する。

たとえば英語では、50種類の音 (atomic sound) が存在しますが、言葉 (word) 認識のためには前後の音との関係のために 50*50*50の識別が必要となります。CMUの音声認識アルゴリズムGp.の研究によると、ソフトウェア処理時間の25%が(2) Scoring、75%は(3) Backend Searchで消費されます。異種チーム協力の結果、従来とは全く異なったハードウェア向けアルゴリズムを開発しました。

シミュレーションの結果、125MHzクロックIn Silico Vox LSIでは、1GHz・2CPUで動作するソフトウェア音声認識システムより若干少ないエラー率で約2倍高速化可能との結果となっています。

講演では、XilinxのVertex2 FPGAに実装した実験システムのビデオが紹介されました。話者の発声に対して音声認識システムから出力された文章がモニタ上に表示されていました。

Rutenbar教授は、「異なるバックグラウンドのメンバーが silicon + speech プロジェクトに参画することにより、エキサイティングなブレイクスルーを達成した」と講演を締めくくられました。

(この項、企画部標準化推進室 古井芳春)

STARC活動報告

午後からは、STARCのこれまでの活動を報告。まず下東社長から、STARCが目指す全体像を説明しました。



下東社長

最初に、あすかプロジェクト以降7年間のSTARCの開発の歩みを、過去のSTARCフォーラムのテーマになぞらえて順に説明。ますますグローバル化する半導体産業の現状を見るにつけ、今年と来年については「イノベーション」と「世界」というキーワードを挙げました。加えて、STARCは時代の要請に柔軟に対応することを強みのひとつにしていきたい、との考えを示しました。

イノベーションで世界を目指すために必要なSTARCのポジショニングは、次の3つがキーワードになります。

- (1) 設計メソッドの「重点化」：設計メソッドは、顧客から製造までを見通せる領域でなければなりません。
- (2) 開発の「集中化」：「イノベーション」「世界発信」「人・物・金の集中」というサイクルを回す必要があります。
- (3) プラットフォームの「標準化」：標準化を進め、多様化・複雑化する設計に対応しなければなりません。

すなわち、STARCが目指すべき方向は、1にも2にも効率という答えになってきます。

最後に、イノベーションは新技術や新製品を産み出すことだけでなく、制度・仕組み・仕事のやり方を革新することでもあり、STARCで取り組んできた、こうした面でのイノベーションについて、いくつかの事例を挙げて紹介しました。

引き続き、各部長からあすかプロジェクトの活動の主な成果と今後の計画について報告を行いました。

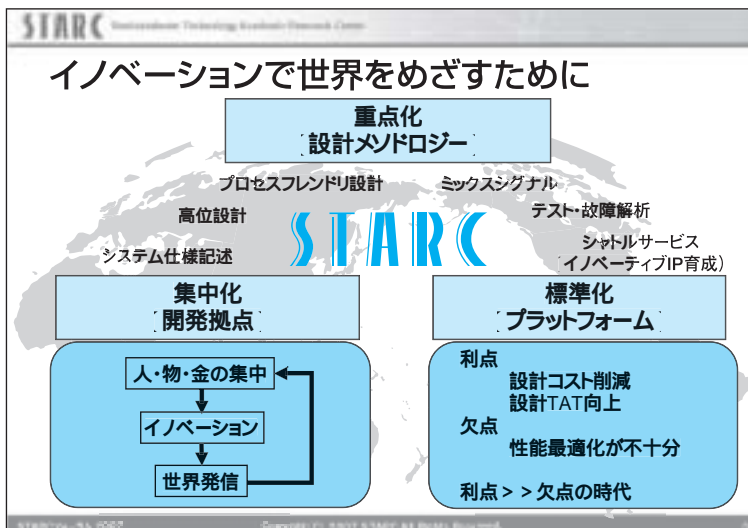


図1 イノベーションで世界を目指すために～STARCのポジショニング～

主な活動成果

■トップは、執行役員開発第1部長の西口信行から「STARCAD-CEL (One step ahead of DFM) が目指すもの」を報告。



西口部長

STARCAD-CELは、製造性を考慮したプロセスフレンドリー設計技術開発です。06年の成果として、上期に65nm対応の基本設計メソッドを開発、下期にはばらつき考慮設計メソッドをリリース、と半年ごとの成果を報告。今年度の計画として、上期に超低消費電力対応設計メソッド、下期に歩留まり考慮設計メソッドへの取り組みを説明しました。

最後に、プロジェクト・ビジョンとして、(1)08年3月までに、最先端の技術集団を目指して技術開発しそれを世界に発信する、(2)その成果が実用化され使われること、(3)世界への発信によって認知を深め、さらに多くのコラボレーションに結びつける、(4)デファクトスタンダード化して設計コスト削減に導いていく、と述べました。

■続いて、執行役員開発第2部長の岡村芳雄から「キーテクノロジーで世界に挑戦」を報告。



岡村部長

開発第2部の取組みとして、半導体技術トレンドを支える3つのキーテクノロジー；(1)高位設計技術、(2)テスト&故障解析技術、(3)Mixed Signal設計技術、の開発を紹介しました。

(1)では、トランザクションレベルモデル(TLM)を実用化した高位設計メソッドを開発し今後は実証を進める、さらに高位の仕様ベース設計技術開発の検討を開始し新プロジェクト化をして取り組んでいく。(2)は、微小ディレイテストでは、高精度な検出率計算技術、テストパターン生成技術を開発、今後は微小ディレイ故障診断技術開発を計画。低電力対応では、Power Aware

テスト回路生成・パターン生成技術を開発、今後は実証していく。(3)は、SoC上の周辺デジタル回路やメモリ回路の電源・基板ノイズをモデル化、これを考慮したアナログIPの回路特性検証技術を開発、シミュレーションと専用TEGの開発・実測による実証を進める、ことを順に報告しました。

■執行役員開発第3部長の伊藤荘一からは、「90nmスターシャトルの挑戦とその成果」を報告。



伊藤部長

スターシャトルは、03年から開始したコンソーシアムが主体になった業界発の90nmCMOSプロセスによる試作支援サービスで、

LSI設計分野における先端の研究・開発の加速、人材育成を目指してきました。また、運行実績は、今年度末で累積23便、300デザイン超を見込んでいます。また、デザイン数の増加につれてスターシャトル活用結果の発表論文が飛躍的に増加している実績を述べました。

スターシャトルは、90nmプロセスでの支援をしてきましたが、将来の新スキームの下で同様の先端試作支援が継続できるように、その礎となる実績を築いていくことが極めて重要であると結びました。

■企画部長代理の古井芳春からは、「STARCが発信する設計技術標準」として、STARCの標準化活動のうち次の2つにフォーカスして説明しました。



古井部長代理

(1)IP機能検証ガイドは、今年5月に改訂第2版をSTARC株主会社向けに発行。今年度末には、書籍の形で市販する予定です。

(2)トランジスタモデル HiSIM2は、回路シミュレーションを行うための次世代コンパクトモデルです。STARCは98年から広島大学との共同研究を行っており、NEDO技術開発機構のサポートも受けています。

まず、HiSIM2モデルの特長と優位性を他のコンパクトモデルのBSIM (UCB)、PSP (アリゾナ州大)と比較て示しました。続いて、HiSIM2の国際標準化を目指した、標準化機関CMC (Compact Model Council)での活動を報告。HiSIM2, HiSIM-LDMOSの2モデルの標準化を提案していることを紹介しました。HiSIM2を国内で実用化し活用していただくことに加えて、国際標準という地位を築いて、これを業界全体で利用できるポジティブな循環を進めたい、と意気込みを示しました。

■最後に、執行役員研究推進部長の今村 健から「大学共同研究と設計技術者教育」として、イノベーションを支える人材育成について報告。まずSTARCの人材育成支援の幅広い取り組みを総括して紹介し、次の4つの取り組みに絞って報告しました。



今村部長

- ・大学との共同研究：研究テーマの多様化に取り組み、今年度49テーマのうちインキュベーション型が10件を占めた。
- ・大学での設計技術講座：今年度は41校で実施予定。講義講座の修了者数は累計で約5,000名、実習講座は少人数制で人気を博している。
- ・教材開発(講座テキスト)：新規開発するアナログ/RF設計テキストを、産学連携により実データに基づく実用的なテキストとして作成するというユニークな試みを紹介。
- ・アドバンスト教育講座：サテライト会場でのリアルタイム配信により利便性を向上し、受講者数が増えている。

招待講演

2つめの招待講演は、トヨタ自動車(株)第3電子技術部長 藤川東馬氏に代わり、同部室長の篠島靖氏に、「進化し続ける自動車の半導体技術」と題して講演をいただきました。篠島氏は、トヨタ自動車で車載用半導体技術に携わっておられます。



篠島靖氏

講演の最初に、自動車産業の目指す姿を、「安全」・「環境」・「快適」について、「Zeronize」と「Maximize」の2つを高次元で両立させることと示されました。

続いて、交通安全、環境問題への取り組みについて説明されました。安全な車社会への取り組みの一例として、ビデオ映像を用いてVDIM (Vehicle Dynamics Integrated Management)を紹介されました。VDIMは、通常走行から限界領域までシームレスに安全走行を図るシステムです。

さらに、車載用半導体技術について、ハイブリッド車では、電子部品のコスト比率が47%にも達しており、また半導体は6インチウエハ換算でほぼ1枚分が搭載されており、パソコン8台分相当にあたると説明されました。

最後にカーエレクトロニクスの発展には半導体の進化が不可欠で、そのためにシームレスな設計環境、高温化、小型化への対応、パワーデバイス設計の高精度化が求められる、と半導体業界への期待を寄せられました。

パネル討論

プログラムの最後に、九州大学 客員教授の天津留榮佐久氏をコーディネータとしてお招きし、パネラーとして(株)リコー 製品開発部長の若林謙二氏、(独)情報処理推進機構 ソフトウェア・エンジニアリング・センター研究員の太野克巳氏、日本ケイデンス・デザイン・システムズ社 パイスプレジデントの広瀬文保氏、東京工業大学 教授の益一哉氏の4氏を迎え、「明日の半導体を語る 5~10年後の夢と期待」と題したパネル討論が行われました。

パネルテーマにふさわしく、明日への夢と期待にあふれ、ときには笑いの絶えない、しかし笑ってられない意見も飛び出し、半導体業界の元気が沸きでる討論に会場も大いに盛り上がりました。

(STARCフォーラム実行委員会 岡崎秀稔)

本フォーラムの講演資料は、STARCホームページで公開しております。(一部の講演を除く)
当日ご参加されなかった方もぜひご参照ください。
<http://www.starc.jp/download/forum2007-j.html>

STARCAD-CEL 超低消費電力を実現する設計メソドロジ

開発第1部 山口 龍一

開発の背景

開発第1部では、2006年度より「次世代プロセスフレンドリー設計技術開発」をテーマとした5年間の開発プロジェクトSTARCAD-CEL (One step ahead of DFM) をNEDO技術開発機構の助成を受けて発足いたしました。最初の2年間はフェーズ1として図1に示す設計フローを成果物としてリリースいたしますが、その中で2007年度上期に開発する「超低消費電力設計フロー」について概要を紹介いたします。

消費電力はLSI設計の中で考慮すべきLSI特性の一つで、低消費電力化はとくに近年大きなトピックとなっていま

す。理由として、微細化技術の進展とシステムLSIの多機能化に伴って、個々のトランジスタレベルでのリーク電力が増加し、さらにシステムLSIに搭載されるトランジスタ数の増加によって消費電力が増大するという問題が挙げられます。半導体技術ロードマップ専門委員会 (STRJ) が想定するデバイス特性とSTARCAD-CELプロジェクトが想定する目標LSI仕様から消費電力のトレンドを予想すると、図2に示すようにシステムLSIの消費電力はダイナミック電力・リーク電力共に大きく増加します。しかしながら、LSIパッケージの冷却や携帯機器への搭載を想定すると、単純に消費電力の増加を許容することはできないという矛盾があります。

開発第1部ではこの矛盾に対処するため、2007年度上期に「超低消費電力設計フロー」の構築しました。本フローを構築するにあたっての開発ポイントは、RTL設計段階での消費電力予想、共通フォーマット (CPF/UPF) 対応の低消費電力設計フロー、種々の低消費電力設計技術実装の3点です。これらを組み合わせることで、RTLからGDSまでの繰り返しのないワンパス設計フローを達成しました (図3)。

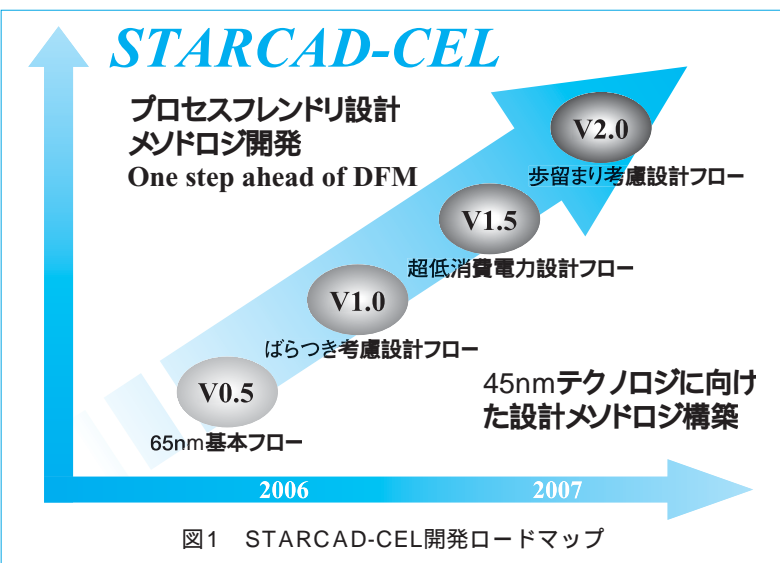
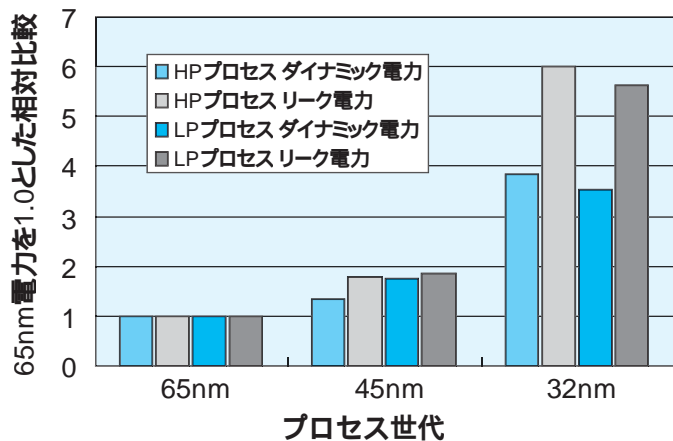


図1 STARCAD-CEL開発ロードマップ

RTL設計段階での消費電力予想

システムLSIを構成する論理回路の消費電力は、信号のスイッチングによってトランジスタを流れる電流に起因するダイナミック電力と、トランジスタのリーク電流に起因するリーク電力の2種類に大別することができます。低消費電力設計技術は表1に示すように種々の方法があり、それぞれの技術によって削減される電力成分が異なります。電力を削減して低消費電力を実現するためには、信号のタイミング余裕度・スイッチング頻度・動作周波数等の回路の特性を考慮して、LSIに適用する低消費電力技術を選択することが重要となります。

本開発では、RTL設計段階で複数の低消費電力技術を適用した場合の消費電力を予想し、その中から最適な電力削減技術を選択することで設計の後工程での回路変更を回避しました。



注: STRJおよびSTARCAD-CEL目標仕様から推定

図2 LSI消費電力トレンド

共通フォーマット対応の低消費電力設計フロー

低消費設計技術を表現する共通フォーマットとして、CPF (Common Power Format) およびUPF (Unified Power Format) がそれぞれEDA環境の標準化団体であるSi2およびAccelleraによって標準化作業が推進されています (<http://www.si2.org>, <http://www.accellera.org>)。

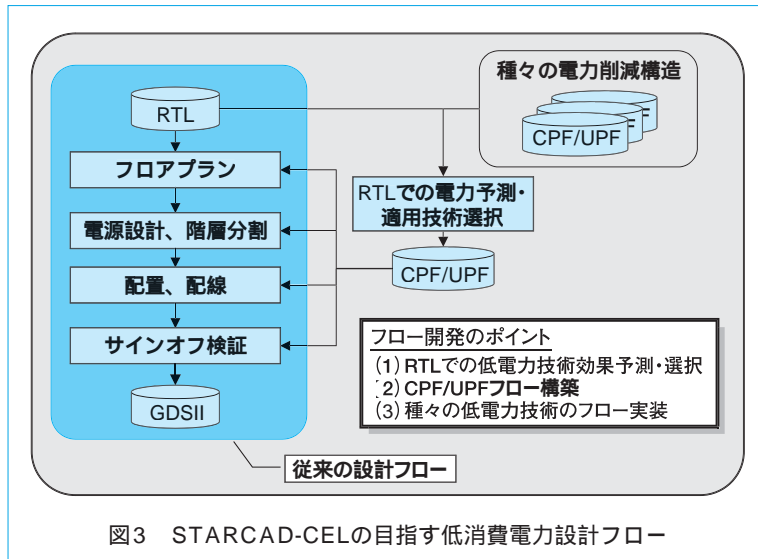


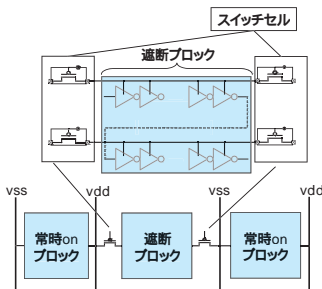
図3 STARCAD-CELの目指す低消費電力設計フロー

表1 種々の低消費電力設計技術

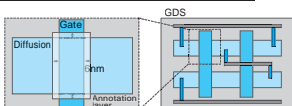
低消費電力設計技術		主に削減される電力成分	
		ダイナミック電力	リーク電力
低電圧化	マルチVDD	○	×
	電圧制御(DVFS等)	○	×
スイッチング削減	ゲイティッドクロック	○	×
リーク削減	マルチVt	×	○
	VTCMOS	×	○
	パワーゲーティング	×	○
	トランジスタゲート長調整	×	○
その他	低消費合成・P&R	○	○
	バルスラッチ	○	×

最適化技術

・パワーゲーティング

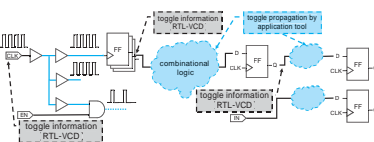


・トランジスタ寸法最適化



解析技術

・信号の遷移確率解析



・LSI内温度分布解析

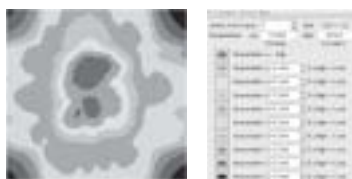


図4 最適化技術と解析技術の組み合わせ

従来はEDAツールごとにLSIの電源電圧や動作モード等の設定情報を準備していましたが、消費電力を詳細に制御するための設定情報が複雑でありツール間の整合性確保が困難でした。STARCAD-CELでは、CPF/UPFをLSI設計フローにインターフェースすることで、RTL設計での低消費電力構成探索や各設計フェーズでの低消費電力化の設計情報として利用します。この結果、各種EDAツールの設定が容易になると同時に、設計フェーズ間の低消費電力構成の矛盾を排除して上流から下流まで整合性の取れたLSI設計を実現できました。

低消費電力設計技術実装

STARCAD-CELでは、種々の電力削減技術をフロー実装するだけでなく、消費電力の正確な解析技術を構築することで低消費電力化を実現します。

電力削減技術について、LSI全体の消費電力を削減するためにはダイナミック電力を抑制するだけでなく、微細化で支配的となるリーク電力も抑制する必要があります。STARCAD-CELでは、マルチVDD/ゲイティッドクロック等の従来多用されているダイナミック電力削減技術だけでなく、リーク電力削減にも重点を置いた開発を推進しました。図4に示すようにリーク電力削減に向けて、トランジスタに供給する電源を遮断するパワーゲーティング技術、個々のトランジスタを低リーク化するトランジスタゲート長調整技術を実装しました。

回路の消費電力解析についても同様に、ダイナミック電力とリーク電力を正しく見積もることが必要です。ダイナミック電力は動作モードに依存して変動するため正確な解析が困難ですが、RTLシミュレーション結果とスイッチング確率の伝播推定を組み合わせることでダイナミック電力の推定精度を向上しました。温度に大きく影響されるリーク電力についても、LSI内部の3次元温度分布を設計段階でシミュレーションすることでリーク電力の推定精度を向上しました。

まとめ

低消費電力技術はさまざまな要素技術が必要であり、ケースバイケースの寄せ集め技術になりがちです。しかしながら、RTL設計段階で決定された低消費電力化のLSI構造に従ってトップダウンのワンパスフローを構築することで、一貫した設計フローを構築できました。45nm/32nm世代のLSI設計の基本技術となる低消費電力技術を備えたLSI設計フローの更なる進化を目指して、皆様がたのご支援をお願いいたします。

設計の機能品質向上を目指して - IP機能検証ガイドの策定 -

企画部 標準化推進室 今井 正紀

策定の背景

生活に密着している携帯電話、デジタル・テレビなどの電子製品等には多数の半導体が使われていますが、中でも、複雑な機能が1チップに搭載されたSoC (System on a Chip) とその機能の源泉であるIP (Intellectual Property) はこれらの製品のキーパーツとして必須のものとなっています。キーパーツに要求される機能を確認する重要なステップに“機能検証”がありますが、その手法を記述したものがIP機能検証ガイドです。

半導体上に実現する回路の高機能化の需要に伴うSoC、IPの設計の複雑さ、規模の拡大が機能検証の困難さを増しています。実際、SoCのマスク再製作 (Respin) の最大要因が機能バグであり、開発工数においても50~80%を機能検証が占めているといわれています。このため網羅性が高く、効率的な検証手法が必須のものとなっています。

内容概要

最新技術を適宜取り入れながら策定しているIP機能検証ガイドについて、ここでは、とくに重要な機能仕様書(規格書)から検証仕様書策定までのステップに絞って、考え方の概要を検証空間という概念を用いて説明いたします。

回路の完全な機能はすべての入力ステイムラス数と状態数の積によって定義されます。この積で定義される組み合わせは膨大な数になります。しかし、原理的には図1

に示すように、これらの検証項目を狙って検証者が作成した検証シナリオにしたがって入力を検証対象回路に加え、その出力を期待値と比較することで対象回路の正しさを確認すれば潜在的機能を含めて完全に機能検証ができます。ただ、これらの潜在しているすべて検証項目を漏れなく抽出する方法自体が不明であり、方法があっても上記のような膨大な項目を書き下すことは不可能です。この書き下すことができない検証項目のなす空間を検証空間XとIP機能検証ガイドでは呼んでいます。

検証空間Xには、使用上あり得ない検証項目も多数含まれます。これに対し、使用手引書等が与えられ、あらゆる使い方がわかっているとして、その観点で検証空間Xから絞り込まれるものを検証空間Aと呼んでいます。検証空間Aに対して具体的な検証項目の抽出方法が与えられて初めて検証の実行が可能となります。

そこで機能仕様書から検証者の理解によって系統的に検証項目を洗い出し、それらを漏れなく組み合わせることで検証項目を拡張するという基本機能検証項目抽出、および組合せ拡張と呼ぶステップからなる抽出フローを明確化し、ガイドに記述しています。これによって検証空間Aに代わるものとして検証項目の優先度、網羅性をできるだけ高くするという観点で抽出した検証項目がなす空間を検証空間Bと定義しています。

これは実行可能な空間ですが未だ大きな空間ですので、さらに検証リソース等の制約により検証実行可能な検証空間Cと呼ぶものに絞り込みます。このようにIP機能検証ガイドは検証項目からなる検証空間を明確に意識したフローとなっています。図2にそのフローを示します。検証仕様書では検証空間Cの検証手法についての判断、すなわちダイレクト・ランダム検証等の検証手法の選択の判断となる情報や一般にアサーションのチェック記述、カバレッジ・モデル等の実装に対する要求仕様記述されます。

図1 機能検証のイメージ

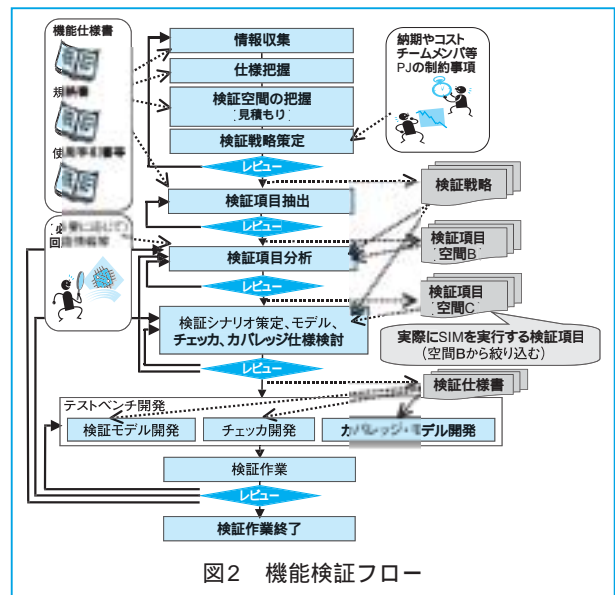


図2 機能検証フロー

普及計画

2007年度末までに機能検証仕様書を出力とする検証項目抽出を中心としたフローについて、より現場に近い実践的な検証環境を用いたガイド実証実験により高度化を行います。その中心部分を書籍としてオンライン販売して、普及を図っていく計画です。

STARC共同研究 2008年度新規テーマ 募集

2008年度から新規開始する 共同研究のテーマを募集します。

共同研究は、アルゴリズム・アーキテクチャ・回路・デバイス構造・材料・評価等の技術に関するアイデアの有効性の確認や実証を通して、研究成果を半導体業界へ移転し、産業界への貢献を図ることを目的とします。

応募いただく研究テーマは、募集研究テーマ分野に合致し、かつオリジナリティとブレークスルーを有するものとします。現時点で産業界が競争的に開発を進めているテーマの先を目指した、プリコンペティティブな技術領域での提案を期待します。

研究規模：研究期間は3年以内、研究予算は1000万円/年を目処とし、総額3000万円以下を原則とします。

応募資格：研究代表者は、日本国内の大学・高専に常勤する教授、准教授、講師または助教であって、研究グループを代表すると同時に、自ら研究を主体的に牽引する研究者とします。

共同研究の現状：2007年度は49件の研究テーマを産学共同で進めています。

新規テーマの採用予定件数：10～20件

応募締め切り：2007年9月5日(水) 午後5時30分

関連URL

詳細は、下記URLをご覧ください(7月下旬掲載予定)。

募集要項：<http://www.starc.jp/CFP08/>

ロードマップ：<http://www.starc.jp/roadmap/>

問い合わせ先：株式会社半導体理工学研究センター 研究推進部

〒222-0033 神奈川県横浜市港北区新横浜3-17-2

TEL：045-478-3755 E-mail：app2007@starc.or.jp

URL：<http://www.starc.jp>



共同研究
グループ
便り

小椋研究グループ

テーマ名 基板およびプロセス歪の非破壊高精度分布測定

研究代表者 明治大学 准教授

小椋 厚志(おぐら あつし)



後列左から ザキルホセイ(D3) 新井(D4) 吉田(M1) 掛村(M1) 今井(M1)
木下(M1) 香川(M2)

前列左から 吉丸上級研究員(STARC) 小椋准教授、内田客員研究員主査(沖)
服部客員研究員(ルネサス) (2007年6月現在 敬称略)



後列左から 武井(B4) 井阪(B4) 田中(M2) 黒崎(M1) 小瀬村(M2)
前列 植草教授 (2007年6月現在 敬称略)

はじめに

季節ごとに送られてくるSTARCニュースに「共同研究便り」というコーナーがあることは承知していたし、楽しく読ませていただくことも多々であった。しかしながら、自分がこの欄に執筆することなどまるで想像もしていなかったため、いざ原稿の依頼をいただくと、「さて、何を書いたものか?」と考え込んでしまった。おもむろにバックナンバーを取り出し、他の皆様を参考にしようとしたのだが、ふと「他人のモノマネをしてもつまらない」と考えてしまった。したがって、以下の内容は「私は私らしく、この2年間の共同研究の中で感じた感謝の気持ちを

素直にお伝えしよう」と思って認めた次第である。

応募から採択まで

3年前に民間企業から明治大学に赴任した際に、最優先の課題としてSTARCの共同研究テーマに応募するための準備に取り掛かった。それは、まさに赴任日に完成した新しい建物の中に、ゼロから研究環境を整えなければならない立場にあった私にとって、現実的な問題であったことはもちろんである。しかしなが

ら、それ以上に企業の研究所を去ることによる現場感覚の喪失が、私にとっての何よりの恐怖そして損失であり、共同研究への応募はその危険を回避するために喫緊の課題であった。

共同研究がスタートして

大学での研究テーマを立ち上げ共同研究に応募するにあたって、UV-ラマン分光法によるSi結晶の歪評価に取り組むこととした。いうまでもなく歪の制御は現在のLSIの高性能化にとって重要である。しかしながら、歪の絶対値と分布を正確に評価する技術はなかなか決め手が見当たらない状況である。我々は、浸入長が浅いUVレーザを励起光源に用いることでMOSFETのチャネルに対応する最表面の歪評価を可能とし、とくに波長364nmを用いることで共鳴効果を利用した高速・高分解能測定が可能となることを見出した。当初、評価の対象は出発材料として超薄膜歪Si層を持つ歪Si基板であり、そのストーリーに基づいて課題は採択された。

しかしながら、実際に研究がスタートすると、Intelの発表等に刺激され開発現場の関心は急速にプロセス途中に歪を加えるローカル歪に移ってしまった。ローカル歪の評価には、最表面の高速・高感度測定に加えて、高い空間分解能が要求されることとなる。そこで、急ぎょ空間分解能の向上を研究課題の最優先に設定し、高速ガルバノメータを用いた疑似線状光源と、2次元CCDの組み合わせによる、ラマンマッピング測定の開発に取り組んだ。

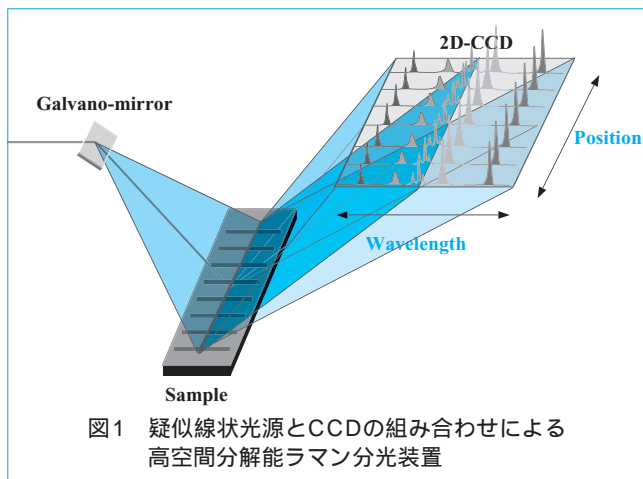


図1 疑似線状光源とCCDの組み合わせによる高空間分解能ラマン分光装置

客員研究員主査からのコメント

沖電気工業株式会社 研究本部 研究第2部

内田 英次

最先端のロジック用トランジスタ技術を取り巻く環境は、微細化だけではトランジスタ性能目標が達成できなくなってきたおり、新材料や新技術の導入によるスケリング限界の打破が不可欠となっています。導入すべき新材料や新技術としては、歪みSOI基板のような歪Si系基板、ストレッチャー膜やSiGeソース/ドレイン技術を用いたローカル歪み、High-kゲート絶縁膜、メタルゲート等があり、これらの導入により、低消費電力で高性能なLSIデバイスの実現が可能となります。具体的には、歪Si系基板やローカル歪みはトランジスタのキャリア移動度向上のために、High-kゲート絶縁膜はゲートリーク低減のために、メタルゲートはゲート空乏化による実効酸化膜厚増大の抑制や閾値制御のために導入されますが、どれか一つの材料や技術が採用できればよいわけではなく、すべてを相次いで量産導入しなければならぬ状況となっています。まさに、ウェーハ・フロントエンドプロセスの大変革の時期に来ていると思います。

本共同研究では、この内の歪Si系基板やローカル歪みに関して、歪の非破壊高精度分布測定技術を扱っています。歪みSi技術を実用化するための課題には、歪Si系基板やローカル歪みの量産性向上、デバイスプロセス処理時の歪安定性の維持、歪ばらつき低減やばらつき許容値の明確化等があり、その一つ一つをクリアにしていける必要があります。このためには、デバイス開発や量産に対応できる歪測定技術および高精度で高空間分解能の歪測定技術が重要となります。それも、非破壊でかつ高スループットが望ましいのはいうまでもありません。

小椋研究グループでは、歪測定技術として、高分解能3次元ラマン分光法の開発を進めており、歪みのウェーハ面内分布や局所領域のマップ測定を高スループットで実現できるようになりました。並行して、高輝度放射光を用いたin-plane X線回折により、歪みの深さ方向測定についても行っています。これらの手法を用いた一連の測定から、各種歪Si系基板やストレッチャーSiN膜を用いたローカル歪みに関する基礎的な知見を蓄積し、歪Si系基板やローカル歪導入のための改善提案を行うことにより、LSIデバイス開発期間の短縮や安定量産へ寄与していただきたいと思います。また、本共同研究で得られた成果については、国際学会や国内学会での発表を積極的に行っておりますので、今後共継続していただきながら、本共同研究を通して半導体プロセス研究者や技術者を育成していただくことを期待しています。

図1は、この方法の原理を説明する。CCDが2次元のピクセルアレイであることを利用して、1軸にエネルギー、もう1軸に空間情報を与えることで、原理的には200nmの空間分解能が可能となる。

情勢の変化に対応して速やかに研究ターゲットの修正ができたのは、日常的に客員研究員の方々との討論の機会を得たことと、当初目標や予算にとらわれない柔軟なシステムが効を奏したものと、感謝の念に堪えない。

軌道に乗りはじめた研究

おかげさまで研究は軌道に乗り成果を出し始めている。図2は、SOIおよびバルクSi基板上にストレッチャーSiN膜を堆積し、パターン化した試料にお

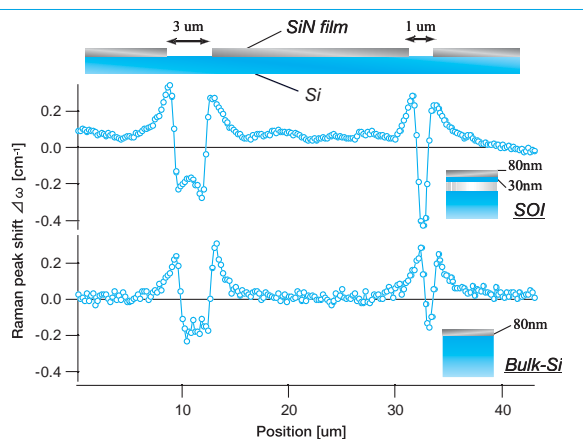


図2 SiNパターン膜がSiおよびSOIに導入した歪の1次元分布

ける1次元の歪分布の測定結果を示す。図のSiN下はMOSFETに覆いかぶせたストレッチャーSiN膜がSiと接触するS/D、スペース領域はチャンネルに対応するモデルである。図よりSiN膜のパターンエッジで歪が増大すること、SiN膜の有無により歪が反転すること、微細化によって両端のエッジ増幅効果が重畳しより大きな歪が得られること、SOI基板でバルクSi基板よりも導入歪が大きいこと等が確認できる。

共同研究の教育効果 - 学生そして教員に

当研究室の構成は現在、D2(社会人ドクター)が1名、M2が5名、M1が9名、B4が8名の大世帯である。学生達は研究テーマごとのチームに別れ、主に修士課程の学生が主体となっ

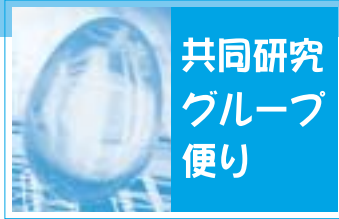
て研究に取り組み、学部学生は先輩の研究を手伝いながら基礎知識の習得と研究の実際の熟練に努めている。私自身は私立大学特有のこのシステムは、チームを組んでの研究・開発が普通となっている現代社会において、チームワークの重要性を学び、自主性と責任感を習得するための優れた教育方式だと思っている。

逆にこの方式の欠点は、たった一人の教員の質に教育効果が大きく左右されてしまう点にある。教員が常に魅力的で、学生たちに適切な指導を与え続けることはなかなか難しい。その中で、現場の最先端の研究者との交流を提供するSTARCのシステムは、学生たちにとってかけがいのない機会となっている。とくに、自分たちの研究成果に

真剣に耳を傾け、適切なそしてときに厳しい意見をいただくことは、研究の社会的な意義を再確認し学ぶことの動機を与える貴重な経験である。同時に、ともすれば膨大な学務や学生たちの世話に追われて、多忙の中で目の前の課題にのみ汲々としてしまいがちな教員にとっても、自らを磨き新たな活力を得るための源泉となっている。

終わりに - 改めて感謝の言葉

思えば最初に客員研究員としてSTARCに関わり始めてから足掛け8年、企業にいるときには自らの視野を広げる場として、大学に移ってからは現場のホットな息吹を感じるための貴重な機会を提供してくれた。どちらの立場であれ、有能な次代の技術者を教育・育成し、社会の現場に供給する重大な使命を果たしつつ、具体的な研究成果を提供することで、お世話になった我が国の半導体産業の隆盛に貢献することが、感謝を形としてお返しする道であると肝に銘じている。なお、私どもの恩返しのひとつとして、今秋からチャトルによる分析サービスを開始すべく準備中である。実現の暁には積極的なご利用をお願いしたい。



藤島研究グループ

テーマ名 極微細CMOS回路のための超高周波物理レイアウトの評価
および最適設計に関する研究

研究代表者 東京大学大学院新領域創成科学研究科 准教授

藤島 実 (ふじしま みのる)



後列左から オンチュ(D2)、神林(M2)、林(研究生)、北澤助教
中列左から 高野(M2)、谷客員研究員(沖電気)、大原客員研究員(松下)、萬澤(M1)、
藤島准教授、富留宮客員研究員主査(NEC EL)、本良(D1)、豊山客員研究員(シャープ)
前列左から 後藤(M2)、乾(M2)、益子上級研究員(STARC)、王(M1)、大橋(M1)、
夏苺(M1) (2007年6月現在 敬称略)

CMOSで超高周波を はじめるきっかけ

超高周波CMOS回路に取り組みたいと最初に思ったのは7年前のESSCIRCという国際会議のときです。化合物半導体を用いた60GHz帯無線通信に関する講演をサテライトワークショップでたまたま聞きました。当時、ルーベン大学での2年間の在外研究終了直前で、帰国後の新しいテーマをぼんやり考えていたころでした。その後、インターネットで調べてみると、CMOSでミリ波の実現は難しいというネガティブなコメントを見つけましたので、研究としては面白そうだと思い始めたのです。

最初は無謀にも0.18 μm CMOSプロセスで60GHz帯の回路を作れないかと考えました。0.18 μm NMOSFETの f_{max} は40GHz近辺ですから普通のやり方では60GHz帯の回路は実現できるはずがありません。進行波管のアイデアをまねて、理論的には f_{max} を超

えることも可能な分散型増幅回路(Distributed Amplifier)は知られていました。ただ、原理的には不可能ではないにせよ、実現したとしても消費電力の面で使い物になりそうにもないという理由であきらめました。

次に、MOSFETはゲート電位によりチャネル電流を制御するものなので、電力増幅から導かれる f_{max} と本質的には関係ないのではないかと考えました。たとえゲートで電力が消費されなくてもゲート電圧が変調されればドレイン電流は変調できるように思えますよね。この仮説は必ずしも正しくないものの、マッチング回路の本質を考えるきっかけとなり、高い動作周波数の回路を構成するにはマッチング回路を正しく設計することが極めて重要という認識に至りました。

そのうちにSTARCとASPLA(当時)の提供する90nm CMOSシャトルをVDECでサポートするようになり、こちらにミリ波

の研究のメインを移しました。90nm NMOSFETの f_{max} は100GHzを超えているので言い訳はできません。例え我々が60GHz帯回路を実現できなくても、誰かが実現するだろうと確信しました。

プロジェクトの狙い

60GHz帯回路の設計に必要なデバイスモデルはファウンドリからは供給されるわけではありません。モデルは自分でつくる必要があります。また、回路パラメータだけでなく物理レイアウトは性能に大きく効いてきますので、最適なレイアウトを自分たちで考えなければなりません。この2つをクリアできて始めてミリ波集積回路を自由に設計できるようになるわけです。90nmプロセスが利用できるようになり、60GHz帯の回路を設計できる見込みが立った段階でSTARCの共同研究公募に申し込みました。強く訴えたかったのは超高周波設計に欠かせないのはデバイスモデリング技術と物理レイアウト技術ということです。その学術的なバックグラウンドを明らかにすることにより超高周波集積回路の設計に必要な知を明らかにしていきたいと思いました。世界的には昨年あたりからミリ波CMOSに関する研究発表も多くなってきましたが、どれも回路自体は非常にシンプルです。レイアウトテクニックやデバイスモデリングが成否の鍵を握っていると強く実感しました。4月に出席したヨーロッパの小さなワークショップでトロント大学のProf. Voinigescuは「ミリ波集積回路は正しい設計法さえ教えれば学部学生にでも設計できる」と述べていました。設計環境さえ整っていればまさしくそ

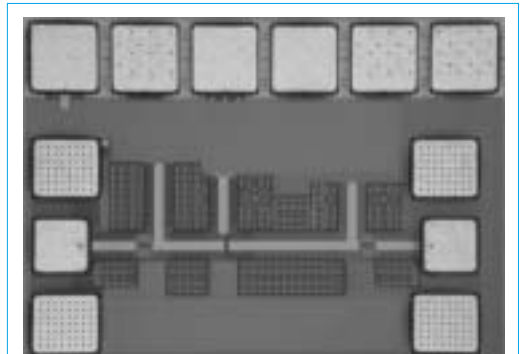


図1 60GHz CMOS LNA

NECエレクトロニクス株式会社
先端デバイス開発部

富留宮 正之

【はじめに】

通信や放送の高速化による要求性能の向上から、高周波アナログ回路を取り巻くCMOS技術動向として、近年はRF (GHz帯)からマイクロ波(数十GHz)へシフトしています。高い周波数への対応はCMOSプロセスの微細化を伴い、企業側からは、開発コストの低減や、材料・プロセスの多様化に対応した回路設計環境の要求が挙げられています。

【研究内容】

このような中、東大の藤島研究室では、トランジスタ周辺回路の最適化による性能の最大限引き出しと、最適設計手法の提案を目的として研究を進めています。具体的には、ミリ波帯(とくに60GHz~100GHz)のフロントエンドデバイスの実現です。アプローチとしては、配線メタルモデルの物理解析やパラメータ抽出と、それを使った最適プログラムとライブラリ整備を進めています。

個別テーマとしては、VCOの動作によるオンチップインダクタの評価、伝送線路を用いたオンチップバランの設計、フィルタの自動設計、MIMキャパシタのスケラブルモデリング手法など、配線系のほぼすべてに渡っています。

【成果】

2005年度にスタートした本プロジェクトの2年間での成果として、最適化モデルの確立、物理レイアウトの自動最適プログラム作成、高周波測定手法およびモデル化に関して110GHzまでの測定と60GHzまでのモデル化、などが挙げられます。今年度は、100GHz級の各種RFフロントエンド回路の最適設計を実施したり、90nmCMOSでの物理モデルと最適プログラムの有効性の実証に向けて研究を進めていきます。

【活動状況】

研究室とSTARCとの活動としては、2か月に1回開催している定例の打ち合わせがあります。場所をSTRAC(新横浜)と東大・柏キャンパスで交互に開催しており、これまでに12回の打ち合わせを実施しました。我々客員研究員は、研究の進捗管理だけでなく、最新技術動向の交流の場としても活用させてもらっています。また、学生さんにとっては、研究をまとめる上でのマイルストーンとして、企業側からの良い意味でのプレッシャーとなって欲しいと思っています。

【今後】

これまでは、研究を推し進めるフェーズでありましたが、今年度のスケジュールとしては最終報告に向けてまとめていくフェーズになっています。最終成果物として、自動設計ツールのプログラムを、各社に使ってもらえるような形に持っていきたいと思っています。

のとおりではないかと思えます。

プロジェクトの実施状況

このプロジェクトの開始当時に今から振り返ってみると「何もわかっていなかった」ことに気づきます。このプロジェクトを通じて得た知見は、論文に至らない失敗を含めると極めて大きいことを実感します。現在試作しているチップにはその知見が還元され徐々に完成度も高くなってきました。

これまでに論文として発表した主な成果は以下のとおりです。

- ・オンチップ伝送線路のモデリング
- ・オンチップバランの設計手法
- ・オンチップマッチング回路の自動設計手法
- ・オンチップキャパシタのモデリング
- ・オンチップインダクタのIn-situ評価方法

ほかにも無数の「失敗経験」があります。定量的な評価はしていませんが、ひとつの論文発表には倍の失敗経験があるように思えます。この失敗体験はノウハウとしては大変役に立っています。ただ、やればやるほどわからないことも多くなってきます。ソクラテスのレベルには程遠いですが、無知の知を実感します。とはいえ、基本的なことはわかりつつあるので、見過ごしていたところを掘り下げて考え抜くことがこれからは重要と思えます。

デバイス志向の回路研究の面白さ

デバイスに近いアナログ回路の研究では、ときに予想外の良い発見が得られることもあります。一方で、回路の研究をしていてつらくなるのは、最もうまくいっても実測は回路シミュレーション通りという場合です。デジタル回路では期待通りに動作して最高の結果ということもよくあります。確かに、実測がシミュレーションからずれているときは性能が悪くなる方向ということも少なくありません。デバイス関連の研究の場合、すべてを予測することが難しい反面、予想外の良い発見が得られることもあるのです。

例えば、オンチップ伝送線路は、単純な近似では説明できないことも多い

ので、デバイスから回路までの深い理解がなければ、イノベーションにはつながりません。しかし、実測は予測していなかった結果をもたらすことも多く、考察の過程で新しい発見があります。論文執筆の際、論理展開を試行錯誤する過程で新しい発見に出くわすこともあります。実験結果をにらみながら、それを説明するにはどのような物理背景が隠されているのか学生と一緒に考えるのは楽しい時間です。学生にとっては忍耐を要する時間かもしれませんが。

学生とwin-winの関係の構築に向けて

無数の失敗の中には、いろいろな原因が存在します。見過ごしていた効果が予想外に大きく結果が期待通りにならない場合は、新しい知見となって後に残るので勉強になります。また、ほとんどの場合軌道修正を経て、失敗の裏返しの成功体験を論文としてフィードバックすることもできます。

困るのは、既知のノウハウが設計者(学生)にうまく伝わってなくて失敗したり、ケアレスミスで失敗したりするケースです。研究室は修士の2年間だけ在学生という学生がほとんどなので、研究室内では2年目はベテランに属します。でも、たった1年間で免許皆伝の技術力がついてはいるはずありません。初心者から始まる学生と一緒にノウハウの塊のような分野で成果を出すことは教育が本務の大学にとって本質的な課題です。最近ではマネージメントにも興味を持ち出し、プレジデントという雑誌を自宅で定期購読をしています。自分自身はプレジデントでも何でもないので、示唆に富む内容も多く、面白い内容が合ったときには学生にも紹介するようにしました。発想法や時間の使い方などに自分自身で興味を持つ学生も現れ、徐々に研究室の雰囲気が変わりつつあるように感じます。

楽しみながら優れた研究成果を残して、本人は気持ちよく卒業し、就職先からも喜ばれる。そんな研究室を作っていきたいと考えています。



益研究グループ

テーマ名 CMOS RF回路によるマルチバンド・マルチモード無線送受信回路の研究
研究代表者 東京工業大学統合研究院 教授
益 一哉(ます かずや)



左から 岡田准教授、福水(ソリューション研究員)、伊藤助教、益教授、落合客員研究員(沖)、馬場客員研究員主査(三洋)、鈴木客員研究員(ソニー)、杉本上級研究員(STARC)
右上 澤田客員研究員(松下) (2007年6月現在 敬称略)



後列左から 岡田准教授、宮下(M1)、石井(M2)、福水(ソリューション研究員)、前川(M1)、伊藤助教、峰山(M1)、金(D3)
前列左から 佐藤(M1)、大橋(M2)、益教授、福田(M2)、小林(M1) (2007年6月現在 敬称略)

研究代表者抱負

“電気工学”というちょっと古めかしいかもしれませんが、「電気工学」とは何ぞやと問われると意外に難しい。少なくともひとつに、電磁気学を基礎としてエネルギーや情報を伝送伝達することを行うことを使命だと思います。さて、自らを振り返り、半導体の分野で何をやってきたのか、これから何をすべきかと自問自答するとさらに難しい。配線技術についてプロセス開発や伝送線路配線の開発、さらにGHz帯回路技術開発への展開を行ってきたことを思うと、集積回路にお

ける“信号伝搬・伝送”が自分の得意とするところではないかと認識している次第です。

我々の研究グループでは、図1の研究に携わっております。通信技術も信号伝送・伝搬と考えれば、半導体製造技術をベースに、RF帯での測定技術や設計技術をCore Competenceとして、ESH²(Environment, Health, Safe and Security)やXAN(X Area Network)というアウトプットを目指しております。特徴はこれらの研究をCMOS回路を設計試作、評価することで推進している点です。また、LSIは実際に使われてナンポであると思えば産学連携は

必須であり、常に産業界との連携を念頭にいれるべきであると思っております。産業界との連携にも種類があると思います。ネットワークへの応用を念頭に回路設計技術の研究を行っておりますが、この分野はまさに産業界でも推進しており、産業界との連携は“ガチンコ型”の研究になるかと思えます。産業や技術の動向を正しく把握し、かつ産業界からの要望を踏まえた上で、産業界が少々手の出しにくかつリスクが高い、あるいは発展性を読み切れないテーマに取り組むことになると思っております。一方で、より長期的な視野に立たなければならない課題については、大学が先導し、常に実用化という視野を産業化と念頭に置きながら進めるソリューション型の研究があります。このような視点のもと研究を進めさせていただいております。

研究室紹介

私自身は現在統合研究院に所属し精密工学研究所を兼務しております。大学院生は総合理工学研究科に所属しております。研究グループには、佐藤高史教授(統合研究院)、天川修平助教(統合研究院)、伊藤浩之助教(精密工学研究所)、福水洋平他研究員4名と秘書の職員、博士課程学生(9名、内7名は社会人博士)、修士課程学生(M2:5名、M1:5名)、学部4年生(2名)、研究生(1名)の構成です。また、STARCからお迎えしている中山範明連携教授とも実質的には一体となって研究教育に携わっております。本プロジェクトに2005~6年の間、強力なメンバーとして携わっていただいた岡田健一准教授は2007年から別部局へ移りましたが直接的あるいは間接的に協力してもらっています。

研究開発分野に携わる者の喜びのひとつは、自分のアイデアを基に従来できなかったことを実現したり、不明であったことを明らかにすることです。これは研究者自身が常に成長できるということであり、成長し続けなければならないということでもあります。自らも成長し続け、さらにそれ以上に成

三洋電機株式会社 研究開発本部
馬場 清一

無線通信サービスの多様化やコグニティブ無線への期待により、無線部のマルチバンド・マルチモード化への要求が高まっています。例えば、1台のPDA端末に携帯電話、データ通信、放送受信機能を搭載することも考えられますが、周波数帯や用途に応じて複数のRF回路を搭載すると回路規模や消費電力の増大を招きます。そこで、無線通信で主に利用される800MHz～5GHz帯における動的再構成可能なRF回路の実現が望まれています。

益研究グループでは、CMOS RF回路によるマルチバンド・マルチモード無線送受信回路として、動的再構成可能なRF回路の開発に取り組んでいます。具体的には、RF回路各部のバイアス電圧やインダクタ・容量等の受動素子および回路系統の切り替えを行う制御回路を設けることにより、RF回路を動的に再構成するアーキテクチャを提案しています。本技術は低消費電力化にも有効であり、チップ完成後の特性調整やばらつき補正にも利用できると思っています。また、800MHz～5GHzの周波数帯域を一つのRF回路でカバーするために、整合回路に可変インダクタを用いたチューナブルLNAや分周器とミキサを加えた広帯域VCO回路技術を提案し、設計・試作を進めています。

本研究では、RFシステム全体構成からチップ試作・評価に至るまで、熟練したスキルやノウハウが要求されるRF・アナログ回路技術を取り扱うために、こうした技術面のフォローにも留意しています。プログラムがスタートして3年目を迎えますが、対外発表・投稿38件を果たしています。今後も産業界のニーズに応えられるようにさらに活発な研究を進めていきたいと考えています。

長することができ次世代を担う人材を育てるべく研究グループ丸となって取り組んでおります。

STARC研究テーマの紹介

現在、STARCテーマとして推進しておりますのは、複数のワイヤレス通信規格に対応可能なRF CMOS回路技術の開発です。我々の提唱するRF Reconfigurable回路は、(1)数百MHz～数GHz帯で動作可能なCMOS回路要素技術ならびに無線機回路の開発と、(2)製造ばらつきや性能補償を行う技術から構成されております。これまで、広帯域LNA,VCO,PAなどの開発を行い、またバイアス制御による低消費電力化や性能補償の可能性を示してきました。成果のひとつに図2に示す広帯域LC-VCOがあります。2～3GHzで発振するCore-VCOに周波数伸張回路を負荷して、低位相雑音で0.98～6.6GHzの

広帯域特性を実現したVCOです。周波数可変範囲、消費電力、位相雑音で評価される性能指数FoM₁は-206dBc/Hzであり世界最高性能を有しています。本成果によりA-SSCC2006において“ Student Design Contest Outstanding Design Award ”、ならびに“ 2007年第9回LSI IPデザイン・アワード IP賞 ”を受賞させていただきました。今年度が最終年度であり、回路ブロックの高性能化、性能補償技術の確立、さらにRF front end部構成の検討を行う予定です。

本テーマを進めるにあたっては、杉本益規STARC上級研究員、馬場清一、落合利幸、澤田昭弘、鈴木仁人客員研究員には常にご議論いただき深く感謝しております。また、学内外の多くの方々のご指導ご支援をいただいております。この場をかりて深くお礼を申し上げます。

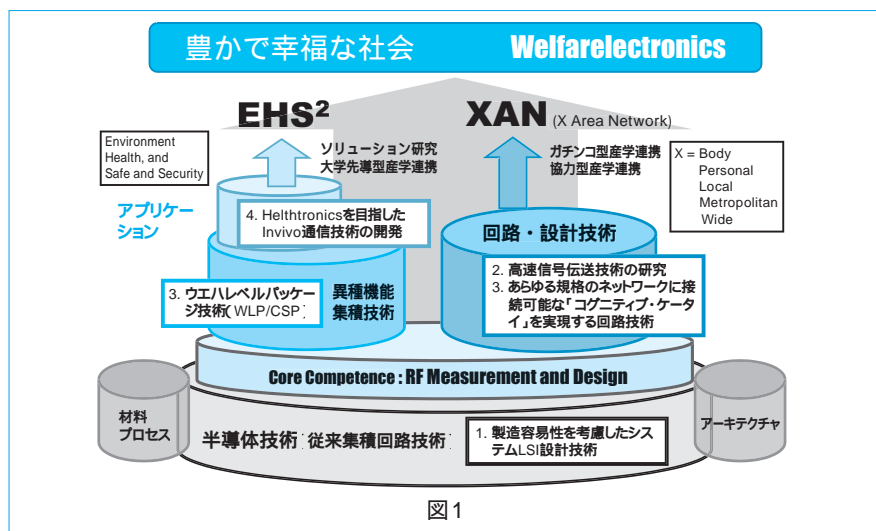


図1

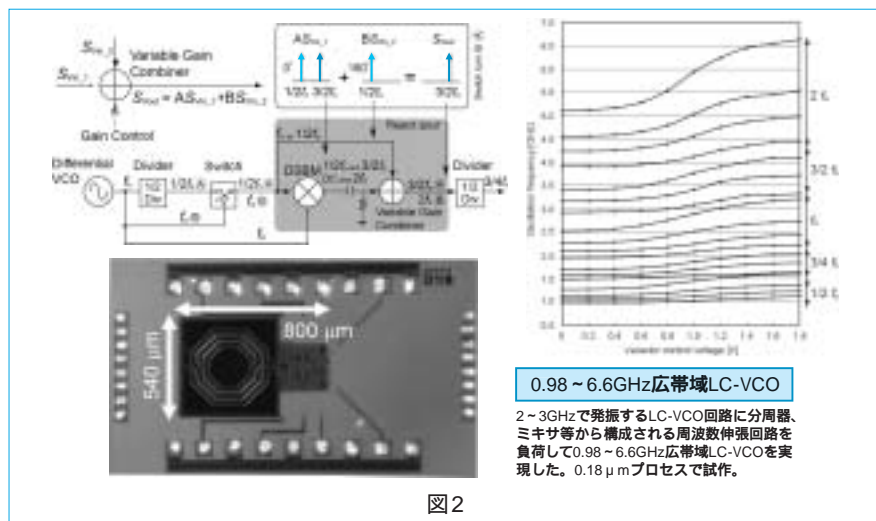
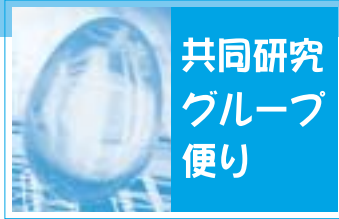


図2



共同研究
グループ
便り

和田研究グループ

テーマ名 半導体EMC設計のGHz対応信号/ノイズ制御技術

研究代表者 京都大学大学院工学研究科 教授

和田 修己(わだ おさみ)



右上左より 関根前客員研究員主査(東芝、2007/3まで)
床木新客員研究員(東芝、2007/4より)、古賀教授(岡山大)、豊田講師(岡山大)
後列左より 浜客員研究員(セイコーエプソン)、五百旗頭助教(岡山大)、
横溝客員研究員(ルネサス)、Dr.Paoletti研究員(京都市大)、新谷(京都市大M2)、
水井(京都市大M1)、船戸(京都市大M2)
前列左より 益子上級研究員(STARC)、佐藤客員研究員主査(富士通)、和田教授(京都市大)、
久門准教授(京都市大) (2007年6月現在 敬称略)

研究グループ紹介

研究代表者の和田は、2005年4月に前任の岡山大学大学院自然科学研究科(工学部通信ネットワーク工学科)から京都大学工学研究科の電気工学専攻に赴任し、電気回路網学分野を担当しています。学生時代にはマイクロ波およびミリ波帯(GHz帯)の多モード伝送系とアンテナ系の研究を行っていましたが、1988年に岡山大学に赴任後は古賀隆治教授の研究室で光集積回路およびレーザ応用計測の研究と、デジタル回路のEMCの研究、とくに高周波ノイズ低減設計の研究に携わってきました。京都大学赴任後も、主に「デジタル機器のEMC設計法」「IC/LSIのEMC」および「電磁結合を含んだ電気回路網解析と設計法」の研究を行っています。

本研究グループのキーワードは「EMC」です。EMC(Electromagnetic Compatibility)は、日本では研究分野としては「環境電磁工学」と称されることが多いですが、もともとの意味は「電磁的両立性」であり、デバイスや機器が周辺に電磁的な妨害を及ぼすことなく、また逆に周囲の電磁環境(高周波ノイズなど)から悪影響を受けることなく、本来の機能を発揮する性能を意味する言葉です。かつてEMC問題としては、ラジオやTVの受信妨害の防止などの問題が主に扱われており、電子システムや電子機器レベルでの議論が主でした。しかし、昨今の半導体デバイスの高機能・高速化と省電力・高密度化の流れの中で、もはや機器レベルのみで対応することは困難になっており、半導体デバイスのレベルでのEMC問題の解消が重要課題と捉

えられるようになっていきます。とくにGHz帯(時間領域でサブns)の領域に入ると、後述するように「非常に小さな寄生容量等による電磁結合」が無視できなくなり、半導体デバイスとパッケージのレベルでの高周波制御が機能性実現のキーのひとつとして認識されています。すなわち半導体・パッケージおよびその実装におけるEMCの制御が求められます。

本研究グループでは、これまでプリント回路基板(PCB: Printed Circuit Board)の設計においてEMC制御を試みてきましたが、高周波においてはもはやPCBレベルでの設計によるEMC制御は限界に近いと感じ、STARCに共同研究を提案して採用をいただきました。

現在のグループ構成は、和田と同研究室の久門尚史准教授が電気回路と電磁理論を専門とし、従来は電流と電圧のみで記述していた電気回路に電磁誘導と電磁結合を取り込むことを考えており、研究員のDr. U. Paolettiおよび学生とともに、パッケージとインターコネクションの電磁結合を含んだ特性評価法と設計法に取り組んでいます。また、以前から和田が共同で研究している岡山大の古賀教授、豊田啓孝講師、五百旗頭健吾助教のグループに研究協力者としての参加をお願いし、LSIのEMCモデルに関する研究と、パッケージとPCBの間の結合についての検討を、両大学のメンバーで協力しながら行っています。STARC側からは、本研究の趣旨に賛同いただいて大学サイドの知識不足を補うべく、上級研究員の益子耕一郎さんと客員研究員の関根秀一さん・佐藤富夫さん・横溝剛一さん・浜範夫さんにご参加いただき、2005年に共同研究を開始しました。当初は関根さんに主査をお願いしていましたが、2007年度に客員研究員の交代(関根さんから庄木裕樹さん、横溝さんから中村篤さん)に伴い、主査を

客員研究員主査からのコメント

株式会社富士通研究所
SOC設計技術研究部

佐藤 富夫

和田研究室の属する京都大学桂キャンパスは、京都の西の端、桂離宮からほど近い、京都市内を一望できる丘の上にあります。当グループは、ここでGHz対応のEMC問題の評価と制御の研究を進めています。

近年の無線技術普及に伴い、その性能を左右する要因として、数百MHz帯でのEMC設計の重要性が認識されつつあります。日経エレクトロニクス等の著名な雑誌にも対策手法が特集され、数百MHz帯については、不十分ながらも対策ツールが揃いつつあると考えています。

しかしながら今後の製品の更なる軽薄短小化、高機能化のトレンドに伴い、制御に必要な周波数が高周波側にシフトしていき、1GHz以上での制御が次の課題となるのは明らかです。GHz以上のEMC制御には、従来にはなかった二つの大きな壁があります。一つ目は、サブpFやサブnHの容量性、誘導性結合が支配要因となることです。今までは無視できた半導体内の結合や、パッケージ内のカップリング、パッケージとプリント板間のカップリング等の評価、モデリングが重要となります。二つ目の壁は、これだけ小さい結合は実装上なくすることが不可能なため、この小さな結合をどう設計し制御するのか、さらにはそれをいかに低コストで実現するのかという点が挙げられます。当研究グループではこれらの壁を突破すべく、2006年に0.1pFの容量を実測する技術の開発、2007年前半は誘導性を含むモデリング技術を立ち上げ、一つ目の壁は何とか乗り越えました。二つ目の壁はこれからです。残された期間は約1年ですが、和田先生をはじめとする京都大学、岡山大学の英知に、客員研究員の知識を加えれば、必ずや乗り越えられると期待しています。

現状EMC対策設計はヨーロッパ企業の先行を許していますが、近い将来、本グループの研究成果が国内各社の設計に導入され、日本製品のEMC品質は世界一だといわれる日が来ることを願っています。

佐藤さんに引き継いでいただきました。皆様には力強いサポートとアドバイスをいただき、深く感謝いたします。

STARCテーマの内容 および共同研究状況

本研究の目的は、前項で述べた背景のもとで、SIPなどの半導体のパッケージング・ボード(PCB)実装において「チップ・パッケージ・PCB」の各階層間の電磁結合・干渉を制御することにより、GHz領域で信号のインタコネクションとノイズのデカップリングを実現するための新たな実装法・信号/ノイズ制御法を開発することです。そのために、階層間高周波結合の評価、Over 1GHzでのモデリング手法の開発、低インピーダンス接続とデカップリング接続の実現方法の検討、近傍界結合(ピン間、配線間、チップ-配線-ボード)の制御、の相互に関連する4テーマについて、検討を行っています。

研究開始時点では対象周波数帯を1~3GHzと設定し、考慮すべき寄生インピーダンスとしては、 $L=2nH$ と $C=2pF$ の共振周波数が2.5GHzであることを考慮して、 $L\sim 1nH$ 、 $C\sim 1pF$ 程度を想定していました。しかし、検討を開始してみると、問題はもう少し面倒で、例えばLSIの8ビットI/OのPCB上パッ

ド容量(0.05pF/bit)が並列になって電源供給系の共振(@1.4GHz)を引き起こすことが判明しました(2006年度研究成果報告書参照)。この場合には、PCB上のグラウンドパターンの異なるものについて評価し、I/Oパッドの寄生容量の違いで共振周波数が500MHz~3GHzの範囲で変化することを確認しました。このように小さな寄生容量は、基板設計上、取り除くことは不可能であり、実際の設計においてこの値を制御することも現実的とはいえません。したがって、このような微小な寄生結合が存在しても特性に影響が出ないような実装設計法が要求されることとなります。

また、の高周波モデリング手法としては、実測面では測定に使用するプローブの数pF程度の寄生容量を排除して0.1pFオーダーの容量を測定する手法を開発し、電源供給系へのノイズ伝搬特性への微小容量の影響を示しました。また、相互インダクタンスと寄生容量を含む図1のようなモデリングと評価を行いました。

上記の外、についても、当初の想定よりは若干面倒ではあるものの、ほぼ使用すべき材料・手法も揃いつつあり、本年度末のまとめに向けた検討を進めています。とくに、の階層間の電磁結合の扱いに関しては、パッ

ッケージやボード、インタポータなどでグラウンドが理想に近い場合でもグラウンドインダクタンスが存在し、この補正項を解析的に表現できたので、現実の複雑な構造のモデル化に活用できると期待しています。当初目標の達成に向けサポートをかけていこうと思っています。よろしくお願ひ申し上げます。

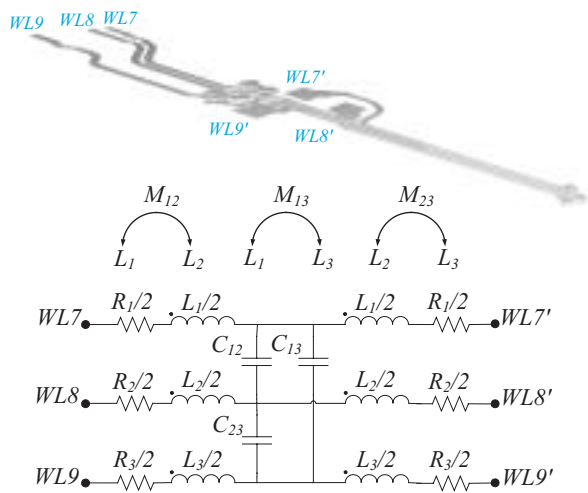


図1 インタポータの3Dモデルと等価回路例

国際学会参加報告

Design, Automation & Test in Europe 2007 (DATE 2007)

学会概要

第10回となるDATE (Design, Automation & Test in Europe) 2007が、フランスのニースにあるアクロポリス国際会議場で4月16日(月)~20日(金)に開催されました。初日にチュートリアルがあり、2日目から3日間テクニカルセッションなどの学会発表とEDAベンダーなどの展示会が行われ、最終日はワークショップがありました。また、期間中に関連会議も多数開催されました。2日目の学会開催に先立ち、学会の全体説明と基調講演が行われました。今回は、過去最高の854件の論文が投稿されました。国別の採択数は、米国が258件とトップで、ドイツ(85)、イタリア(54)、フランス(51)と続き、その後中国(43)、台湾(37)、インド(36)とアジア勢が占めています。論文の分野別件数は、1位：マルチプロセッサとNoC (Network on Chip)関連56件、2位：シミュレーションと検証関連50件、3位：消費電力見積りと最適化関連42件の順でした。マルチコアとNoCが学会を通してのキーワードでなっていました。

基調講演

基調講演は2件あり、最初が東芝の古山透氏、次がCoWare社のAlan Naumann氏によるものでした。古山氏は、デジタルコンシューマモバイル向けのSoCということで、マルチプロセッサコアのトレンドやESLなどの設計環境の重要性などを話されました。Naumann氏もマルチコア設計環境でのソフトウェアの重要性などを話されました。

セッション

セッションは、自動車・宇宙・航空などのシステム設計や、NoCや通信に

関するもの、モデリングやESL関係、テスト、IP設計、Mixed-signalなど多岐に渡ります。TLM (Transaction Level Modeling) に関しては、マルチプロセッサモデルを対象にしたサイクル精度シミュレーションの高速化技術(5.5.2)や、TLMで構築した検証環境をRTLで再利用するためのアサーションベース検証枠組みの提案(6.4.3)など、実用的な発表もありました。特別セッション「2020年の350億Trはテスト可能か?」では、テクノロジーノード6nmでの消費電力、熱、ノイズ、プロセスバラつき、ロジック部のソフトエラー、時間経過による素子劣化等の課題が整理され、そのときのテストの姿が示されていました。パネルセッション「Life begins at 65 - Unless You Are Mixed Signal」では、65nm以下でのMixed-signal最適化設計手法が大きなテーマでした。また、組込みシステムなどの今後の設計力強化などを目的に、欧州一丸となっていく研究プロジェクトのARTEMISとENIACの連携紹介(10.4)もありました。

チュートリアル

5つの全日と6つの半日チュートリアルが、8つに分かれて並行して開催されました。テーマは、NoCやBus-based SoCに関するものからScan Delay TestやDFMに関するものまで多岐に渡ります。Bus-based SoCのチュートリアルは、プラットフォームベースデザインを前提とした、アーキテクチャモデルから通信モデルおよび通信モデルから実装モデルへのデザインの詳細化に焦点を当てており、内容も網羅的で研究動向のリファレンスも多く有用でした。

関連会議

SystemCやSystemVerilogやIP-XACTなどの関連会議が多数開催されました。SystemCでは、OSCIランチパネルや15回ESCUG (Europe SystemC Users Group) 会議やTLM標準ワークショップやGreenSocs会議などが開催されました。これらの会議では、OSCI TLM2ドラフトの説明、各企業のTLM2への期待、OSCI活動のアップデート、SystemC活用事例紹介などがありました。

展示会

展示会には、115社のEDAベンダー/大学/研究所が出展しており、RTL設計より上流のツールを扱っているところが目立ちました。

ワークショップ

最終日のワークショップは、7つのワークショップが開催されました。その中の1つUML for SoCでは、LSIのシステム設計にUML (Unified Modeling Language) のprofileと呼ばれる拡張機能を用いてハードウェアを含めたシステム開発への適用に関する試みが、各研究機関や企業から発表されました。

その他

米国で開催されるDACほど大規模ではないもののDATEならではの企画として、参加者間での情報交換を考慮した昼食会の設定や、インタラクティブプレゼンテーションの開催など工夫が凝らされていました。とくに、インタラクティブプレゼンテーションは、セッション間のコーヒーブレイクの時間帯を利用し自分のPCを利用したデモを含めた研究内容のプレゼンを行うもので、プレゼン中に質問を行ったり、雑談を交えた情報交換が活発に行われていました。

最後に、来年のDATE2008は、3月10日~14日に、ドイツのミュンヘンで開催されます。
(高位設計開発室 武井 勉、塩月八宏)

国際学会参加報告

第25回 VLSI Test Symposium (VTS 2007)

はじめに

米国カリフォルニア州バークレーで5月6日から5月10日まで、第25回VLSIテストシンポジウム(VTS2007: 25th VLSI Test Symposium)が、開催された。

VTSはLSIテスト分野ではITCに次ぐ歴史をもつ国際会議であり、世界各地から一線の研究者が参加する。今年も例年同様200名あまりが参加し、59件の通常論文発表、27件の特別論文(Innovative Practice)発表、8件の特別セッション(パネル等)が行われた。日本からは9名が参加、2件の通常論文と2件の特別論文を発表した。

今回も前回と同じリゾートホテルが会場で、5日間の会期を通して熱い議論が繰り広げられた。

テクニカルセッション

オープニングセッションでは基調講演と招待講演が行われた。

基調講演では、Synopsys社のDomic上級副社長が「45nmでのテストの新たな役割」と題して、微細化を続けるためにはEDAおよびテストの援助が必要であると主張した。EDAでは低電力化およびDFM/DFY(製造性/歩留考慮設計)が、テストではテストデータ圧縮および量産診断がそれぞれ重要との認識。今後のテスト技術の主要課題としては、微小ディレイ



会場からサンフランシスコを眺める

欠陥、電力考慮、信頼性考慮などが挙げられた。

一方、招待講演では、EDAコンサルタントのSmith氏が「設計のロードマップ」と題して発表した。EDAは対象をハードからシステム全体に広げつつある点を強調し、テストはDFYのための良いツールとして、今後はソフトウェアの問題へも対応すべきであると述べた。

通常論文発表では、分野別の件数でディレイテスト関連と故障診断関連が前回同様上位を占めており、これらの分野の研究が依然として活発である。ディレイテストに関しては主要課題が微小ディレイへの対応にシフトしつつあり、通常論文だけでなく、基調講演、特別論文、チュートリアル、パネルでも広く言及されていた。一方、テスト時の電力・ノイズの問題については、今回は個別のセッションはなかったが、テストデータ圧縮手法やテスト生成の発表の中で広く議論されており、関心は一段と高まっている。

特別論文発表は、今年も全般的に人気を集めた。テーマとしては、システムテスト、微小遅延テスト、量産診断、低コストテスト、メモリテストなど、幅広い分野がカバーされている。今回は実行委員としてこれらのセッションのオーガナイズに苦慮したが、高倉氏(ルネサステクノロジ)、清家氏(IBM)はじめ、興味深い発表を数多く集めることができた。

また、「テストの専門家との会話」と題するパネルがあり、モデレ-タが繰り出す質問にパネリスト3名が回答した後、会場を含めて議論を行うという形式で進められた。トピックとしては、縮退テストの必要性、微小ディレイ欠陥のテスト、実速度以上でのテスト、テスト圧縮の限界など興味深いものばかりで、会場からも多くの意見が

出て盛り上がった。

このほか、特別セッションとして、ホットピックス、埋め込みチュートリアルなど沢山の企画が設けられた。特別論文も含めると、大学単独、企業単独、企業と大学の合同の発表がそれぞれ1/3ずつを占めており、うまくバランスが取れていたと思う。

ソーシャルプログラム

一方、この学会のもうひとつの重要イベントであるソーシャルプログラムでは、植物園での勉強の後、サンフランシスコ湾岸に場所を移してバンケットが開催された。まずは湾に沈む夕日に感動した後、今年は25回記念ということで、過去のVTSの数々のシーンがスライドで紹介された。食事の後は国別のカラオケ大会となり、最後は国境を越えたダンスの輪が広がった。



夕日に映えるサンフランシスコ

おわりに

今回のVTSの全体的な傾向として以下の2点が挙げられる。(a)全体としては、歩留り向上、信頼性向上を含めたライフタイムでのテストの役割への関心が高まっている。とくに、微小ディレイ欠陥は信頼性不良の要因との位置づけでも議論されており注目度が高かった。(b)論文発表に関しては、企業と大学の共同研究に良い論文が多く見られた。大学の高い技術を実用化しようという意欲の高まりが感じられる。

なお、次回は2008年5月にカリフォルニア州南部で開催される予定(開催地未定)。引き続き特別論文担当の実行委員を務める予定ですので、ご協力をお願いします。

(テスト&故障解析開発室 畠山一実)

国際学会参加報告

第44回 Design Automation Conference (DAC 2007)

学会概要

第44回 Design Automation Conference (DAC 2007)は、6月4日から6月8日にかけてカリフォルニア州サンディエゴのコンベンションセンターで開催された。参加者数は9,331人で10,000人を超えた昨年より若干減少したが、これは、開催地が影響していると思われる(昨年は、サンフランシスコ)。今年は、ここ数年の傾向であるDFM(Design for Manufacturing)やESL(Electronic System Level) 低消費電力設計などに加えて、Automotive(自動車)が主なテーマであった。初日のKeynoteでは、General Motors社の研究開発部門のVice PresidentであるLawrence D. Burns氏が、「Designing a New Automotive DNA」と題した講演を行った。氏はこの中で、自動車のDNAが、従来のメカニカルなシステムから電子的なシステムへと変貌していることを指摘し、未来の自動車を設計するためには、math-baseの手法やツールを活用すべきであると述べている。またこれに対応して、General Motors社内で使用されているさまざまな設計/検証ツールの紹介も行った。自動車関連のテクニカルセッションとしては、セッション16 Distributed Computing: Automotive Network Design & Analysis、セッション21 Silicon, Safety and Self-Driving Cars、セッション31 Virtual Automotive Platformsの三つが三日目の水曜日に設けられ、集中的な議論が行われた。この中で、UC Berkeley、General Motors、Cadence



会場となったコンベンションセンター

が発表したセッション16.1「Period Optimization for Hard Real-time Distributed Automotive Systems」が、Best Paper Awardを受賞している。

以下、その他のWorkshopおよびテクニカルセッションの様子について述べる。DAC開催の前日の日曜日には、いくつかのSunday Workshopが開催される。この中で、4th UML for SoC Designに出席した。UML(Unified Modeling Language)は、もともとソフトウェアの世界で使用されてきたシステム記述のための言語(実際は、ダ

イアグラムの集合)であるが、ここ数年、SoC設計への適用が試みられている。本Workshopでは、これまで、UMLのSoC設計への適用を意欲的に推進しているいくつかのグループが活発に活動を行ってきたが、本年は、東京大学と韓国Samsung Electronics Co. Ltd.のグループが発表を行うなど、UMLに関する裾野が広がっているように感じられた。一方、多くのハード



会場内の風景

DAC10運動報告

Design Automation Conference(以下DACと略)への論文投稿運動DAC10を、2006年6月下旬東社長発案の下、STARC取締役会・アドバイザリ委員会に提案し、日本半導体産業の設計技術力を世界に示すべく実施してまいりました。昨年11月の締切日には、STARC株主会社の方々と共同研究先の大学の先生方から多数の論文投稿をいただきました。

結果として、DAC2007では以下の論文採択と日本人パネリスト参加が実現いたしました。発表順で論文をご紹介しますと、On-Chip Measurements Complementary to Design Flows for Design Integrity in SoC's(神戸大学 永田真先生、アナログ計測分野)、Critical-Path-Aware X-Filling for Effective IR-Drop Reduction in At-Speed Scan Testing(九州工業大学 温 暁青先生、宮瀬 紘平先生が発表、テスト分野)、A DFT Method for Time Expansion Model at Register Transfer Level(奈良先端科学技術大学院大学 岩田 浩幸氏、現ルネサステクノロジ、テスト分野、ご自身の博士論文の投稿)の3件。パネルセッションではNECEL Americaの山田 和美氏(テーマ: Megatrends and EDA 2017)、東芝の吉森 崇氏(テーマ: Multicore SoC: You can build it, but can you use it?)、STARCの柏木 治久氏(テーマ: TLM: EDA's Next Level Of Design And Verification Abstraction Or Distraction)の3名が出席し活躍されました。なお柏木氏はDAC2007 Panel Committee memberとしても活躍されました。

一方、展示会場の大学ブースでも日本からの展示と発表がなされ、東京大学藤田研究室と大阪大学 今井研究室の研究者が活躍されました。

今回のDAC2007ではSTARCAD-CELの技術が評価され、DFM関連のEDA Vendor 3社(Clear Shape Technologies、Brion Technologies、Blaze-DFM Inc.)から開発第一部に招待講演の依頼があり、村方 正美氏が展示会場で多くの聴衆を集め講演し、日本半導体技術をアピールいたしました。

DAC10運動では大学および株主会社の多くの方々のご協力と、DAC Executive CommitteeのProf. A. B. Kahng(Univ. of California at San Diego) 松永先生(九州大学)からの有益なご助言により上記の結果を得ることができました。紙面をお借りしてお礼申し上げます。

なお、来年のDAC2008に向け、DAC10-08を開始いたしました。海外企業からは設計方法、設計例がDACに多数投稿されています。ぜひ多数の論文投稿をお願い申し上げます。(DAC10-08 事務局 宮本俊介)

ウェア設計者にとって、UMLによるシステム設計はかなり敷居の高い手法であり、このあたりの課題は依然として解消されていない。今後、これまでUMLを使用したことがないハードウェア設計者にどうアピールするかが課題となるであろう。

今年は新しい技術領域の発表が増えている。昨年よりNew and Emerging Technologiesという括りができたが、昨年の3セッションに対し、今年はWild and Crazy Ideasというセッションも含め5セッションあった(プログラムでは4セッションであるがその他、The Future of Interconnectsというセッションが明らかに新技術を扱っている)。内容についても、昨年はナノチューブ、ナノワイアが多くを占めていたのに対し多彩になってきている。とくにバイオメディカル関連はSynthetic Biologyという1セッションがあった他、UCBのRabaey教授の"Design without Borders"と題されたキーノートがBio Design Automation (BDA)をテーマにしたものであった。LSI開発用に蓄積されたEDA技術がバイオ開発にも活用できるというもので



会場の入り口

あり、今後の進展によっては、今年がEDA社会がバイオメディカル分野に乗り出すことを宣言した年ということになるのかも分からない。

他にはシリコンとEDAのコリレーションを取り上げたセッションが出てきたのが目を引いた。セッション22のSilicon Measurement Correlation to Reliability, Noise, Timing Effectsおよびセッション29のBridging Gap with Siliconの2セッションである。今回の発表はいずれも実チップでの測定方法や解析方法は詳細に述べられるものの、それを使用して何をするのか、またそのための手法に具体性が欠けており、聴いていて要求不満気味になってしまう。しかしながら、背景にあるのは現在のEDAを使った設計の正しさや、マージンの適正さに対する疑いで

あると思われ、今後の方向が気になるところである。なおセッション22ではSTARCの共同研究である神戸大の永田先生の発表"On-Chip Measurements Complementary to Design Flows for Integrity in SOCs"があった。

展示会について

展示会に関しては、参加者がやや減少したと伝えられている。これは、従来のように、EDAベンダがDACの場で大々的に新製品を発表するスタイルから、ベンダ独自のイベントで新製品の発表を行うスタイルに変化してきているためと思われ、実際、今回のDACでは3大EDAベンダからは、新製品に関する大きな発表はなかった。DACは、EDAや設計に関して技術的な発表が行われるテクニカルセッションとEDAに関する展示会が併せて開催されるが、そろそろこのスタイルを見直すべき時期に来ているのかもしれない。

なおDAC 2008は、6月9日～6月13日の日程で、カリフォルニア州アナハイムのコンベンションセンターで開催される予定である。

(研究推進室 大西洋一、杉本益規)

国際学会参加報告

2007 SYMPOSIUM ON VLSI TECHNOLOGY

概要

6月12日から14日の間、"2007 SYMPOSIUM ON VLSI TECHNOLOGY"が京都で開催された。発表論文件数は、昨年よりわずかに減って88件(Plenary Sessionを含め)。論文技術分野は、Strained Si、Multi-Gate FET、High-k、Metal Gate、および各種Memoryと多彩であった。日本からの発表は、昨年の28件から増加して31件。また、目立った変化としては、欧州からの発表が昨年の9件から19件に倍増したことが挙げられる。大学からの論文は、10件と、昨年の8件と同様に低調。日

本の大学からは、2件。国別の大学からの発表件数では、シンガポールが3件と最も多かった。大学からの発表が少ないのは、“微細化と集積化”を重視するというこの学会の特性のためかもしれない。ただ、大学が連名となっている企業からの発表も多く見られるようになっている。大学のアクティビティを見るという観点では、この面からの観察が、今後必要となると感じた。

学会状況

今回の学会では、Plenaryも含め、21のセッションが設けられていた。さらに、特徴のある二つのセッションが

新設されていた。一つは、Highlights (Session2)であり、もう一つは、Focus Session (Session6A)であった。

Highlightsは、トピックを集めたセッションであり、この学会らしい論文が揃っていた。三星の30nm世代のNAND Flash Memoryの発表、東芝の将来の大容量Flash Memoryへの新しいセルの提案、IBMの45nm世代のBulk CMOSプロセスの発表、そしてIMECからのNi-FUSI CMOS Technologyの発表である。この学会が、CMOSプロセス、およびメモリーデバイスの“微細化と集積化”にフォーカスしていると、あらためて認識させられた。

Focus Sessionは、すべて招待講演で構成されたセッションであった。同様なセッションは、IEDMやISSCCでも設けられており、一般的には、将来的に投稿を促していきたい技術・製品

分野をテーマとする場合が多い。本学会では、DFM/DFY Technologiesがテーマとして選ばれていた。招待講演は、University of Glasgow、Sony、TI、および京都大学の4件。DFM/DFYは、回路・設計の学会で検討されることが多いテーマである。デバイス・プロセスの学会である本学会で、次回以降どのような議論となって展開されていくのか興味深い。

発表機関動向

国別論文件数の推移を図1に示す。全体傾向に、大きな変化はない。日本は昨年からわずかに増加して31件。米国は過去最低の16件。韓国も16件。ここ数年、10件程度を維持していた台湾は3件に低下。また、欧州からの発表が過去最高の19件となっている。アジアの攻勢が一服し、欧州ががんばっているとも見て取れる。

大学よりの発表は、今年は10件（招待講演を除くと8件）、日本からの発表は、2件（招待講演を除くと1件）、国別で、大学からの発表が最も多いのは、シンガポール（図中、その他のアジアに分類）で、昨年と同様に3件。大学からの発表が少ないのは、この学会の特徴に依存する部分があると考えられる。シンガポールは、ここ数年IEDMも含め、コンスタントに論文発表を行っている。国や企業の大学へのサポートの仕組みが確立しているため

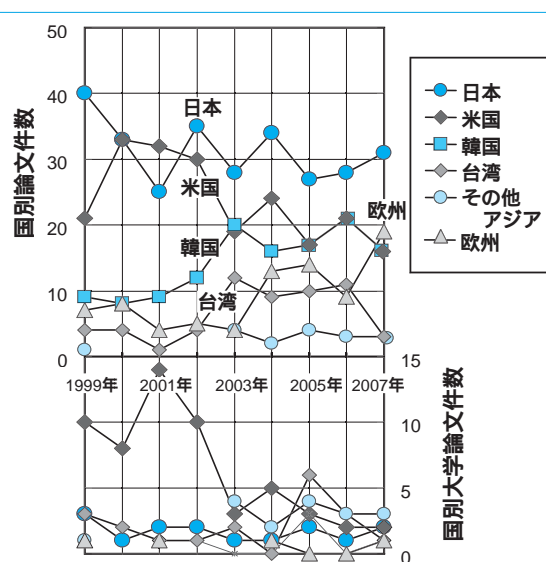


図1 国別論文発表件数推移

と考えられる。

図1に示す国別投稿件数は、論文の筆頭者で分類した結果である。しかし、最近では、単純な企業と大学との共同発表に加え、異なる国の企業と大学間の共同発表も増加しつつある。とくにアジアや欧州の企業や大学でこの傾向が見られる。大学のアクティビティを見るという観点では、このような共同発表の面からの観察も今後必要になると思われる。

サテライト学会

"VLSI TECHNOLOGY"の直前に、同じ会場で開催された"2007 IEEE Si Nanoelectronics Workshop"にも参加した。元々は、Siを用いたナノ領域、

量子デバイス関連技術を中心としたWorkshopとのことだが、現在では、内容的に"VLSI TECHNOLOGY"にかなり近づいている。オーラル発表は、29件で、内大学が17件（日本7件、海外10件）。ポスターセッションも同時開催されており、こちらは全64件での内、大学発表は60件（日本16件、海外44件）。ほとんどが、大学よりの発表であり、内容的にも荒削りのものが多い。しかし、大学のアクティビティを感じることでできる学会であった。

まとめ

今年は、HighlightとFocus Sessionの二つのセッションが新設された。今後、この学会の特徴がより明確になっていくと考えられる。また、これまで大学からの発表件数の推移等で、大学のSi半導体分野での研究活動状況を見てきた。しかし、“微細化と集積化”という特徴をより鮮明にしつつある本学会では、今後、大学よりの論文発表はさらに難しくなると考えられる。大学の研究活動状況を見るという観点からは、今後は、企業・大学間での共同発表件数にも着目していく必要があると感じた。

（研究推進室 吉丸正樹）

国際学会参加報告

2007 VLSI回路シンポジウム (2007 Symposium on VLSI Circuits)

シンポジウムの概要

VLSI回路シンポジウムは、初開催の1987年から20周年を迎えた。本年の2007VLSI回路シンポジウムは6月14日～16日に京都で開催された。また、前日13日にはショートコース/ワークショップが開かれ、夜間にはVLSIテクノロジーとの共同ランプセッションが

行われた。20周年ということで特別な行事があったわけではないが、参加者は600名を超え、過去最高の624名となった。投稿論文も世界各国の大学、産業界から343件に達した。このうち103件の優秀論文が選ばれ、26のセッションに分かれて発表された。

プレナリセッションではつぎの4件の招待講演があった。モバイル端末の

発展とデバイステクノロジーへの要求、アナログ回路における消費電力の限界、家電品向け高性能プロセッサの開発、有機トランジスタを用いたアンビエント（ユビキタス）エレクトロニクス。いずれもVLSIの将来を考慮すべき、重要なトピックスである。

発表セッションと論文

デジタル、メモリ、アナログ回路の各技術や無線（Wireless）・有線（Wireline）等応用回路の設計技術に関する論文が24のセッションに分かれて発表された。

デジタル関連技術では、GHz帯の高性能プロセッサ [5]、モバイル応用のプロセッサ [21]におけるアーキテクチャ回路技術のほかに、構造可変システムオンチップ [2]においてはSoC設計技術に関する論文が発表された。高性能化のみでなく低電力化、設計効率化を目指す論文発表が目立つ。([] はセッション番号。以下同じ)

メモリ関連技術では、DRAM、SRAM、不揮発性メモリの技術 [18,24]に加えて、電気的に書き換え可能な最近のフェーズメモリの論文がSRAM先端技術と同じセッション [8]で発表された。今後の技術動向が注目される。

アナログ関連技術では、デジタルVLSIのインタフェース回路として重要な高速型およびオーバーサンプル型A/D変換器の論文は相変わらず多く、3セッション [7,19,23]で発表され、盛況であった。さらに時間をA/D変換する回路のセッション [16]が新設された。PLL、DLL [22]や周波数シンセサイザ [25]、センサやディスプレイ [14]、送受信回路 [4,20]、ミリ波用アナログ回路 [17]などのアナログ回路ブロックのほかに、増幅回路、基準電圧発生回路、RCフィルタなど多彩な要素回路技術 [10]が発表された。

低電力化はデジタル、アナログに限らず重要であり、多面的な技術 [3,15]が発表された。また、デバイスの微細化、大規模化に伴って厳しさを増す、信号・雑音対策 (Signal Integrity) や電力対策 (Power Integrity) に関して、さまざまな技術 [12]が取り込まれていた。

応用関連技術のセッションは、無

教育推進室新任紹介

今ごろ着任のご挨拶です

研究推進部 教育推進室上級研究員 鴨野 豊



2007年3月1日付けにて、研究推進部教育推進室に入りました。今回二度目のSTARC出向となり出身は東芝です。一度目は、2003年5月～2006年3月の間に旧開発第1部 メソドロジ開発室にてSoCインプリメンテーションフローの開発を担当させていただきました。今回教育推進室では、国内大学の教育支援活動に携わらせていただきます。具体的には、これまでにSTARCにて開発されたSoC設計教育向け教材 (講義用教材・実習用教材) の改定を継続しながら、利用されている大学への支援を強化するとともに利用大学を増やしていく、現在開発中の教材を仕上げ新たに提供を開始するなどの仕事を主に担当していきます。学生さんの理工離れ・理工系学生さんのメーカー離れが進む中で魅力ある教育を提供することが重要になってきていると実感していますので、少しでもお役にたてるように教育支援活動に全力で取り組んでいきますので、よろしくお願いいたします。

線通信の高速化、低電力化に関する技術 [6,9]およびGHz、Gb/sの有線通信応用技術 [13,26]に分けられ、各セッションで論文が発表された。

ランブセッション (6/14: 20-22) は、2会場で並行して行われた。いずれもスケールアップが話題であった。一方の

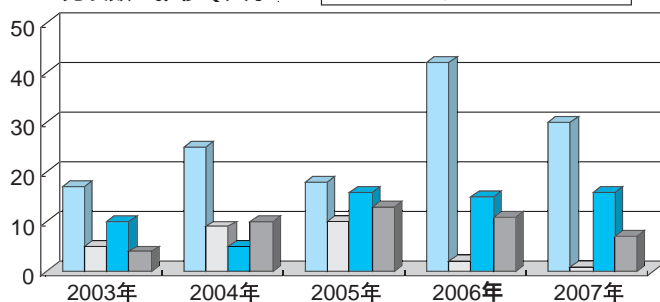
アナログスケールアップのセッションでは、4件の特別講演が行われた。RF応用へのテクノロジー開発、ナノメータCMOSの技術動向、SiP対SoC (RFシステムへのアプローチ)、回路技術者の挑戦 (アナログ混載システムLSI)。いずれも専門家の緻密な眼から見た将来の技術動向が語られた。他方のCMOSスケールアップのセッションでは、パネル討論が行われた。進行役の司会者による自由な雰囲気の下、活発な意見交換がなされた。

発表機関の動向

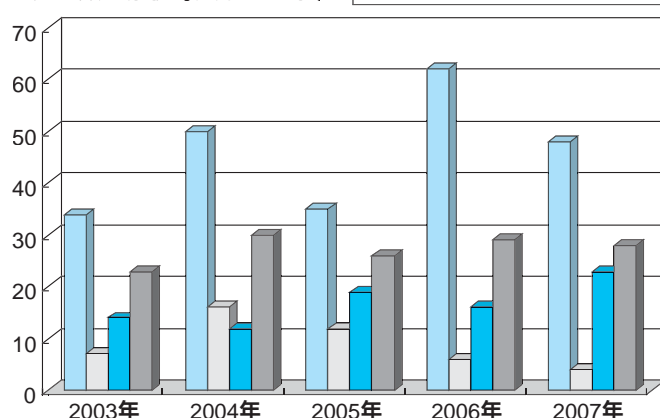
全103件の論文発表の内訳は、北米48件 (大学30、企業18)、日本28件 (大学7、企業21)、アジア23件 (大学16、企業7)、欧州4件 (大学1、企業3) の順であった。ここ数年間の発表数の推移を、図に示す。北米とアジアの大学が健闘しているのに対し、日本の大学からの発表件数が減少しつつあり、奮起したい。今回、日本の大学からの発表論文7件のほとんどがSTARC (共同研究、シャトル) およびVDECに関連しており、その貢献は大である。今後とも大学の研究、学会活動を支援していきたい。

(研究推進室 塚田敏郎)

発表数の推移 (大学)



発表数の推移 (大学 企業)



STARCシンポジウム2007

「異分野連携で未来を創る」

開催日時：2007年9月3日(月) 13:00～19:40

9月4日(火) 9:30～17:00

会場：千里阪急ホテル(大阪府豊中市新千里東町2-1-D-1)

【プログラム】 <http://www.starc.jp/event/sympo/sympo2007/index-j.html>

9月3日(月) 13:00～19:40

◆基調講演

「科学技術を巡る日本の環境変化」.....北澤 宏一氏(科学技術振興機構)

◆招待講演1

「STARC共同研究とその後の展開 - Cu-Mn配線技術を例にとって - 」.....小池 淳一氏(東北大学)

◆招待講演2

「インドと日本のこれからのコラボレーションについて」.....Krishnakumar Sundram 氏
(ヘッドストロング・ジャパン社)

◆ポスターセッション

学生ポスター + 共同研究最終年度テーマのポスター

◆レセプション

9月4日(火) 9:30～17:00

◆招待講演3

「グローバルコラボレーションにおけるマネジメント」.....渥美 育子氏
(Multi Cultural Playing Field, LLC)

◆STARC活動報告.....下東 勝博(STARC)

◆先端技術講演1

「人間を動かし、生かす、ロボット技術」.....小林 宏氏(東京理科大学)

◆先端技術講演2

「バイオマイクロデバイス - MEMS技術による微量液体ハンドリング - 」...安田 隆氏(九州工業大学)

◆先端技術講演3

「LSIオンチップ光配線技術」.....西 研一氏(MIRAI-Selete)

◆先端技術講演4

「メタマテリアルの可能性と最新研究動向」.....真田 篤志氏(山口大学)

◆先端技術講演5

「ここまで来た電子ペーパー」.....服部 励治氏(九州大学)

◆招待講演4

「コンソーシアムの新しい役割 - STARCへの期待」.....吉森 崇氏(東芝、STARCフェロー)

主催：(株)半導体理工学研究センター

お問合せ先：STARCシンポジウム事務局 <http://www.starc.jp/sympo07>

STARCニュース No.33

株式会社 半導体理工学研究センター

発行：下東 勝博

編集：鬼頭 公治

Semiconductor Technology Academic Research Center (STARC)

〒222-0033 神奈川県横浜市港北区新横浜3丁目17番地2 友泉新横浜ビル6階

TEL : 045-478-3300 FAX : 045-478-3310

URL : <http://www.starc.jp>