

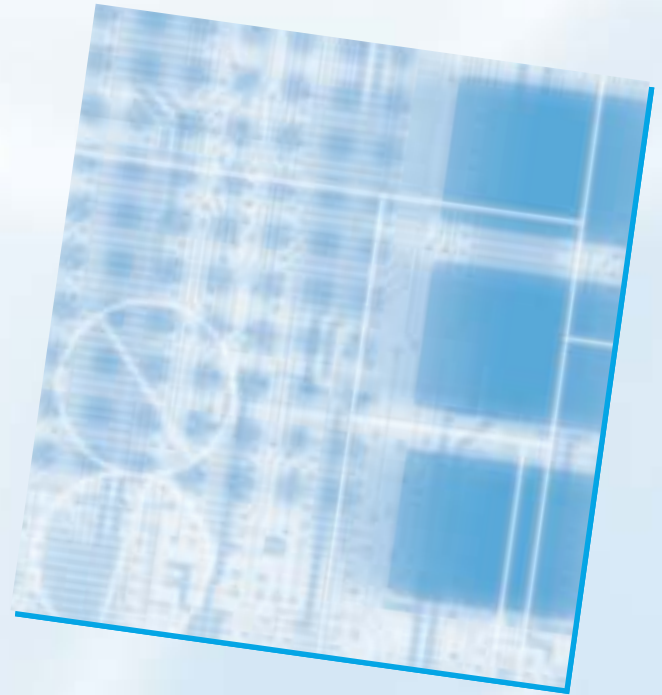
STARC ニュース

No. 32

2007年4月20日発行

株式会社 半導体理工学研究センター

Semiconductor Technology Academic Research Center (STARC)



CONTENTS

新任部長挨拶.....	2
緊急特集 / 標準化推進室 HiSIMモデル、標準化に向けて再始動.....	3
特集 / テスト & 故障解析開発室 STARCAD-Clouseau	4
特集 / IP育成支援 実績豊富な Shuttleスターシャトル®	6
共同研究グループ便り 保坂研究グループ.....	8
島田研究グループ.....	10
佐野研究グループ.....	12
国際学会参加報告 ASP-DAC2007	14
ISSCC2007.....	15
EDS Fair 2007 出展報告	17
2007年度 共同研究実施テーマ.....	18
STARC主催イベント開催案内 STARCフォーラム2007、STARCシンポジウム2007.....	20

新任部長挨拶

執行役員企画部長

鬼頭 公治



昨年11月16日付でSTARCに着任し、12月21日付で企画部長の重責を拝命いたしました。コンソーシアム活動は経験が浅く至らない点多いと思いますが、懸命に努力いたしますので、ご指導ご鞭撻のほどよろしくお願い申し上げます。

出向元の東芝では、25年近く海外顧客向ASIC事業を担当しました。その間に、数百社の海外ASIC顧客と関わりを持ちました。とくに強く印象に残っているのは、多種多様なスタートアップ企業の栄枯盛衰にASICベンダーとしてお付き合いし、海外ベンチャー・ビジネスのダイナミズムを目の当たりにしたことです。また、DEC, Lucent, Marconiのような巨大企業（超優良ASIC顧客でした）が時代の変化にうまく適応できずに解体されて行く現場を垣間見たことも、鮮烈な体験でした。振り返ってみると、欧米企業のビジネス判断の素早さに感心させられ続けた25年間であったような気がします。

自己紹介はこれくらいにして、STARCの話に戻しましょう。日本の半導体産業の国際競争力強化に関しては、すでに多くの方々によって分析がなされ、さまざまな提言が行われて来ました。STARCの共通コアプログラム、先端コアプログラム、および選択プログラムもその一環です。しかし、まだ起死回生の策を講じたといえるレベルには達していませんので、更なる競争力強化施策の立案と実行が必要です。

昨年度は、産業競争力懇談会（COCON：Council on Competitiveness - Nippon、<http://cocn.jp/>）の半導体プロジェクトにおいて、国際競争力強化施策が多角的に検討されました。結果として、「次世代システムレベル設計手法」、「ヘテロジニアス・マルチプロセッサ技術」、および「新業界シャトル」の3テーマが本年度の仕事としてSTARCに託されました。

「次世代システムレベル設計手法」はシステムレベル設計の効率を飛躍的に高めようとする企画で、本年度はフィジビリティスタディーを行います。「ヘテロジニアス・マルチプロセッサ技術」は組み込み用ヘテロジニアス・マルチプロセッサ分野での競争力強化を図る企画で、本年度はそのフィジビリティスタディーを行います。「新業界シャトル」は65nmプロセスのシャトル試作サービスを提供する企画で、本年度はその準備を行います。

いずれのテーマも容易なものではありませんので、その推進に際しては関係者の皆様の絶大なるご協力を賜りたく、よろしくお願い申し上げます。

研究推進室新任紹介

新任に当たって

研究推進部 研究推進室長
塚田 敏郎



本年1月、ルネサステクノロジから出向し、研究推進室で大学共同研究の推進業務に従事しています。日立製作所時代からアナログとデジタルのインタフェースとなるA/D変換器の開発を行ってきました。「あすか」プロジェクトでは、低電力技術開発室でアナログ集積回路技術の開発に参加しましたが、「あすか」では、各大学研究室を支援し、先生・学生とのインタフェースを密にし、その成果を目指します。これからは研究成果のみならず、将来を担うエンジニアに夢と活躍の場を与えることがますます大切になると考えます。熱く活気ある共同研究を目指します。どうぞよろしくお願い申し上げます。

着任に当たり

研究推進部 研究推進室 上級研究員
大西 洋一



2007年1月1日付けで研究推進室に着任しました、大西です。出向元の沖電気では、主として上流のEDA分野を担当してきました。また、STARCにおいては、2000年度に始まったSoCの上流設計技術に関する研究開発プロジェクトであるVCDSプロジェクトや、2001年度から実施されたあすかプロジェクトに関わってきました。LSIの上流設計の分野では、近年、ソフトウェアの世界で使用されてきた言語や設計手法が導入されつつあり、ハードウェアを中心としたこれまでの設計とは異なる技術や発想が求められています。大学との共同研究においても、上流設計技術に関するこれまでの経験を活かしていきたいと思っておりますので、よろしくお願い申し上げます。

HiSIMモデル、標準化に向けて再始動

企画部 部長代理 兼 標準化推進室 室長 古井 芳春

回路シミュレーション等で使われるデバイスモデルの国際標準化団体、Compact Model Council(CMC)は3月23日に東京・お茶の水で会合を行いました。CMCは四半期ごとに会議を行います。日本での開催は初めてです。国内から40名以上の参加があり、標準モデルへの関心の高さが示されました。

次世代CMOS標準モデル

CMOS標準モデルとして米国UCBのBSIM4が広く利用されています。しかし微細化の進展とともにモデルパラメータ数が増加する、binningやsub circuitを付加しないと要求精度を満たせない、アナログRFで不可欠な微分特性を実現できない、などBSIM4モデルの限界が明らかとなってきました。そのためCMCでは2004年に「次世代CMOS標準モデル選定プログラム」をキックオフし標準モデル選定を行いました。2005年11月に行われた最終投票では、当時ペンシルバニア州大学・フィリップスのPSPモデルが17票、広島大学・STARCのHiSIMモデルが14票で、PSPが標準モデルに選定されました。

PSPは大規模回路に使えない？

標準モデル選定後1年以上が経過していますが、PSPは実設計で利用された報告はありません。またCMC会議でもトランジスタ単体や小規模回路の報告のみで、LSI回路レベルの報告はありません。このような中、2006年12月のCMCサンフランシスコ会議で、「PSPに加えてHiSIMも標準認定すべき」との提案が行われました。

HiSIMを実用回路で評価

CMC東京会議では実際のLSI回路を各モデルでシミュレーションした比較が報告されました。東芝、NECEL、沖電気、松下電器、富士通およびSTARCが、市販回路

Comparison of Circuit Simulation (HSPICE)

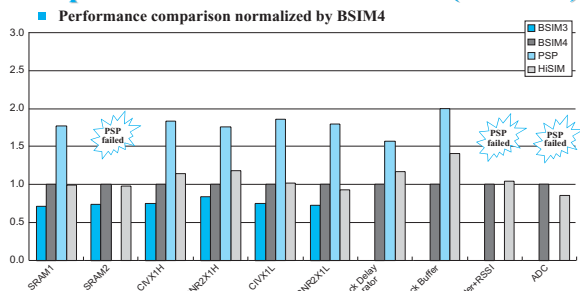


図1 各モデルのシミュレーション時間比較



CMC東京会議

シミュレータであるHSPICE、Spectre、SmartSpiceでの評価結果を発表しまし

た(図1)。シミュレータおよび回路によるばらつきはあるものの、HiSIMはBSIM4と同等の時間でシミュレーションが可能です。PSPはHiSIMよりも1.5倍～2倍シミュレーション時間が長く、ADC回路などで収束しないことが報告されました。さらに東芝からは相互変調歪(IM3)のシミュレーション評価が報告され、HiSIMだけが理論どおりの特性を提供することが紹介されました(図2)。またモデルパラメータの抽出については、PSPモデルのパラメータ・フィッティングが多数のローカルモデルをつなぎ合わせるため、複雑で長時間を必要とすることが指摘されました。

IM3 result for BSIM4, PSP102 and HiSIM2.3

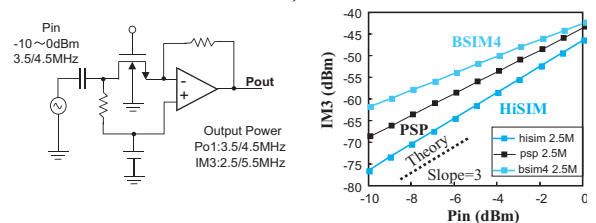


図2 IM3シミュレーション結果

発表を通じて、HiSIMはナノスケール時代に要求される高精度と大規模回路シミュレーションを実行できる高速性を併せ持つ実用的なモデルであることを印象づけました。

標準候補としてHiSIMを再評価

議論の後に今後の進め方が票決され、15対10(棄権1)でHiSIMを標準モデル候補として評価することが決定されました。次回以降のCMC会議でHiSIM標準化が採決されます(次回CMC会議は2007年5月24、25日に米国サンタクララで開催されます)。

STARCではコンパクトモデルWGを中心に、HiSIMの技術優位を実証しCMC会議で発信を行います。STARCクライアント各社におかれましては、引き続きHiSIM標準化へのご支援をお願いいたします。

STARCAD-Clouseau

開発第2部 テスト&故障解析開発室 室長 相京 隆

近年の半導体の微細化の進展に伴い、論理規模の増大が進んでいます。さらに、微細化により、従来は顕在化していなかった欠陥が不良の原因として、歩留まり向上の観点からもよりクローズアップされてきています。このため、今後のテクノロジーにおけるSoCの開発・製造を行う上で、テストおよび故障解析の重要性が今まで以上に増してきています。

そこで、テスト&故障解析開発室では、45nm、32nmのそれぞれのテクノロジーにおいて、現実的な時間でSoCのテスト、故障解析を行うことが可能な技術を見極め、EDAツールとして実用化を行うことを目標としています。さら

に、標準的なテスト環境を構築し、必要なテストがその環境の下で実行でき、LSIテストベンダ、EDAベンダがその環境に容易に対応できることを開発の目標としています。

この目標を達成するために、「次世代テスト技術」、「次世代故障診断」、そして、IEEEの標準であるSTILを中心にした「標準準拠テスト環境」の3つを柱としたテスト&故障診断プラットフォームSTARCAD-Clouseauを開発しています(図1)。次世代テスト技術では、大規模化、微小遅延欠陥、低電圧・低電力化といったテスト時の課題に対応する技術開発を、次世代故障診断では、大規模・多層配線による診断困難化、ばらつき等の遅延不良の診断とい

った課題に対応する技術開発を、そして、標準準拠テスト環境では標準テスト言語を使用することによってテスト開発工数の削減への技術開発を行っていきます。

今回のプロジェクトは、5年間で予定しており、最初の2年間でテクノロジーノード45nm(44メガゲート、700MHzを目標)対応のテスト技術を開発します。次の3年間でテクノロジーノード32nm(88メガゲート、1GHzを目標)対応のテスト技術の開発を行います。図2にSTARCAD-Clouseauにおける3つのテーマの当初の2年間の具体的な開発ロードマップを示します。

プロジェクトが発足してちょうど1年が過ぎましたので、それぞれのテーマに対しての初年度の成果と今後の進め方の一端をご紹介します。

1. 次世代テスト技術

45nm、32nmのそれぞれのテクノロジーでの論理規模に対応したテストデータの圧縮技術、すなわち、各種圧縮パターンテスト、ロジックBIST、メモリBISTの技術の評価・改善・実用化を行います。

初年度は、ロジックBISTの大規模対応、異クロックドメイン間ディレイテスト、階層対応に関して、その実用性の評価を行いました。2007年度はメモリBISTを中心として評価を行っていきます。

～次世代SoCのテスト・故障診断～

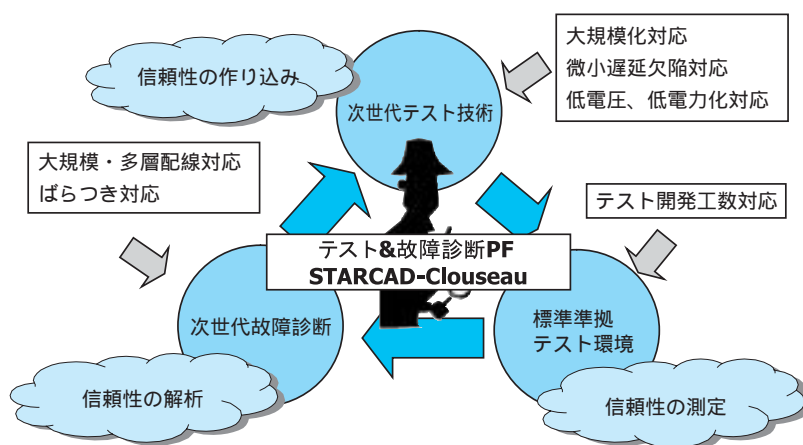


図1

技術開発ロードマップ

リリース	2006年度		2007年度	
	V0.5 (1H)	V1.0 (2H)	V1.5 (1H)	V2.0 (2H)
全体テーマ	大規模回路評価 用環境構築	LBISTテスト 手法	電力・診断 考慮テスト手法	45nm対応テスト、 診断手法
次世代 テスト技術	大規模回路作成	LBIST評価1	LBIST評価2	
	SDQM対応ツール評価、改善		メモリBISTツール評価	
次世代 故障診断	故障診断ツール評価と診 断手法の確立		故障診断考慮テスト	
	評価仕様	評価・診断手法確立	微小ディレイ故障診断技術	
標準準拠 テスト	標準化の国際対応	STIL活用ガイド ・IEEE1450.1版 リリース	STIL活用ガイド ・IEEE1450.6版 リリース	テストプログラム 環境要求仕様

SDQM: Statistical Delay Quality Model
STIL: Standard Test Interface Language

図2

次に、SDQM対応ツールの評価、改善を行っています。SDQMとは、微小ディレイを考慮したテストの指標として定式化された統計的ディレイ品質モデル（Statistical Delay Quality Model）です（図3）。これは、ディレイテストに強く関連する4つの因子、すなわち、テストパターン品質、テストタイミング精度、設計マージン、プロセス品質を一つのテストの品質指標としてまとめたものです。これにより、従来はわからなかった、微小なディレイ欠陥に対するテストパターンの品質を明らかにすることができました。今年度は、この機能に関してEDAベンダと共同開発したツールの評価、改善を行いました。

そして、今後重要となるテスト実行時に電力、電源ノイズの問題を起こさないテスト手法の検討を行い、フロー構築のための各種評価を行いました。2007年度はここで提案した対策フローの構築を行っていきます。

2. 次世代故障診断技術

従来、クライアントにおける故障診断ツールは内製ツールが多く使われていました。しかし、EDAベンダの故障診断ツールも、歩留まり向上、DFMの観点からの要求もあり、実用的なレベルになってきています。まず、初年度は代表的なEDAベンダツールの評価を行い、現状の実力と問題点の評価を行いました。これにより、各ツールの強み、弱みがわかってきたので、2007年度はこれらのツールで診断分解能が上がらない故障に対して、故障診断考慮テスト生成や微小ディレイ故障診断等の分解能向上のための対策を検討し、対策フローを構築し、改善要求を出していきます。

3. 標準準拠テスト環境構築

これは、IEEEで標準化されたLSIテストの言語であるSTIL（Standard Test Interface Language）を標準のテスト言語としてテストの環境を構築することにより、各種EDAツール、LSIテスト間を効率良く連携させるものです。初年度は主に2005年度に作成したSTIL活用ガイドのWeb公開（URL <https://www.starc.jp/stil/index-j.html>）を行いました（図4）。さらに、米国STILユーザーグループとのコンセンサスを取り、STARC作成のSTIL活用ガイドを世界共通のガイドラインとすることができました。今後は、現在IEEEのWGで標準化作業中のSTIL（IEEE1450.3、1450.4）、そして、これからWGを起こす予定STIL

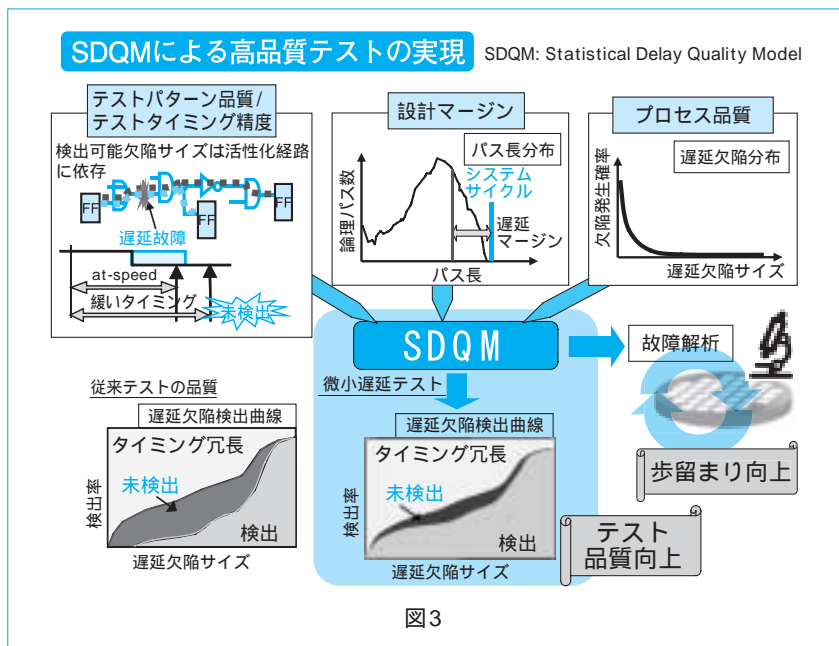


図3

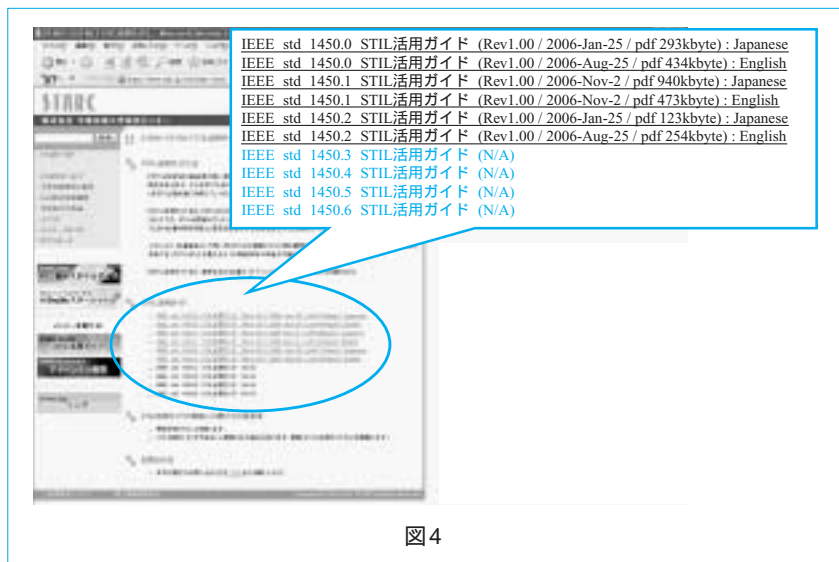


図4

（IEEE1450.5）についての標準化作業に貢献していきます。

これらの技術開発は必要に応じ、技術サブワーキンググループを開催し、クライアント各社からのメンバの方々と議論を通し、EDAベンダに働きかけながら進めております。さらに、各社のテスト&故障解析支援委員の方々は、技術やリソースに関してご支援をいただいております。

以上の活動を行うことにより、半導体の微細化の進展に伴うテスト、故障診断に関わるさまざまな問題を早期に解決する技術に取り組み、次世代プロセス品種のテストコストの削減、早期開発を可能としていきます。さらに、テスト環境の標準化を進めることにより、異なるテスト、異なるEDAツール間のデータの授受を容易にし、テスト環境構築のコストを削減していきます。

これらの活動を通し、我々は新世代にふさわしいテスト、故障診断技術、テスト環境を開発して行きたいと考えております。

「実績豊富な Shuttleスターシャトル[®]」

開発第3部 IP育成支援室 研究員 小池 直芳

はじめに

「Shuttleスターシャトル[®](スターシャトル)」は、国内初の90nmテクノロジーによる試作サービスとして、富士通、松下電器、NECエレクトロニクス、ルネサステクノロジ、東芝(以上クライアント5社)の支援のもと、2003年10月より運営を開始いたしました。

以来、20便以上の運行、250件を超えるデザインを試作し、多くの活用実績を蓄積してきました。

スターシャトルは、コンソーシアム活動の成果を広くご利用いただくために、学界のみならず一般ユーザーにもオープンにしています。

スターシャトルの概要

柔軟なチップサイズ対応と研究開発用途向けの価格設定
スターシャトルの概要を図1に示します。スターシャトル

◆90nmプロセスで、5mm[□]チップをベースとする相乗り試作です。

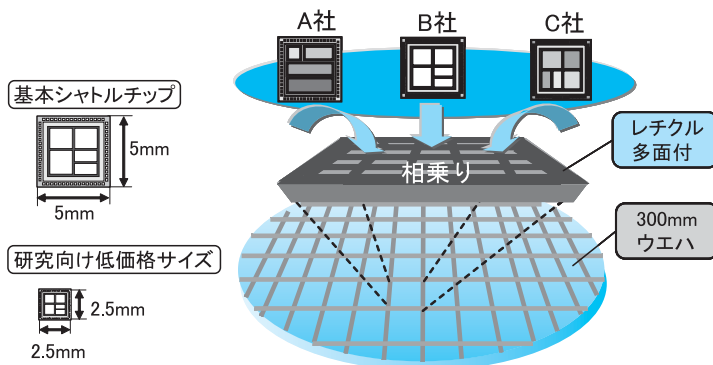


図1 Shuttleスターシャトル[®]の概要

【スターシャトルの基本プロセス】

■Genericシャトル

Tr : Core 1.0v (マルチVth:Hi-P, Mid-P), I/O 2.5v

配線: 6層Cu + Pad Al + PI Cover

オプション

- ① Deep Nwell (Triple Well)
- ② CI容量 (MOS容量) プロセス
- ③ I/O 3.3v

* Low Power シャトルは、現状、不定期便となっています。個別にお問合せ下さい。

Tr : Core 1.2v (マルチVth:Hi-P, Mid-P), I/O 2.5v

配線: 6層Cu + Pad Al + PI Cover

図2 スターシャトルの基本プロセス

ル(複数相乗り試作便)の基本チップサイズは5mm です。このサイズは、90nm世代のテクノロジーで、約5Mゲート(2NAND敷詰換算)超の論理回路搭載が可能であり、SoCやIPの試作に十分なサイズといえます。また、研究向けサイズとして、要素技術の確認などに適している2.5mm もサポートしています。本サイズは、ゲートアレイ並みの低価格で90nmテクノロジーの試作が可能となります。

信頼できる品質

スターシャトルは、2003年10月にサービスを開始して以来、20便以上を運行し、250件以上のデザインを試作してきました。本実績は、ユーザーからも十分な実績量との評価をいただいています。また、一度ご利用いただいたユーザーにはスターシャトルに信頼を寄せていただき、その後も継続的なりピーターとなられる方がほとんどです。

用途に応じたオプションサービス

多様なユーザー要求に応じるため、以下のオプションサービスを行っています。

評価に多くのサンプルを必要とするユーザーに対応したサンプル数の増量

Trのコーナー条件で評価を必要とするユーザーに対応したVth振り

(Nch/Pch : High/High, Low/Low)の試作条件追加
パッケージ組立の手配ができないユーザーのための組立手配代行

提携デザインハウスの設計サポート

90nmレベルのチップ設計環境を持たないユーザーにもご利用いただけるよう、弊社の協力デザインハウスを紹介いたします。試作に関する手配から設計、納品まで一括して対応するターン・キー・サービス型、また論理設計からレイアウト設計まで対応する設計委託型など、ユーザーの要求に応じたサポートの提供が可能です。

スターシャトルの基本プロセス

スターシャトルの基本プロセスを図2に示します。スターシャトルでは、高速性能のGenericシャトル(1.0Vコア,6層配線)と、低消費電力のLow Powerシャトル(1.2Vコア,6層配線)の2種類のプロセスがあります。これらはともにMulti-Vth(HP/MP:High/Middle パフォーマンス)方式を採用し、高速・低電力の最適設計を可能にしています。

またオプションとして、3層Well構造、MOS容量プロセス、3.3V Trにも対応しており、アナログ研究用途にもご活用いただけるプロセスとなっています。

スターシャトルのユーザー活用実績

スターシャトルを活用した学会発表論文数

図3は、2007年2月現在の大学のスターシャトル活用デザイン数と学会発表論文数の関係を表したものです。スターシャトル活用による、ISSCC、CICC、VLSIシンポジウム等、主要学会での発表論文数は年々増加しています。とくに2006年においては、大学ユーザーの発表件数に飛躍的な伸びが見られます。

大学でのスターシャトル活用は、2004年下期に始まりました。スターシャトルを活用したデザインの成果は約1年後の学会発表論文に表れており、デザインの増加に伴って発表件数も増加していることが分かります。直近のISSCC2007においては、大学ユーザーから3件が採択され、前年のISSCC2006実績（1件）を上回ったことが確認されました。

スターシャトルの用途と論文投稿の内訳

図4はユーザーアンケート回答からまとめたスターシャトルの用途と論文投稿の内訳です。これによれば、これまでの利用対象は主に、回路技術研究におけるSi検証や、IP

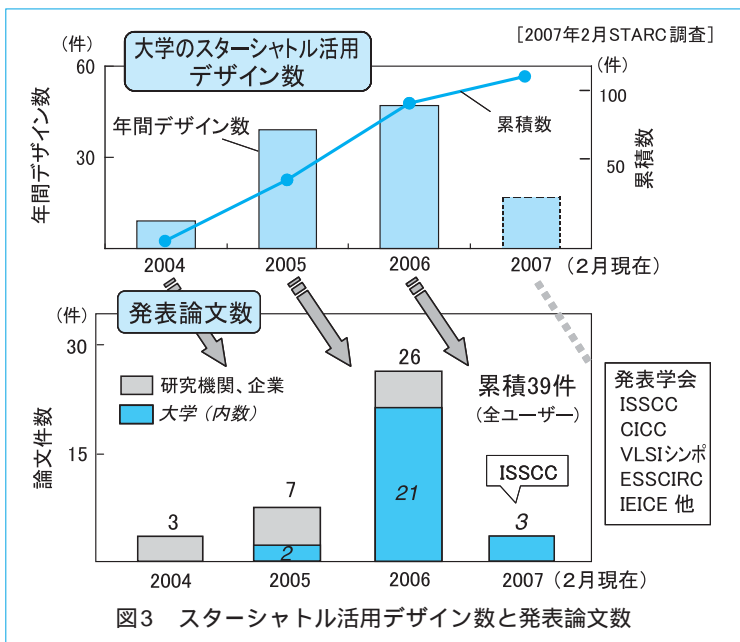


図3 スターシャトル活用デザイン数と発表論文数

の90nmへのプロセスポーティング、微細プロセスにおける設計手法検証などです。大規模なシステムLSI等の回路検証は少ないですが、研究的用途として、中でも回路レベルの研究にスターシャトルを多く活用いただいていることが分かります。また、試作した半数以上のユーザーがその結果を活用して主要学会へ論文を投稿しています。2007年度も主要学会での論文採択が期待されます。

スターシャトルの運行計画

図5に2007年度のスターシャトル運行計画を示します。本年度は、Genericプロセス3便の運行を計画しています。各シャトル便は、主要学会への論文投稿締切り期日に対し、STARCでの試作期間とユーザーでの評価期間を考慮して計画しています。5月はISSCC推奨便、8月はVLSIシンポジウム推奨便、11月はCICC/A-SSCC推奨便となっています。運行を主要学会の論文投稿締切りに合わせることで、より研究目的として使い易いものになっています。

まとめ

STARCは、シリコン検証手段として、90nmプロセスによるシャトル試作サービスを提供しています。これまでに20便以上のシャトル運行、250件以上のデザイン数という、90nmとして豊富な実績を築いてきました。また、スターシャトル活用による主要学会での発表論文数も飛躍的に伸びています。

私たちは本活動を通して、広く半導体技術の発展や産学連携に貢献して行きたいと考えています。

問い合わせ先

シャトルのご利用を計画されているお客様は、下記URLまで、是非お問い合わせ下さい。

<http://www.star.jp/starshuttle/ShuttleTop.htm>

(執筆者の小池氏は3月末で帰任しました)

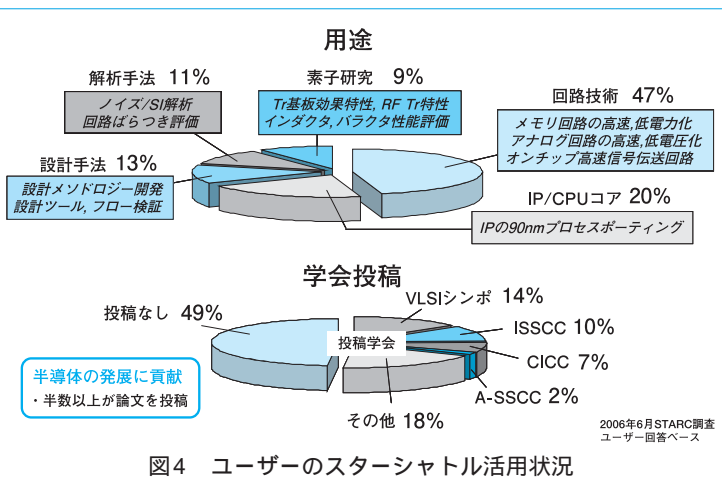


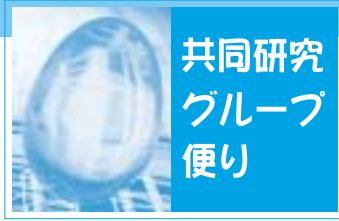
図4 ユーザーのスターシャトル活用状況

◆主要学会への論文投稿に合わせた運行

	07/4	5	6	7	8	9	10	11
スターシャトル運行計画		5月 (ISSCC)			8月 (VLSIシンポ)			11月 (CICC/A-SSCC)
() : 推奨学会 *		○			○			○
		Generic 計画中			Generic 計画中			Generic 計画中
GDS締切		(5/7)			(8/1)			(11/1)
納入予定		(8/B)			(10/E)			(08/1/E)

* 本推奨は、2007年度の投稿締切りから類推しています。実際には各学会のホームページを参照して下さい。

図5 スターシャトル運行計画 (2007年度)



共同研究
グループ
便り

保坂研究グループ

テーマ名 相変化薄膜素子の微結晶性と不揮発性多値記録特性に関する研究
研究代表者 群馬大学大学院工学研究科 教授
保坂 純男(ほさか すみお)



後列左から 吉丸上級研究員(STARC)、尹(PD)、日向野(M1)、宮地(PD)、太田(B4)、
浅井(M1)、仁井田(M2)
前列左から 中里客員研究員(三洋)、小野客員研究員主査(沖電気)、保坂教授、曾根助手
(2007年3月現在 敬称略)

研究室紹介

本研究室は、教授の保坂、助教の曾根逸人先生、ポスドクの尹友特別研究員、ポスドクの宮地晃平特別研究員、M2の仁井田大輔君、M1の日向野直也君、浅井政宏君、学部4年生の太田和也君の8名でSTARCとの共同研究を行っている。このほか、大学院後期課程(博士課程)4名、大学院前期課程(修士課程)2年生6名、1年生4名、学部生2名で構成されている。総勢、24名の研究室であり、今年は、すでに、2人の博士を送り出している。本研究室は、6年前、ナノメートル計測制御を主テーマにスタートした。しかし、計測のみの研究では、限界があると思ひ、前からの希望であるナノデバイスと計測の両輪を研究することとした。大学でのデバイス研究は、色々のところに壁があり、これらをアウトソーシングで切り抜け、必要不可欠あるいは得意とするものを研究する方針を採用

した。ナノデバイスでは相変化デバイスのほかに、原子移動を利用した原子スイッチ素子、超高密度ストレージ、バイオセンサ等を研究している。また、ナノデバイス解析のためTEM、SEM、STM、AFM、SNOM、XRD等の顕微鏡や分析手法を研究している。これらを用いて、結晶サイズ、原子配列構造、3次元構造、元素分析などを行い、デバイス研究における計測手法の必要性や解析手法等を学んでいる。この中から計測技術の課題を見出し、次世代の計測技術を研究する。このような背景と、従来から相変化記録を光記録で行ってきたという研究背景から相変化メモリの研究を始めた。研究室立ち上げ後、相変化抵抗素子のメモリ性と電流制御性の可能性を求めて研究を開始し、この見通しを得たので、相変化抵抗素子について抵抗のばらつきとサイズの関係や多値化の問題に取り組み、共同研究プロジェクトをスタートした。

STARCテーマの内容 および共同研究状況

本共同研究は、主に次の3つのテーマを中心に研究を進めている。i) アンニール温度による相変化膜の抵抗変化と結晶サイズの関係(目標微結晶サイズ: <30nm)、ii) インレンズタイプSEMによる加熱時の結晶サイズ変化の可視化技術、iii) 微結晶サイズ制御性と多値記録(目標多値記録: 4値)である。

素子構造が現状でパーティカル型であるが、解析し易いという理由からラテラル型を選び、研究を進めた。このため、色々な障害に遭遇し、大変良い経験をしている。ラテラル型では、直接加熱型素子構造を選んだ。このため、結晶層からアモルファス相への相変化の際、素子が壊れてしまうという問題が発生した。このため、ヒータ層を使用したダブルレイヤ型ラテラル素子構造を提案した。これにより、この問題は解消される見通しがついたが、消費電力が増加するなど、ラテラル型の特長が失われてしまった。これについては、今後の研究課題である。

一方、アモルファス相を加熱して結晶相に相変化する際、微結晶が発生して抵抗が小さくなる。このときの微結晶サイズと抵抗との関係をTEM、XRD、NC-AFM、SEMを用いて結晶サイズを検討した。結晶バラツキを30nm以下に抑えるためには、窒素ドーブなどの不純物ドーブ技術が必要である。これにより、結晶成長の大きさが抑えられることが分かった。また、これに伴い、抵抗値も大きく増加した(図1)。

相変化時の結晶サイズ変化の可視化(その場観察)は、誰しも興味深い研究である。当研究では、インレンズタイプのSEMを用いて観察を行うことを計画した。TEM用試料台を改良して試料台とした。これにナノ秒パルス印加して相変化を起こして、その変

客員研究員主査からのコメント

沖電気工業株式会社
SiSCシステムメモリビジネス本部 P2ROM設計部

小野 隆

半導体メモリ、とくに不揮発性メモリはフラッシュメモリの市場が拡大し、携帯音楽機器などの記憶媒体として大変身近な存在となってきたが、45nm世代以降ではそのフラッシュメモリも物理限界が見えてくるといわれています。フラッシュメモリは、微細化に伴い記憶蓄積する電子数が少なくなるので、僅かな揺らぎや漏れ電流でもデータが破壊されるため、その品質を維持するのが困難になると想定されています。そのフラッシュメモリに取って代わる次世代メモリとして期待される新メモリの1つがPRAM (Phase Change RAM)、すなわち相変化メモリです。相変化メモリは、すでにDVD-RAMで光による不揮発性記憶材料として実用化されており、結晶とアモルファスという状態遷移で記憶するという動作原理なので、微細化による物理限界を分子レベルにまで延長できる可能性を持ったメモリです。相変化材料として代表的なカルコゲナイド系合金のゲルマニウム・アンチモン・テルル (GST: GeSbTe) を加熱・冷却することで、結晶とアモルファスの相変化を起こさせて状態を記憶しますが、DVD-RAMでは加熱にレーザー光を用い、半導体メモリの場合では電流で発生する熱を利用することとなります。具体的に半導体メモリに応用した研究では多くがスルーホール中に形成した柱状の抵抗体に電流を流して発熱させ、その上部に近接配置した相変化材料を相変化させている例が多いです。加熱で結晶化すれば相変化材料の抵抗が上がり、急冷でアモルファス化すれば抵抗が下がるので、DRAMと同様の選択トランジスタと相変化材料でできた抵抗体とで1つのメモリセルを構成し、メモリセルを行列に配置してメモリセルに流れた電流から抵抗を検知する回路を集積すれば半導体メモリが実現できます。このように相変化メモリは、近い未来に実現する可能性の高いメモリですが、そのメカニズムが完全に解明されたわけではなく、またフラッシュメモリとのコスト競争を考えると多値化など一段の進歩が必要であると思われます。

保坂研究グループでは、上記のような課題に対応すべく各種の計測機器を用いて相変化材料のパラツキを低減する方策を研究し、メカニズムの考察を加えて相変化メモリの多値化への道を探ろうというものです。当初、抵抗体なしでの直接加熱で相変化を起こさせようとしたが、素子破壊により抵抗体を挿入するという軌道修正を余儀なくされました。しかし、それを契機に特許を創出することができ出願済みです。日本では研究がそれほど盛んではない相変化メモリですが、本研究での新しい試みからさらに特許を創出してもらえればと期待しています。

化を観察した。しかし、観察像から微結晶サイズを観察することは困難であった。もう少しマクロな表面の損傷などを観察することができた。加熱された際に発生する変形や微小な表面変化を観察することができた。これが、局所的な熱発生である

ならば、相変化膜では、膜幅全体に電流が流れず、局所的に加熱されることが予測される。しかし、この観察手段には色々な阻害要因があるためサイズ測定には限界があり、TEMを用いたその場観察技術の立ち上げが必要であり、さらに、これにEDSを用いた元素分析が必要である。

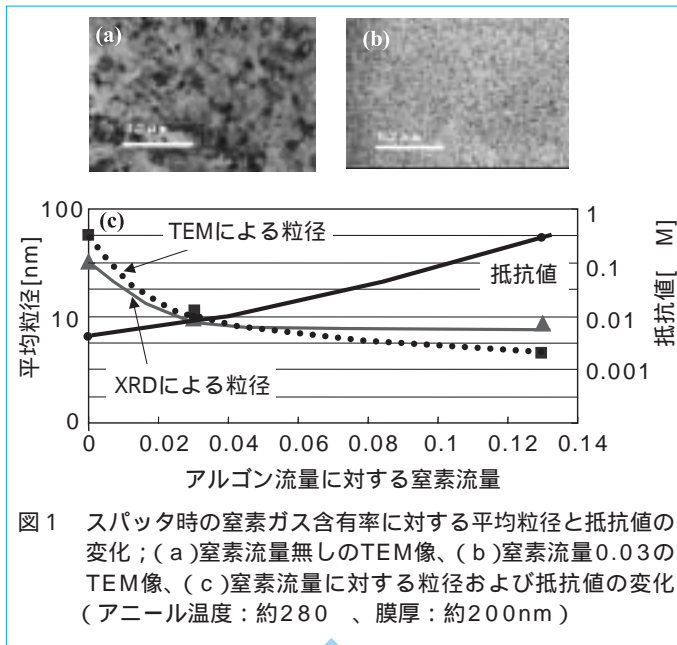


図1 スパッタ時の窒素ガス含有率に対する平均粒径と抵抗値の変化；(a)窒素流量無しのTEM像、(b)窒素流量0.03のTEM像、(c)窒素流量に対する粒径および抵抗値の変化 (アニール温度：約280℃、膜厚：約200nm)

オリジナリティを求めて

微結晶サイズを制御して多値記録を実現するためには、少なくとも、窒素ドーピング相変化膜を使用する必要がある。これには2つのパラメータを制御しなければならない。1つは窒素等のドーピング量であり、もう1つは加熱温度である。それぞれ、制御精度をより細かくしなければならず、プロセス的な限界を感じている。そこで、常々、もっとオリジナリティのある技術を開発できないか研究を行っている。これまでに、リソグラフィ技術を取り入れること、抵抗ネットワークを取り入れることにより、信頼性の高い多値記録を実現したい。このためには、加熱シミュレーション技術の導入など多くの技術開発が必要となり、現在、熱計算ソフトを用いて新しい素子の提案を行っている(図2)。以上のように、本研究グループは、とくに、STARC側の小野客員研究員(主査)、中里客員研究員、吉丸上級研究員のご助言を得て、大学内のレベルアップを図りながら常にオリジナリティを求め、楽しく、夢を追いながら研究している。これまでに、特許2件出願、1件出願中、論文4件、発表4件の外部発表を行った。

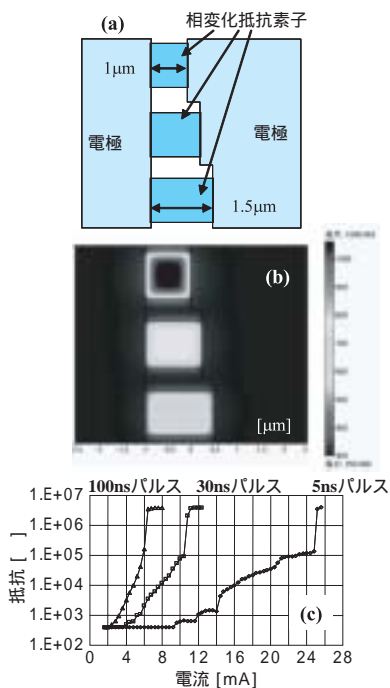


図2 マルチチャンネル相変化素子の提案と加熱シミュレーション
(a)素子構造、(b)温度上昇分布(30 ns, 4.4 mAパルス)、(c)パルス電流印加と抵抗値



共同研究
グループ
便り

島田研究グループ

テーマ名 アーキテクチャ技術による低消費電力プロセッサの研究

研究代表者 名古屋大学工学研究科電子情報システム専攻 教授

島田 俊夫(しまだ としお)



後列左から 谷口(M1)、木村(B4)、志村(M2)、間所(M2)、市川(M2)
前列左から 杉本上級研究員、小林助手、島田教授、松岡客員研究員主査(セイコーエプソン)、
早坂客員研究員(ローム) (2007年3月現在 敬称略)

研究の狙い

近年のモバイルプロセッサは、低消費電力と高性能を両立させることが要求されています。この要求を満たすアプローチの1つとして、DVFS(Dynamic Voltage and Frequency Scaling)と呼ばれる手法があります。DVFSは、バッテリー駆動時間を延ばしたいという要求が強い場合や、プロセッサの負荷が低い場合に、動作周波数と電源電圧を低下させ、消費電力を削減します。例えば、Transmeta EfficeonのLongRun2、Intel Mobile PentiumシリーズのEnhanced SpeedStep、AMD Athlon 64のCool'n'Quietなど、DVFSは広く使用されています。

しかしながらプロセス技術が進歩するにつれて、電源電圧が低下すると、サブスレッショルドリーク電流の増加や閾値電圧のパラッキ、過渡故障の増加などにより、将来のプロセス技術で

は電源電圧を下げる余地が少なくなりDVFSの有効性は減少すると予想されます。そのため、我々はプロセス技術に依存しない低消費電力技術を開発することが非常に重要であると考えました。

そこで、私達の研究室では、現在低消費電力技術として用いられているデバイスや回路レベルより上位のレベルであるアーキテクチャの構成を工夫することにより、従来の方法を越える低消費電力プロセッサを実現することを課題とし、研究を行っています。

研究グループ紹介

研究スタッフは、2007年3月現在、名古屋大学大学院工学研究科電子情報システム専攻の島田俊夫教授、小林良太郎助手、大学院生4名、学部生1名という体制です。また、STARCの上級研究員として杉本益規氏、主査として松岡弘樹氏、客員研究員として早坂

敏美氏が共同研究に参加されています。また、これまでに、STARCの上級研究員として平田雅規氏、主査として小川洋一氏に参加頂いておりました。

本研究プロジェクトは、我々が開発した低消費電力技術である、パイプラインステージ統合(PSU: Pipeline Stage Unification)を用いた研究に取り組むグループと、予測を用いた低消費電力技術の研究に取り組むグループに分かれて活動を行っています。また、各グループの成果を統合し、より効果的な低消費電力技術を生み出す研究にも取り組んでいます。

STARCテーマ内容および共同研究状況・成果紹介

本研究プロジェクトは、第1のテーマとして、PSUを用いた研究に取り組んでいます。

PSUは、我々が世界で最初に提案した新たなアーキテクチャ技術です。PSUはアーキテクチャ技術を用いて消費電力を削減し、プロセス技術に依存しないためプロセス技術が進歩してもその効果は変わらないという利点があり、将来のプロセッサの消費電力削減技術として有望です。PSUはパイプライン段数を可変にすることにより、段数の減少に応じてクロック周波数を低下させること、統合したパイプライン段間のレジスタへ供給するクロックを停止すること、パイプライン段数の削減により分岐予測ミスやキャッシュミス等のミスペナルティを減らしてプロセッサのIPC(instructions per cycle)を向上させ、目標とする性能を決められた時間で達成する場合、さらに周波数を低下できるという理由から消費電力を削減することができます。しかし、PSUには、パイプライン段数をディスクリットに変化させるため、特定の定まった性能しか実現できないという問題がありました。そこで、本研究プロジェクトでは、第1段階として、PSU

客員研究員主査からのコメント

セイコーエプソン株式会社
IC企画設計部

松岡 弘樹

島田研究グループでは、島田先生、小林先生を中心にローム、セイコーエプソンの2社から客員研究員として参加している。

近年のプロセッサは、数年前と比較し急速に処理能力が向上したが、同時に消費電力の上昇という問題を抱えてきている。熱による誤動作の防止、バッテリー駆動の時間環境保全といった面からも低消費電力技術が求められている。島田研究グループでは、プロセスの微細化、低電圧化といった手法ではなくアーキテクチャ面からのアプローチでプロセッサの低消費電力化を研究している。

研究テーマとしてパイプラインステージ統合技術(PSU)と、予測を用いたプロセッサの消費電力の削減がある。開始から約2年を経過したところであり、PSUについては、PSUとDVFSのハイブリッド、PSU単独制御機構、制御回路を開発した。予測については、スラックの利用方法の改善、コストの低いスラック予測の実現、スラック予測の高精度化、スラックを利用できる機会の増加について結果が出た。これらに関連した外部発表、発明提案なども積極的に行いさまざまな成果が現れている。

今後、研究を進める中で新たに見つけた分岐予測の課題のクリアと、PSUと分岐予測の統合による更なる低消費電力の研究の推進していく予定である。また、ソフトウェアシミュレータによる具体的な消費電力削減効果の評価、FPGAによる機能評価により現実的な実装に結びつける方針である。産業界で有効に利用できるものとして期待している。

とDVFSを併用し、任意のスループットを実現するPSUのハイブリッド制御法を研究・開発しました。

さらに、第2段階として、PSU単独で、任意のスループットを実現する制御法を研究・開発しました。

シミュレータによる評価の結果、ハイブリッド制御PSUは、目標性能が60%の場合にDVFSより19.6%消費電力を削減することが可能であり、PSU単独で制御を行えば、目標性能が高い場合に、消費電力をさらに削減できることを確認しました(図1)。また、PSU単独で制御を行うためのハードウェアを設計し、非常に低コストでPSUを制御できることを確認しました。そして、PSUの制御機構は、特許として出願を行いました。

第2のテーマとして、予測を用いて消費電力を削減する研究に取り組んでいます。現在、予測技術として、分岐命令の予測とスラックの予測に着目しています。

スラックとは、命令の実行の緊急度を示す指標で、性能に影響を与えることなく、実行を遅らせることのできるサイクル数を表します。スラックは動的に決まる値であるため、予測によって求める必要があります。そこで、

本研究プロジェクトでは、コストが低く、精度の高いスラック予測機構を開発し、特許出願を行いました。現在さらに、スラックに応じた命令の処理を行うことで、性能低下を抑制しつつ、消費電力を削減する手法の開発に取り組んでいます。

一方、分岐予測とは、分岐命令の結果を予測する技術で、プロセッサの性能を向上させるために広く使用されています。この技術を導入したプロセッサでは、分岐予測結果に基づいて後続命令を投機的に実行します。分岐予測が成功していれば性能は大きく向上しますが、失敗していれば、投機的に実行された命令が、無駄に電力を消費してしまいます。現在、分岐予測に基づく投機的実行を制御することで、消費電力を削減する手法の開発に取り組んでいます。また、この手法の開発では、プロセッサが任意のスループットを実現できるようにするため、PSUの研究で得た成果を導入することを試みています。

最後になりますが、3ヵ月ごとに遠方よりお越しいただき、共同研究の研究打合せに参加いただいておりますSTARCの上級研究員ならびに客員研究員の方々に深く感謝致します。

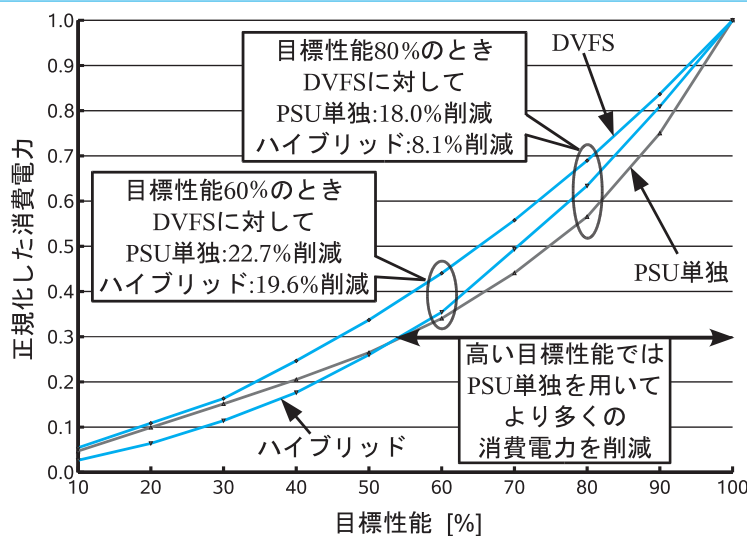


図1 PSUを用いた消費電力削減効果



共同研究
グループ
便り

佐野研究グループ

テーマ名 ミリ波ワイヤレス通信用CMOS要素回路の研究
研究代表者 北海道大学量子集積エレクトロニクス研究センター 教授
佐野 栄一(さの えいいち)



残雪のポプラ並木を背景に、
後列左から 稲船(D2)、植尾(M1)、長部(M2)、田村(M1)、大野(B4)、池田助教授、
幸谷客員研究員主査(シャープ)
前列左から 佐野教授、益子上級研究員(STARC)、池田客員研究員(セイコーエプソン)
(2007年3月現在 敬称略)

研究室紹介

北海道大学量子集積エレクトロニクス研究センターは、2001年4月に前身の量子界面エレクトロニクス研究センターを改組・拡充する形で学内共同教育研究施設として設置されました。1991年に設置された前センターでは、化合物半導体を中心としMBEおよびMOVPEによる量子ナノ構造形成、制御、電子物性の解明、単電子デバイスへの応用の研究を行ってきました。その成果をシステムレベルまで拡張するという意味で「界面」から「集積」へ衣替えしました。ただし、英語略称はともにRCIQEです。私が所属する「量子マルチメディアシステム」研究室は2001年4月にでき、私は2001年7月に企業の研究所から移ってきました。会社では、入社時の数10MHz動作のCMOS LSI(当時はnMOSが華やかな時代で、CMOSは異端児でした)から40GHz動作の化合物半導体(InP)光通信用IC、さらには電気光学サンプリングを用いたテラヘルツ(THz)信号の計測まで担当させていただき、

(成果は別にして)超広帯域なキャリアだけでは誰にも負けないと思っています。大学に移って、「量子」と「マルチメディアシステム」をいかに結びつけるのが悩みました。研究室のお題目は「量子力学を原理とする新しい情報処理」なのですが、量子コンピュータなど守備範囲がなく、新たなものを創出することは難しく、考え付いたとしても実績主義の科学研究費補助金では萌芽研究以外当らないし(この問題は正に関して最近新聞報道されていましたが)徐々に前職時の研究内容に近いものに固まってきました。最近では、半導体デバイスはすべて量子力学に基づいていると半分開き直っているところもあります(これではいけないのですが、新しいものはアングラで、が私の昔からの研究方針であり、考えていないわけではありません)。後述するSTARC研究テーマ以外には、トランジスタを含めた電磁界解析手法、W帯InP MMICの設計・評価、光励起プラズマ共鳴を利用したTHz電磁波発生(東北大学と共同)なども研究しています。私と赤澤正道准教授、

D3一名、M2三名、B4三名で研究室を構成しています。

教育面では、3年前まで工学部システム工学科と工学研究科電子情報専攻の協力分野として学生の指導をしてきました。D3の稲船君が研究室の第一期生となります。2004年4月に工学研究科から情報科学研究科が独立し、今年度からは工学部情報エレクトロニクス学科電子情報コースと情報科学研究科情報エレクトロニクス専攻の学生を教えます(同じ名称が行ったり来たり、ややこしい)。旧システムでは協力分野という立場から卒論を指導できる学生数が限られていましたので、少人数の研究室となっています。新しいコースでは、この制限がなくなりますので少しは賑やかになるかと思えます。ただし、本学の学生の約半分が道外(北海道以外の意。北海道でしか使わない?)出身者で、かつ道内にエレクトロニクス関連の会社がありませんから、研究室の卒業生は札幌から去ってしまうという寂しさがあります。

共同研究者の池田将之准教授は情報科学研究科誕生時に企業から情報科学研究科情報エレクトロニクス専攻知能システム学研究室に着任しました。画像処理など知能処理LSIの研究を中心とし、M2四名、M1四名、B4四名を指導しています。

STARC研究テーマ

これまで化合物半導体を扱ってきて、研究センターも化合物半導体を中心に研究していますが、先輩の情報科学研究科雨宮好仁先生から「シリコンもやりませんか」とSTARC共同研究を紹介されました。化合物半導体ICは先駆けるが、すぐにCMOSに市場を奪われるという構図を10Gb/s光通信用ICでも経験し(40Gb/sもそうなるでしょう)これからはミリ波もCMOSかなという気がしました。3年ほど前にUCLAの伊藤龍雄先生の研究室を訪問し「メタマテリアル」に興味を持っていましたので、これをミリ波ICに持ち込むことでおもしろいことができるのではないかと、オンチップアンテナを実現できるのではないかと意気込みで、研究テーマを提案させていただきました。そのころ、90nmを用いた60GHz超ICの発表が活発化してきま

客員研究員主査からのコメント

シャープ株式会社
電子部品事業本部A1254PT

幸谷 真人

北海道大学は、札幌のほぼ中心に位置し、工学部の窓からは広大な畑とポプラ並木を見ることが出来ます。佐野先生は、自然界には存在しない左手系構造や高インピーダンス表面を実現する「メタマテリアル」の概念を活用しオンチップアンテナやインダクタの性能を飛躍的に向上するための研究を行っています。また、池田先生はオンチップアンテナを用いた広帯域無線通信向けRFアナログ回路技術の研究に取り組んでいます。両先生によるグループは、共にほぼ本STARC共同研究の開始と同時期に発足した新しい研究室で設計・レイアウトおよび測定・評価系の環境構築まで多大な努力を重ねて現在に至ります。

一方、産業界からは次世代高速データ通信を実現する無線通信技術の開発が期待されています。中でもとくに注目されているのが、UWB (Ultra Wide Band) 通信技術です。応用分野としては、超広帯域である特徴を活かし、ハイビジョンテレビ等のAV家電製品を含む画像データ伝送の近距離無線通信が期待されています。現在、多くの半導体メーカーがUWB通信技術の開発動向に注目しています。近い将来、UWB搭載の携帯電話が登場し、移動時は携帯電話で通信しながら、低速移動時や静止時には音楽ダウンロードなどをUWBで高速に行えると面白いと思います。

STARC共同研究では、ロスの多いシリコン上に形成するアンテナ効率とRFフロントエンドの性能向上をいかに実現するかを研究の柱としています。比較的安価なCMOS 0.18 μ mプロセスを利用し、挑戦的ともいえるUWBのMB-OFDMグループ3(中心周波数7GHz帯)をターゲットに設定しました。苦労して試作したチップの測定に際し、オンチップアンテナから受信した信号を増幅・周波数変換し出力をスペアナで確認できたとき、大きな喜びと充実感を味わえたと思います。次のステップとして、測定結果とシミュレーション結果の詳細分析、およびRF回路の寄生成分を考慮した動作限界の追求や理論解析に積極的に取り組んでいただきたいと思います。

現在STARC共同研究に携わる学生メンバーは、産業界と同等の設計環境で一步進んだテーマに取り組み、RFアナログ技術開発の経験を積んでいます。雄大な大地と豊かな作物に恵まれた北海道から、産業界の最前線で活躍できる高周波アナログ回路技術者の人材が一人でも多く輩出されるよう期待しております。

したが、90nmでは試作経費もかかるなどの理由によりUWB group3-5 (7-10GHz)の周波数帯で設計技術を固め、ミリ波帯も展望することに落ち着きました。なお、当初はネットワークアナライザに替わる電気光学サンプリングの研究も含めていましたが、発散する危険性があるため計画からこの部分を削除しました。

オンチップアンテナを私の研究室で、アナログフロントエンドを池田研究室で主に担当しています。池田研究室の立ち上げ時期と重なっていましたので、設計環境の立ち上げから始め、2005年度に0.18 μ m RFオプションCMOSを用いて感触を掴むための設計・試作を行いました。チップにはLNA、ミキサ、アンテナ付きLNAなどを搭載しました。設計検証の不備(LVSがうまく動かない)や、高周波特有の寄生効果などから最初の試作は満足の行くものではありませんでした。急遽再試作を行い、完璧ではないのですが、中間報告に臨みました。この結果の一部は、昨年末米子で開かれたISPACS2007で当時M1の植尾君に発表させ、6月にはリヨンで開かれるTrans'07で池田准教授が発表予定です。ただし、アンテナには細工はしてありませんので、知恵を出すのはこれからです。下拵えはしてありますが、首尾よくいくか、これからの楽しみです。

STARCからは上級研究員として益子耕一郎さん、客員研究員として池田勝幸さん(セイコーエプソン)と幸谷真人さん(シャープ)が参画されています。アンテナ研究の経験をお持ちの池田さんは昔取った杵柄で(失礼)自らシミュレータを使われて、貴重なアドバイスや我々の誤りの指摘などをしていただいています(語り口は穏やかですが、鋭いご意見番です)。幸谷さんからはシステム全体からブレイクダウンした回路への要求、RF回路の設計方法など、会社での経験にもとづい

た貴重なご意見をいただいています。プライベートな部分では、幸谷さんの実家が札幌、益子さんと私は同世代というような関係にあって、アトホームな感じが醸し出されているのではないかと感じています。

産学連携について

私が学生のころは産学協同など白い目で見られていたと思います(私の所属していた研究室は企業の方とお付き合いさせていただいていましたが)。学問が急速に進展し、多くの科学的知見が生活に役立つようになったことが昨今の産学連携強化の声になっていると思います。門外漢ですが、とくに「生物学」がそうではないでしょうか(インパクトファクタの高い科学誌でもバイオ関係の記事が多いですね)。私たちが携っている「工学」は元来、「科学」を使えるものにするのがその趣旨です。大学だけで研究していると「実用」がなかなか見えにくい、企業の方もリスクがあって手を出しにくいような研究を大学にお願いしたいということから産学連携の意味があることはいまでもありません。

大学の大学たる所以は教育です。私は企業にいたころ、回路設計部門を担当していました。残念なことに、学生時代に回路の研究をしていた新人はほとんど入ってきませんでした。どの分野もそうかもしれませんが、先輩から後輩にいろいろな知識やノウハウが伝わることにより技術は進歩する。とくに、アナログ回路設計という分野は職人芸的、徒弟制度的なものが必要な気がしています。アナログ回路設計の入り口を経験した学生を少しでも多く送り出したいという思いで教育に携っています。STARC共同研究は、設計した回路が動いたという喜びとうまく行かなかったときの悔しさを味わえる貴重な経験を学生に与えることができる。とともに、打合せと懇親会で研究員の方々から刺激を与えられるという、極めて意義深いものになっています。この場を借りて感謝申し上げますとともに、「よく飲むグループはうまくいく」という益子さんの格言にしたがって、今後もがんばっていききたいと思います(さきほど打合せが終わり、これから懇親会です)。



図1 試作したアンテナ内蔵LNA

国際学会参加報告

Asia and South Pacific Design Automation Conference 2007 (ASP-DAC2007)

会議概要

第12回となる本年は1月23日から26日までパシフィコ横浜で行われた。テクニカルセッションは24日から26日までの3日間で131件の論文が発表された。この他3件の基調講演、University Design Contestとして18件のショートプレゼンテーションとポスター発表、Designer's Forumとして4つのセッション(Low-power SoC Technologies, High-speed Chip to Chip Signaling Solutions, Presilicon SoC HW/SW Verification, Top 10 Design Issues)、4つのSpecial Session(Design for Manufacturability, Embedded Software for Multiprocessor Systems-on-Chip, EDA Challenges for Analog/RF, Multi-Processor Platforms for Next Generation Embedded Systems)等があった。

開始時点での学会参加登録者は695名、うち国内参加者462名、海外233名で、また大学/研究機関337名、企業358名とのことである。パラレルセッションは4つ。

論文の傾向

応募は30カ国より408件あり採択率は32%である。一般講演131件のうち大学・研究機関が112.5件、企業が18.5件(*1)。国別に見るとUS 67件、台湾15件、欧州13件、中国10件、カナダ6件、韓国3.5件、インド3.5件に対し日本10.5件で国内開催にしては寂しいといわざるを得ない。おおよその内容で分類すると表1ようになる。

*1 共同発表は0.5件ずつ数えている。国別は1を国数で割って割り振っている。

ユニバーシティLSI デザインコンテスト

University Design Contestでは18件

の発表があった。こちらは日本14件、台湾4件で次のSTARC共同研究テーマの発表があった。

東工大 益研究グループ(2件)
京大 小林研究グループ(1件)

基調講演、所感等

基調講演3件はいずれも充実したものであった。初日はカーネギーメロン大学のRob A. Rutenbar教授の“Next-Generation Design and EDA Challenges: Small Physics, Big Systems, and Tall Tool-Chains”(この講演のみ資料がASP-DACのホームページで公開されている)。次世代設計の課題としてタイトルにある3点をあげ、Small Physicsに対しては回路設計者・EDA技術者のために物理的に不正確でも直感的には正しいという“Fake”Physicsによる簡単なモデルを作成することが重要、Tall Tool-Chainsに対しては1ステップのツールにとって少しくらいの改善では全体フローに

対する影響はわずかでありtime for radical ideaだと言う。Big Systemsに対しては“do it, try it, practice it”とのこと。全体に難しさをあげつらっているよりとにかく前に進もうという力強さを感じさせられた。2日目の東京大学 桜井 貴康教授の“Meeting with the Forthcoming IC Design - The Era of Power, Variability and NRE Explosion and a Bit of the Future -”はパワーやNREの問題から始めて3次元実装や有機トランジスタの話があったが、面白かったのはビデオもまじえた後半の有機トランジスタの話であり、会場でも好評で明るい雰囲気になったと感じた。私もSTARCシンポジウム等で聴いていたにもかかわらずわくわくさせられた。Special Sessionでももう少し未来志向の企画があってもよかったように思う。3日目はTSMCの設計/プラットフォーム担当副社長のFu-Chen Hsu氏による“How Foundry can Help Improve your Bottom-Line? Accuracy Matters!”。他の2つの講演では各大学の研究の紹介にはなっていない半導体技術、半導体産業に対する一般論の枠組みで語られていたのに対し、本公演はTSMCの

表1

分類	件数	備考
DFM	6	postlayout processing, lithography modeling etc.
Wire/Substrate	6	parasitic extraction, modeling, model reduction
Analog EDA	7	simulation, optimization, layout .
Digital Circuit Design	13	designed chip, system architecture
Software	9	Embedded Software, Co-verification
Layout Algorithm	11	Placement, Routing
On-chip communication	7	Bus architecture, NoC
High Level Design	10	High Level Synthesis and Design
Model Checking	6	BMC etc.
Logic Synthesis	8	Logic Synthesis, Module Generation
Statistical Design	7	SSTA, Statistical Analysis, Statistical Design
Timing Optimization	4	Retiming, Buffer resizing and Insertion
Power Supply Design	6	Power Supply analysis, Decap insertion
Low Power Design	6	Multi-Supply, Vth-control, low leakage
RunTime Power reduction	5	Dynamic Power Management
Test	9	testing, test data compression
Algorithm	2	smoothing, SAT
Analytical Modeling	3	overshooting, short circuit current, leakage current
others	6	CNT, reversible logic, asynchronous circuit etc.

現状と方針に対する紹介の印象が強い。本公演でも、また2月にあったISSCCにおけるMorris Chang氏の講演でも、TSMCがEDAも含めた設計への関与を拡大しつつあり、今後も拡大していく方針であるのは明らかなようだ。EDAを米国のツールベンダにほぼ頼っている状況を考えると、TSMCのEDAベンダに対する影響力

強化の、わが国IDMに対する間接的な影響は注意していく必要があるように思われる。

前述のように日本開催であるにもかかわらず、北米の発表件数が多い。しかしながら発表者を見ると東洋系の名前が多いとか、一方これはDACでも見られる傾向であるとか、またUSと中国等との共同発表も16件あるとかとい

うことがあり、どのように見ればよいかは不明である。しかし日本の存在感がもっと欲しいのは間違いない。国内会社がEDAツールの自主開発をあまり行っていないことが背景にあるかも分からない。大学諸氏の奮起をお願いするとともに、わが国の技術力の維持という点で企業側も考える必要があるように思う。(研究推進室 杉本益規)

国際学会参加報告 IEEE International Solid-State Circuits Conference (ISSCC2007)

はじめに

ISSCC2007は、637件の投稿に対し234件採択で採択率37%（昨年と同じ数字）と相変わらずの狭き門となった。初日の主催者見込みで、参加者は3650人から3700人と、こちらも過去最多を更新した模様である。商談の場であり、リクル-トの場であり、巨大な技術情報の交換市場である。一方で以下に示すように、北米以外からの参加者、とくに欧州とアジアから、の割合が増加しISSCCのウィンプルドン化が進行しているようにも見える。

日米の件数激減の一方、 アジアと欧州が堅調に増加！

図（ISSCC発表論文件数の地域別推移）より、1）日米企業からの件数激減、2）日本大学の横ばい、3）米大学の微減、4）アジア・欧州の堅調な増加（とくに大学）が見て取れる。日米企業からの発表が大きく減少したのは、一時的な要因もあるが、両国とも大規模SoCをベースとした半導体ビジネスモデルが主であり、年間の設計数が徐々に減少していることの影響が顕在化しつつあるとの見方もある。日

本大学の横ばい状況については次節で分析したい。

大学からの発表が半数を超えたが、日本の大学からは?!

ISSCC 54年の歴史で初めて大学からの発表が50%を超えた。私の集計では、2006年は企業からの発表が140件、大学および研究機関からの発表が115件で、大学および研究機関の割合が45% $=115/(140+115)$ であったのに対し、2007年は企業から107件、大学・研究機関から127件で、大学・研究機関の割合は54%に達した。日本・アジア・北米・欧州の地域別に見た場合に、唯一日本のみ企業からの発表が2/3を占め、他地域はすべて企業からの発表が半数を割っている。

例えばVLSI回路シンポジウムでは要素回路のコンセプトやトップデータが評価されるので、日本の大学およびSTARC共同研究プロジェクトからの発表件数は順調に増加している (http://www.starc.jp/about/news/STARCNews_No29.pdf)。一方、ISSCCはチップの完成度の評価ポイントも高い学会であり、日本の大学の置かれている状況ではニッチでない主戦場の分野でISSCCに論文を通すことはかなり厳しいといわざるを得ない。コンセプトメイキングから試作実証までの研究期間は1年では足りず、試作回数も最低2回は必要と思われるが、日本の大学の状況は、技術習得時間が短い、技術指導が十分できない、試作の機会が少ない、とないない尽くしである。

このような状況を打破するために、以下の処方箋を提案したい：

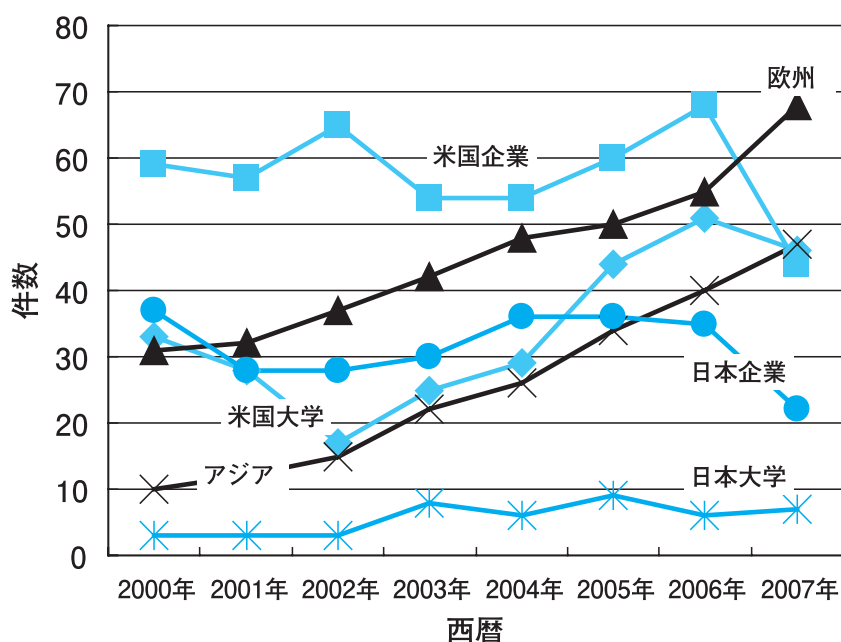


図 ISSCC発表論文件数の地域別推移

- (1) 博士課程進学に対するインセンティブを強化し、大学研究者の層を厚くする、
- (2) 半導体業界が大学をビジネスパートナーとみなし、共同研究に深くコミットする、
- (3) 大学と業界の間で技術移転や人材流動化の仲介役割を果たすベンチャー企業を育成する。

日本企業にも動きが出てきている。次節に、大学で学び鍛えられることのインセンティブを強化するべく日本企業にも現れた興味深い試みを紹介したい。

日本企業の初任給横並びにも風穴が?!

私の担当する別々のテーマの研究代表者である大学教授と客員研究員である企業研究者をお引き合わせする機会があった。その先生の研究室の修士卒業生がその企業研究者の部署に配属されている偶然に驚き、さらに驚き嬉しかったことには、その卒業生がその企業が採用した制度の第一号の適用者であるとの情報であった。その制度とは、詳細は不明だが、新卒の学生のうち高度な専門知識や技術を有する者に一般の新入社員と異なる人事処遇をするものようである。

STARC共同研究プロジェクトに参加する学生は2、3ヶ月ごとの研究打合せのために報告資料をまとめ、打合せ当日は企業からの客員研究員の無遠慮な質問に答え、次回までに宿題をこなし、と一般の学生と比較して非常に過重な負荷を与えられる。その負荷に耐え眼を見張るほど成長する学生がいる一方で、耐えられずに脱落する学生もいる。超有名大学の学生にまで蔓延している「頑張っても頑張らなくても結果は変わらない」という悪平等に浸りきった意識に風穴を開け、「頑張った」ことに報いようとするこの新制度を高く評価すると同時に、STARC共同研究プロジェクトを通じた学生の「頑張り」と獲得した能力をきっちり評価された企業の目利き能力にも敬意を表したい。

バイオメディカル分野の活況 人生を変える回路

昨年に引き続き、この分野で2セッション(セッション8: Biomedical Devices、セッションSE7: Implantable and Prosthetic Devices: Life-Changing Circuits)が構成され、いずれも会場が満員になるほどの盛況であった。とくに火曜夜8時から10時に行われたセッションSE7では、講演終了後も会場のあちこちで講演者を取り囲んでの熱い議論が続いた。講演は全4件、以下に表題と概要を記す:

"Troubleshooting the Brain: Circuits to Help Neurological Disorders"
ミネソタ州の企業からの発表である。心臓ペースメーカーの原理を応用して、脳深部に電極を埋め込み刺激を与えることによりパーキンソン病や転換の治療を行うものである。

"BIONic Neuromuscular Interfaces"
南加大からの発表である。機密性パッケージ(BION: BIONic Neuron)を埋め込み、筋肉を制御することにより、手足を動かせるようにする。BIONは、非常に苛酷な環境で数十年動作する必要があり、双方向RF通信、低雑音信号検出、高電圧刺激電圧発生、デジタル制御を行う低電力ASICを1個用いる。

"Cochlear Implant Technology - The Bionic Ear"
オーストラリアの企業からの発表である。人工内耳の移植は現在最も成功している神経インタフェースであり、すでに数万人への移植実績がある。補聴器と異なり、音を増幅するのではなく、音をデジタル処理し聴神経を直接刺激する。

"Challenges in Retinal Prosthesis"
UCサンタクルズからの発表である。加齢や病気で劣化した網膜に代えて、(例えば眼鏡に取り付ける)イメージセンサとRFでつながり直接視神経を刺激するチップを移植する。

奇しくも4件のうち2件のタイトルに「バイオニック」の言葉が使われている。かつての人気TVドラマ「バイオニック・ジェミー」や映画「ロボコ

ップ」の世界が現実化しつつある印象であり、日本の業界が鉄腕アトム型のロボットを志向しているのと対照的である。どちらも、若者の興味と情熱を引き付ける魅力ある分野といえる。

STARCのマフィア化?!

件数的には振るわなかった日本勢であるが、内容を仔細に見ると将来に向けての萌芽が伺える。

終了したSTARC共同研究プロジェクトのメンバーが就職しISSCCで発表する例、終了テーマを大学と企業の1対1の共同研究で継続発展させて発表する例、STARCプロジェクトからスピンオフしたベンチャー企業が企業と共同研究し発表する例、など「終わってからが美味しいSTARCプロジェクト」といえるような事例が増えてきている。

かつて、UCバークレイの卒業生が全米のハイテク企業に散らばり、その人脈と情報網で業界をリードし、技術のブレークスルーやベンチャー企業の創立に活躍した様子を見て「バークレイ・マフィア」と呼ばれたことがあるが、STARCプロジェクトも良い意味でマフィア化していくことが望ましいと考える。「広島マフィア」「吹田マフィア」「浜松マフィア」などと呼ばれるような卒業生ネットワークが、各企業で閉じずに開かれたネットワークとなり、日本半導体業界の機動力となることを祈念するものである。

おわりに

ISSCCもムーアの法則の呪縛から脱し、百家争鳴のコンセプト・コンテストの様相を呈してきた。「製造歩留まり」の考え方には慣れていない日本半導体業界であるから、一発必中の思想を排除し百発一中の「コンセプトの歩留まり」の考え方も取り入れていただき、ポスト・ムーア時代に備えるべきフェーズに入ったのではなからうか? まず備えるべきは、百家争鳴のニューコンセプトに対する「目利き」能力であろう。(研究推進室 益子耕一郎)

EDS Fair 2007 出展報告

STARCを中心とした企業間ネットワークでSoC設計技術の世界標準を目指す

Electronic Design & Solution Fair 2007(主催: 社団法人 電子情報技術産業協会(JEITA))が、2007年1月25、26日にパシフィコ横浜で開催され、STARCも出展しました。EDSFairは、半導体設計技術、EDA技術や電子システムに関する展示会として、米国のDAC、欧州のDATEと並んで、世界3大展示会のひとつに位置づけられています。14回目となった今回は、154社/348小間の出展があり、世界の最新テクノロジーが一堂に集結しました。

STARCでは、「STARCを中心とした企業間ネットワークでSoC設計技術の世界標準を目指す」を出展テーマに掲げて、ブース展示、出展者セミナーほかを行いました。

ブース展示

(1) パネル展示説明&PCデモ紹介

パネル展示は、「SoC設計技術標準化」「最新技術紹介」「共同研究・スタートアップ紹介」の3つのコーナーに



HiSIM2の説明を熱心に聞く来場者

エリア分けして配置。メイン通りに面した「SoC設計技術標準化コーナー」



スタートアップの説明に耳を傾ける来場者



TL設計のPCデモ説明に聞き入る来場者

では、多くの来場者が足を止めてパネル説明に見入りました。

同時にPCによるデモ紹介を行い、パネルでは説明しきれない詳細な情報を提供しました。

(2) プレゼンテーション

今回はオープンなエリアでの6つのテーマのプレゼンテーションをほぼ終日にわたり繰り返し実施しました。発表テーマによる多寡はあったものの、通路にまであふれるほどの賑わいを見せることもありました。



通路まであふれたSDQMのプレゼンテーション

(3) STARCAD-CELセミナー

システムLSIを対象としたプロセスフレンドリーな設計技術[STARCAD-CEL(One step ahead of DFM)]に関し、8つの技術テーマについて専用エリアでセミナーを行いました。パネル展示説明と併せて、ホットな情報を紹介しました。



立ち見でにぎわうSTARCAD-CELセミナー



毎年恒例の来賓視察で企画部 鬼頭部長がSTARC活動内容を説明



STARC出展者セミナー

出展者セミナー

25日午後の出展者セミナーでは、展示内容に即したテーマで紹介を行い、熱心な聴講を得ました。

その他

特設ステージでは、「半導体設計技術最新情報と動向」と題して、開発第2部の岡村部長が講演を行い、また、「本音で語る動作合成 - ここまでできる、ここができない」のパネル討論では、高位設計開発室の塩月チームリーダーがパネリストとして弁をふるいました。

STARCではこうした展示会出展活動も重要な広報手段のひとつと位置づけ、今後とも引き続き、皆様に役立つ情報発信を進めてまいります。

(企画部 岡崎秀稔)



システム/回路分野 System/Circuit Area

1. 「アーキテクチャ技術による低消費電力プロセッサの研究」
研究代表者：名古屋大学 島田 俊夫
 2. 「ミリ波ワイヤレス通信用CMOS要素回路の研究」
研究代表者：北海道大学 佐野 栄一
 3. 「極微細CMOS回路のための超高周波物理レイアウトの評価および最適設計に関する研究」
研究代表者：東京大学 藤島 実
 4. 「微細プロセスにおけるチップ内の特性変化を積極的に利用するASIC向け再構成デバイス」
研究代表者：京都大学 小林 和淑
 5. 「CMOS RF回路によるマルチバンド・マルチモード無線送受信回路の研究」
研究代表者：東京工業大学 益 一哉
 6. 「半導体EMC設計のGHz対応信号/ノイズ制御技術」
研究代表者：京都大学 和田 修己
 7. 「低電源電圧高速アナログ集積回路設計技術」
研究代表者：東京工業大学 高木 茂孝
 8. 「ワイヤレスシステム革新 RF-MEMSの研究」
研究代表者：立命館大学 鈴木 健一郎
 9. 「組込みマルチプロセッサシステムのアーキテクチャ探索手法とツール」
研究代表者：名古屋大学 高田 広章
 10. 「製造ばらつき、電源・温度変動を統一的に取り扱った静的タイミング解析技術」
研究代表者：大阪大学 橋本 昌宣
 11. 「シリコンチップ間ワイヤレス信号伝送技術の研究」
研究代表者：広島大学 吉川 公麿
 12. 「異種命令セットを同時に実行するマルチスレッディング・プロセッサの構成」
研究代表者：広島市立大学 北村 俊明
 13. 「大規模LSIの上流からのフォールスパス判定とテスト不要化合成に関する研究」
研究代表者：奈良先端科学技術大学院大学 藤原 秀雄
 14. 「低消費電力、超高速AD変換器に関する研究」
研究代表者：鹿児島大学 大島 賢一
 15. 「特性可変で広帯域無線受信システムの構成理論および実証的研究」
研究代表者：東京理科大学 兵庫 明
 16. 「ナノメータ技術を考慮した集積化アナログ回路技術の研究」
研究代表者：武蔵工業大学 堀田 正生
 17. 「高速高分解能A/D変換器の低電力設計技術に関する研究」
研究代表者：静岡大学 川人 祥二
 18. 「超低電圧動作・変調ドメイン信号処理技術を用いたアナデジ融合回路の研究」
研究代表者：広島大学 岩田 穆
 19. 「システムLSI設計教育のためのリテラシープラットフォームの構築」
研究代表者：東京大学 浅田 邦博
 20. 「テストチップの製作とその解析に基づく製造容易化設計のための新故障モデルとそのテスト・故障診断に関する研究」
研究代表者：愛媛大学 高松 雄三
 21. 「LSI製造性考慮設計に向けたばらつき要因の統計学的研究」
研究代表者：東京工業大学 中山 範明
 22. 「低消費電力型超高速無線通信システムの実現とそのコグニティブレディオ化に関する研究」
研究代表者：北海道大学 宮永 喜一
 23. 「上位設計記述に対する等価性検証ツールの開発」
研究代表者：東京大学 藤田 昌宏
 24. 「要求と変更の多様化を許容可能な組込ソフトウェア開発手法に関する研究」
研究代表者：信州大学 海谷 治彦
 25. 「超ディペンダブルプロセッサの研究」
研究代表者：東京大学 坂井 修一
1. "Low power consumption processor using architecture technology"
Toshio Shimada (Nagoya University)
 2. "CMOS RF Circuits for Millimeter-wave Communication Systems"
Eiichi Sano (Hokkaido University)
 3. "Study on Modeling and Physical Synthesis for Ultra-High-Frequency CMOS Design"
Minoru Fujishima (The University of Tokyo)
 4. "A Reconfigurable Device against Within-die Process Variations on Nanometer-scale Technologies"
Kazutoshi Kobayashi (Kyoto University)
 5. "Multiband/Multimode Wireless CMOS RF Transceiver Circuits"
Kazuya Masu (Tokyo Institute of Technology)
 6. "Signal and Noise Control above 1 GHz for Semiconductor EMC Design"
Osami Wada (Kyoto University)
 7. "Analog Integrated Circuit Design for Low-Voltage and High-Speed Applications"
Shigetaka Takagi (Tokyo Institute of Technology)
 8. "Innovation of RF-MEMS in Wireless system"
Kenichiro Suzuki (Ritsumeikan University)
 9. "Architecture Exploration Methods and Tools for Multiprocessor Embedded Systems"
Hiroaki Takada (Nagoya University)
 10. "Static timing analysis with a unified approach to manufacturing, supply voltage and temperature variation"
Masanori Hashimoto (Osaka University)
 11. "Inter-chip wireless signal transmission technology"
Takamaro Kikkawa (Hiroshima University)
 12. "Simultaneous multiple instruction sets multi-threading processor"
Toshiaki Kitamura (Hiroshima City University)
 13. "Research on test time and yield loss reduction through false path identification and its propagation from behavioral to structural representations"
Hideo Fujiwara (Nara Institute of Science and Technology)
 14. "Study on a low-power, ultra-high-speed AD converter"
Kenichi Ohhata (Kagoshima University)
 15. "A study for theory and implementation of a wide band RF receiver system with controllability"
Akira Hyogo (Tokyo University of Science)
 16. "Research on Integrated Analog Circuits Referred to Nanometer Technology"
Masao Hotta (Musashi Institute of Technology)
 17. "Low-Power Design Technology for High-Speed High-Resolution A/D Converters"
Shoji Kawahito (Shizuoka University)
 18. "Low Voltage Analog-Digital merged Circuits based on Modulation Domain Signal Processing"
Atsushi Iwata (Hiroshima University)
 19. "Development of SoC design platform for System LSI literacy education"
Kunihiro Asada (The University of Tokyo)
 20. "Study of new fault models and their applications for test and fault diagnosis on design for manufacturability -based on development and analysis of test chips-"
Yuzo Takamatsu (Ehime University)
 21. "Statistical study on LSI variation factors for the design for manufacturability"
Noriaki Nakayama (Tokyo Institute of Technology)
 22. "A Study on a Low-Power System and Cognitive Radio Design of High-Speed Wireless Communication"
Yoshikazu Miyana (Hokkaido University)
 23. "Development of formal equivalence checker for high level design descriptions"
Masahiro Fujita (The University of Tokyo)
 24. "Study of Methods for developing embedded software under frequent and various changes in requirements"
Haruhiko Kaiya (Shinshu University)
 25. "Study on Ultra Dependable Processors"
Shuichi Sakai (The University of Tokyo)

2007年度新規開始テーマ

New themes started from 2007

26. 「粒度可変構造論理セルに基づく高性能リコンフィギャラブルロジックの開発」
研究代表者：熊本大学 末吉 敏則
27. 「低電圧微細CMOSプロセス対応に向けた無線通信用低電力RF・アナログ回路要素技術の開発」
研究代表者：大阪大学 松岡 俊匡
28. 「ミックスドシグナルSoCのためのオンチップモニタ技術」
研究代表者：神戸大学 永田 真
29. 「超微細化トランジスタ・アレイに基づく耐ばらつきアナログLSI設計方式の研究」
研究代表者：北九州市立大学 中武 繁寿
30. 「高速・高精度信号解析技術に関する研究」
研究代表者：北九州市立大学 鈴木 五郎
31. 「SiP設計・実装のための三次元CAD/CAEシステム」
研究代表者：静岡大学 浅井 秀樹
32. 「CMOS人工シナプスチップの開発」
研究代表者：奈良先端科学技術大学院大学 太田 淳

26. "High Performance Reconfigurable Device Based on Variable Grain Logic Cell Architecture"
Toshinori Sueyoshi (Kumamoto University)
27. "Development of Wireless Low-Power RF Analog Circuits Compatible with Low-Voltage-Operation Small-Size CMOS Process"
Toshimasa Matsuo (Osaka University)
28. "On-Chip Monitoring Technique Targeting Mixed-Signal SoC Integration"
Makoto Nagata (Kobe University)
29. "Variation-Tolerant Analog LSI Design Methodology Based on Fine Grain Transistor-Array"
Shigetoshi Nakatake (University of Kitakyushu)
30. "Study of VLSI Signal Analysis Technology Realizing High Speed and High Accuracy"
Goro Suzuki (University of Kitakyushu)
31. "3-Dimensional CAD/CAE System for SiP Design and Packaging"
Hideki Asai (Shizuoka University)
32. "Artificial synaptic chip"
Jun Ohta (Nara Institute of Science and Technology)

プロセス/デバイス分野 Process/Device Area

1. 「相変化薄膜素子の微結晶性と不揮発性多値記録特性に関する研究」
研究代表者：群馬大学 保坂 純男
2. 「基板およびプロセス歪の非破壊高精度分布測定」
研究代表者：明治大学 小椋 厚志
3. 「次世代異種新材料複合MOSFET集積化技術」
研究代表者：東京工業大学 岩井 洋
4. 「原子レベルの材料特性を考慮した3次元量子輸送デバイスシミュレータの開発」
研究代表者：神戸大学 小川 真人
5. 「High-K材料を用いたドット系メモリの新プロセス提案」
研究代表者：奈良先端科学技術大学院大学 浦岡 行治
6. 「高機能ゲート絶縁膜を用いたフレキシブル有機トランジスタの動作特性の解明」
研究代表者：大阪府立大学 内藤 裕義
7. 「量子輸送シミュレータを用いた新構造・新材料デバイスの性能予測」
研究代表者：大阪大学 森 伸也
8. 「プラズマプロセスによるダメージ層形成メカニズムの解明と抑制技術に関する研究」
研究代表者：京都大学 江利口 浩二

1. "Nanometer-sized crystallization of a phase change material for multilevel nonvolatile memory"
Sumio Hosaka (Gunma University)
2. "Precise measurement of strain profiles induced by process and substrate"
Atsushi Ogura (Meiji University)
3. "Si, Ge High-k metal gate stack technology"
Hiroshi Iwai (Tokyo Institute of Technology)
4. "Three Dimensional Quantum Device Simulator Reflecting Material Characteristics"
Matsuto Ogawa (Kobe University)
5. "New fabrication process of dot-type memory using High-k materials"
Yukiharu Uraoka (Nara Institute of Science and Technology)
6. "A study of physical mechanisms underlying flexible organic field-effect transistors with high-dielectric-constant gate insulators"
Hiroyoshi Naito (Osaka Prefecture University)
7. "Quantum-Based Simulation for Device Exploration and Optimization"
Nobuya Mori (Osaka University)
8. "Study of mechanisms of plasma process-induced damage and its controlling techniques"
Koji Eriguchi (Kyoto University)

2007年度新規開始テーマ

9. 「抵抗変化型メモリ(RRAM)の動作メカニズム解明と集積化へ向けての材料選択の研究」
研究代表者：北海道大学 高橋 庸夫
10. 「Ge/High-kおよびGe/Metal界面の高精度評価・解析技術に関する研究」
研究代表者：東京大学 鳥海 明
11. 「HiSIM3: Layout依存性を取り込んだモデル開発」
研究代表者：広島大学 三浦 道子
12. 「直流・パルス複合低速陽電子ビームの開発と分析シャトル便による材料開発支援」
研究代表者：筑波大学 上殿 明良
13. 「選択反応法による化合物キャップ層の開発」
研究代表者：東北大学 小池 淳一
14. 「次世代高性能多機能LSIの為のハイブリッド・マテリアル技術一新結晶成長と高精度評価技術」
研究代表者：九州大学 宮尾 正信
15. 「超低誘電率層間絶縁膜形成技術に関する研究」
研究代表者：東北大学 寒川 誠二
16. 「超臨界流体を用いた超トポグラフィック・ナノCu配線形成プロセスの開発と実用化指針検討」
研究代表者：山梨大学 近藤 英一
17. 「High-k絶縁膜の高分解能コンビナトリアル放射光解析」
研究代表者：東京大学 尾嶋 正治

New themes started from 2007

9. "Investigation of the mechanism of resistance variation in RRAMs and finding new materials suitable for their large scale integration"
Yasuo Takahashi (Hokkaido University)
10. "Advanced analysis of Ge/High-k and Ge/Metal interfaces"
Akira Toriumi (The University of Tokyo)
11. "HiSIM3: Model development including layout dependencies"
Mitiko Miura-Mattausch (Hiroshima University)
12. "Development of DC/pulsed monoenergetic positron beam and R&D support using a shuttle service"
Akira Uedono (University of Tsukuba)
13. "Development of a compound cap layer with selective reaction process"
Junichi Koike (Tohoku University)
14. "Hybrid-Material Technology for High Performance and New Functional LSI"
Masanobu Miyao (Kyushu University)
15. "Study of Super Low-k Dielectric Film Formation"
Seiji Samukawa (Tohoku University)
16. "Development and feasibility study of hyper-topographic nano-scale interconnect processing using supercritical fluids"
Eiichi Kondoh (University of Yamanashi)
17. "High resolution combinatorial synchrotron radiation analysis of high-k dielectrics"
Masaharu Oshima (The University of Tokyo)

STARCフォーラム2007

「イノベーションで世界を目指すSTARCの新たな挑戦」

開催日：2007年7月6日(金)

会場：新横浜国際ホテル南館 10:00～19:15

- [プログラム]・基調講演
・招待講演
・STARC活動報告
・パネル討論
・レセプション

プログラムの詳細は、STARCホームページ[<http://www.starc.jp>]にて5月Mにご案内します。

参加費：無料(申し込みは、オンライン登録をお願いいたします。)

<http://www.starc.jp/event/reg-j.html> 受付期間は5月M～6月29日(金)

主催：株式会社 半導体理工学研究センター(STARC)

後援(予定)：経済産業省

独立行政法人 新エネルギー・産業技術総合開発機構(NEDO技術開発機構)

協賛(予定)：半導体産業研究所(SIRIJ)

株式会社 半導体先端テクノロジーズ(Selete)

お問合せ先：STARCフォーラム2007事務局 <http://www.starc.jp/forum07/>

STARCシンポジウム2007

「異分野連携で未来を創る」

開催日：2007年9月3日(月)、4日(火)

会場：千里阪急ホテル(大阪)

プログラムの詳細は、次号STARCニュースNo.33、ホームページ[<http://www.starc.jp>]でご案内します。

STARCニュース No.32

株式会社 半導体理工学研究センター

発行：下東 勝博

編集：鬼頭 公治

Semiconductor Technology Academic Research Center (STARC)

〒222-0033 神奈川県横浜市港北区新横浜3丁目17番地2 友泉新横浜ビル6階

TEL : 045-478-3300 FAX : 045-478-3310

URL : <http://www.starc.jp>