

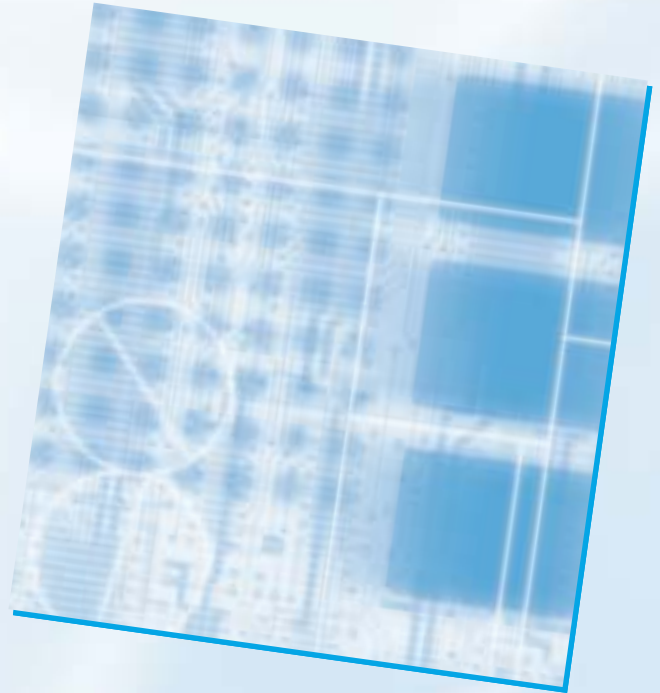
STARC ニュース

No. 31

2007年1月15日発行

株式会社 半導体理工学研究センター

Semiconductor Technology Academic Research Center (STARC)



CONTENTS

新年社長挨拶.....	2
特集 / 教育推進室	
システムLSI設計の大学教育を支援	3
特集 / Mixed Signal開発室	
アナログIPのポストレイアウト検証環境の構築	4
共同研究グループ便り	
浅井研究グループ	6
笠原研究グループ	8
近藤研究グループ	10
国際学会参加報告	
BCTM2006.....	12
ITC2006.....	13
システムLSIワークショップ	14
A-SSCC2006.....	16
ATS.....	17
IEDM2006.....	18
EDS Fair 2007出展のご案内.....	20

新年のご挨拶

代表取締役社長 & CEO

下東 勝博 (しもひがし かつひろ)



新年明けましておめでとうございます。

2007年の新春を迎え謹んで新年のご挨拶を申し上げます。昨今は、3つの意味で大変面白い時代になってきたと考えています。すなわち、「未来から発想する時代」、「設計の時代」、そして「ネットワークで闘う時代」です。「未来から発想する時代」とは何でしょうか？

ご承知のとおり、プロセス微細化がそろそろ行き詰り始めて、半導体の牽引力としてのエネルギーを失いつつあります。また、PCや携帯機器に続く大型の半導体製品の市場が非常に不透明になっています。一方で、BRICs、タイ、ベトナムなど新興市場の台頭が著しく、先進工業国の経済にさまざまな影響を与えています。このような時代には、過去のトレンドを追って外挿的に発想するという考え方から脱却し、未来から発想するという考え方へ転換しなくてはなりません。

STARCでは、まだ小さいですが、この未来からの発想を具体的に実践しているものがあります。それは、「R&Dの出口論」です。すなわち、技術開発が完了した時点を想定し、開発した結果がどう現実に生かされているかを想定して、出口から逆に計画を作っています。今後は未来からの発想をさらに増やしていきたいと思っています。

次に、「設計の時代」についてお話ししましょう。

設計技術開発を担うSTARCは、今まではどちらかというと「守り」的な仕事が多かったのですが、今年からはガンガン「攻め」たいと考えています。着目点は、「3つの界面 (Interface)」と「融合 (Fusion)」です。

まず、設計 - 製造の界面は、すでに先端コアプログラム「プロセスフレンドリ設計技術開発」として取り組んでいるDFMです。これは大きく育てていき、確実にやり遂げます。

次に、アナログ - デジタルの界面は、「Mixed Signal設計技術開発」として、小さく出発したばかりです。これも大きく育ててきたいと考えています。

さらに、システム - 設計の界面がますます重要になり

ます。マルチコア、システム業界との融合、アプリケーション・手法の開発などが課題で、これらは今年からの新しい大きな仕事だと考えています。

そしてもうひとつは、「融合」です。高度に発達した半導体の技術は、異分野との融合により、ものすごい力を発揮できるはずですが、異分野とは、「E²SH」(Energy、Environment、Safety、Health)の4つです。この分野が半導体の技術を待っていることは事実です。これに対して半導体は新しい道を切り拓いていきます。とくに、省エネ機器への寄与が重要です。

最後に「ネットワークで闘う時代」についてお話ししましょう。

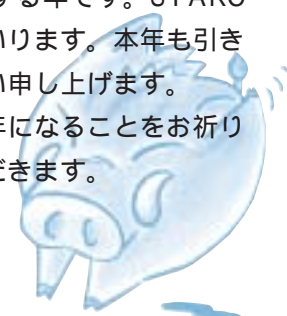
今年、半導体は還暦を迎えます。60年間蓄積された半導体技術は、すでに一人ではすべてを把握できないことは明らかです。一人でできることには限りがあります。しかし、ネットワークでできることは無限にあります。ぜひ、ネットワークを組んで闘っていきたいと思います。

そのためには、コミュニケーションの能力が必要です。日本人がネットワーキングに弱いのは、「あ(阿)」「うん(咩)」の呼吸で仕事をしているからです。しかし、グローバルに仕事をするためには、文化の違った人と交流しないとイケない。コミュニケーションの能力を磨くことが非常に大切です。

STARCの取り組みとして、官・学とのネットワークは、さらに深めて進化させていきます。また、今年から始めようとしている前述のシステム - 設計界面のアプリを中心とした仕事では、システムハウスとの連携など、新しい試みにもトライしたいと思っています。

最後になりましたが、今年は「思い」から「行動」へ移す時期、そして猪のごとく突進する年です。STARC社員一丸となって「行動」してまいります。本年も引き続き皆様のご支援とご協力をお願い申し上げます。

2007年が皆様にとってよりよき年になることをお祈りして、新年のご挨拶とさせていただきます。



システムLSI設計の大学教育を支援

研究推進部 担当部長(教育担当) 橋詰 恒雄

教育推進室 室長 加沼 安喜良

大学でのLSI設計教育は、全国レベルで見ると現在でも十分実施されているとはいいがたいが、教育推進室が活動を始めた2001年当時は、ほとんどなかったといえる状態でした。このためSTARCでは、LSI設計の講義、とくに今後重要となるシステムLSI (SoC) 設計技術を学ぶうえでのカリキュラム・教材を提供し、その講義を支援することによって大学での学びの場を全国的につくることに力を注いできました。

すなわちこの大学での教育推進活動を実現するため、教育推進室では、大学院レベルでのシステムLSI設計の専用テキスト3コース(LSI設計編、組み込みソフトウエ

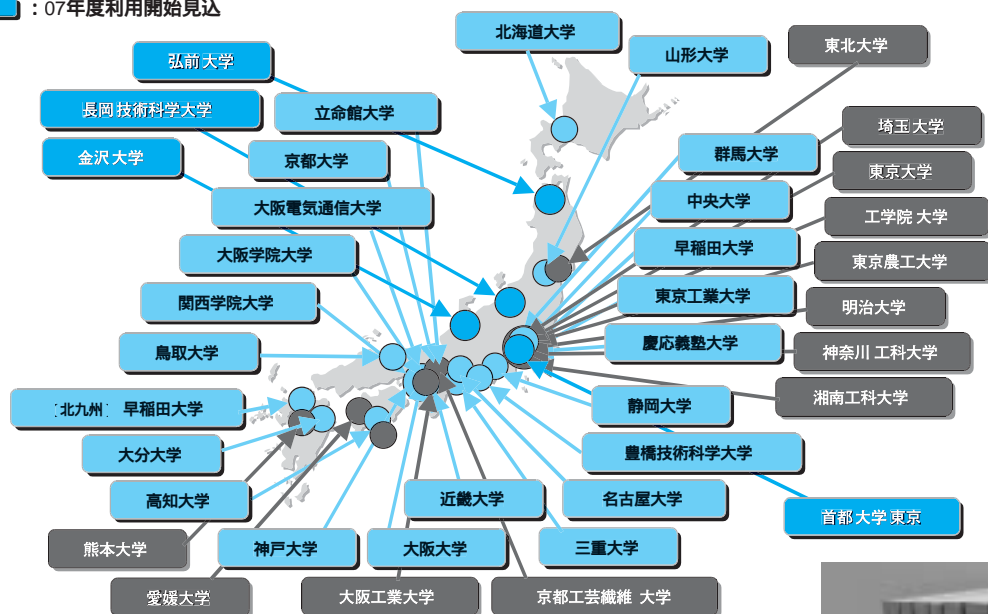
ア設計編、システム設計編)を編纂し、これに基づく講義および実習を支援することにより、2005年度までの5年間で、22大学での設計講義を実現してきました。

この活動は「あすか」として2010年度まで継続することになり、2006年度では、新たに12大学でSTARCテキストに基づく設計講義が実現しました。これにより2006年度は34大学で専用テキストに基づく設計講義が行われています。すでに2007年度では、新たに4大学での講義が計画され、現在のところ38大学での講義が見込まれています。

STARCテキスト「システムLSI設計」を利用の大学

■ : 06年度利用開始

■ : 07年度利用開始見込



講義支援にあたっては、講義テキスト(レジュメ)の無償配布や単位取得者へのSTARC修了証の発行などを行っています。2006年度の修了証発行数は、実施校の増加や受講者の増加により、1,200枚ほどの発行が予想され、累積発行枚数で4,300枚を越す見込みです。

教育内容については、毎年テキストの見直しを行い、最新技術を盛り込むべく改定に取り組んでいます。これに加え2006年度から、新たに「アルゴリズム設計」編コースと「アナログ・RF設計」編コースを開発しています。「アルゴリズム設計」編コースは2007年度での講義

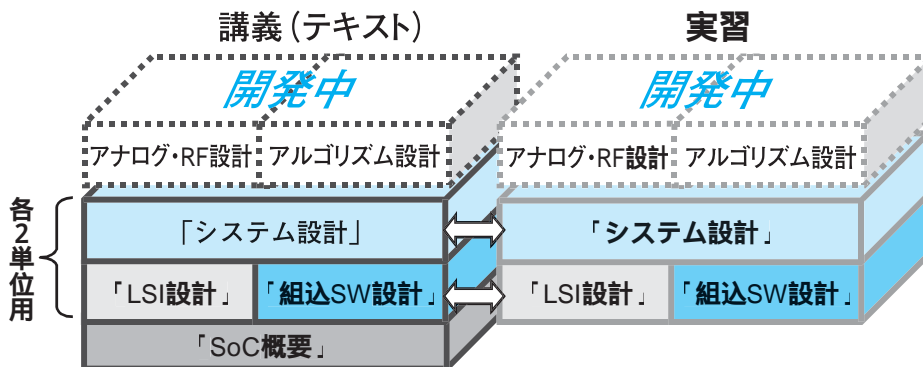
を、「アナログ・RF設計」編コースについては2008年度からの講義を計画しています。

開発中の「アルゴリズム設計」編コースは、数式モデルで検証し最適化してからトップダウンでソフト/ハードまで実装設計する過程



全コースの教材概観

テキスト「システムLSI設計」の構成



を座学 + 実習の合計15コマ（90分/コマ）で習得するコースで、C言語ベースのシステム設計以降の設計工程は「システム設計」編と共通です。応用としては信号処理、音声処理、画像処理、機械制御などが対象となりますが、最初のモチーフとして音声処理を教材としています。現在立命館大学で1回目のテストランが終了した段階です。

また「アナログ・RF設計」編コースは、とくにワイヤレス・インタフェース向けに必要とされるアナログ・RF集積回路設計を、基礎・理論と応用・実践の両面から習得するコースです。現在東大・東工大・VDECとSTARCで

協力してテキストを開発中です。実際の教育コースは、座学、実習各15コマ（90分/コマ）程度になる見込みです。



2006年11月 立命館大学でのテストラン風景

特集

Mixed Signal 開発室

アナログIPのポストレイアウト検証環境の構築

開発第2部 Mixed Signal 開発室 室長 坪井 邦彦

アナログIPがSoC上で占める面積比率は一般的に10 - 20%程度と非常に小さいにも拘わらず、90nm世代におけるアナログIPに起因するリスピンの回数は、デジタル起因のリスピンの回数と比較し同等もしくはそれ以上と伝えられています。ある分析結果によれば（図1）、アナログIPの

リスピンの原因の約50%弱が後検証精度不足であり、微細化の進展に伴い、低電圧化、高速化および高機能化が加速されCMOSアナログIPの設計がますます困難になると、この比率はさらに大きくなると予想しています。

一方、65nm、45nmと微細化が進むにつれ、TEGおよび

SoCの試作費用（マスク代およびロットコスト）は高騰し、1回の試作に1 - 2億円の費用が必要になります。微細化に伴う膨大な試作費用を考えると、アナログIPの設計困難度が今後さらに高くなりリスピンの増加は許されない状況になってきています。TEGによるアナログIP単体の開発期間およびSoCに搭載した後でアナログ性能が仕様を満たすまでの開発期間を短縮することができれば、開発費を大幅に削減できると同時に、製品を逸早く市場に投入することが可能になります。

このような背景の下に、2006年4月より、

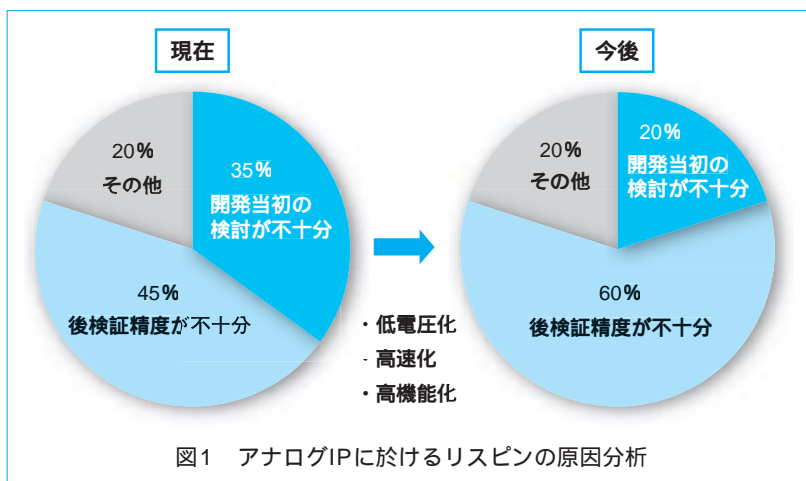


図1 アナログIPに於けるリスピンの原因分析

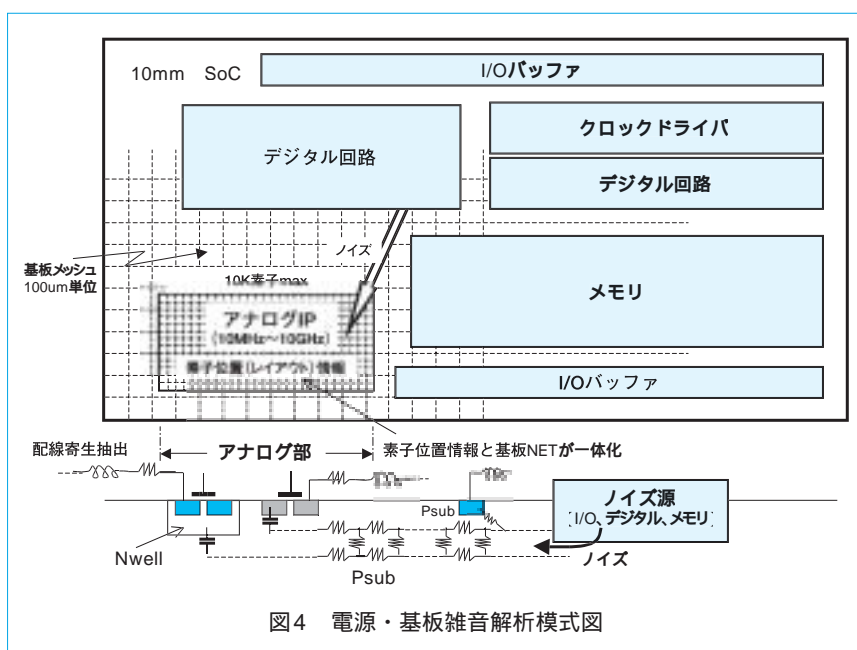
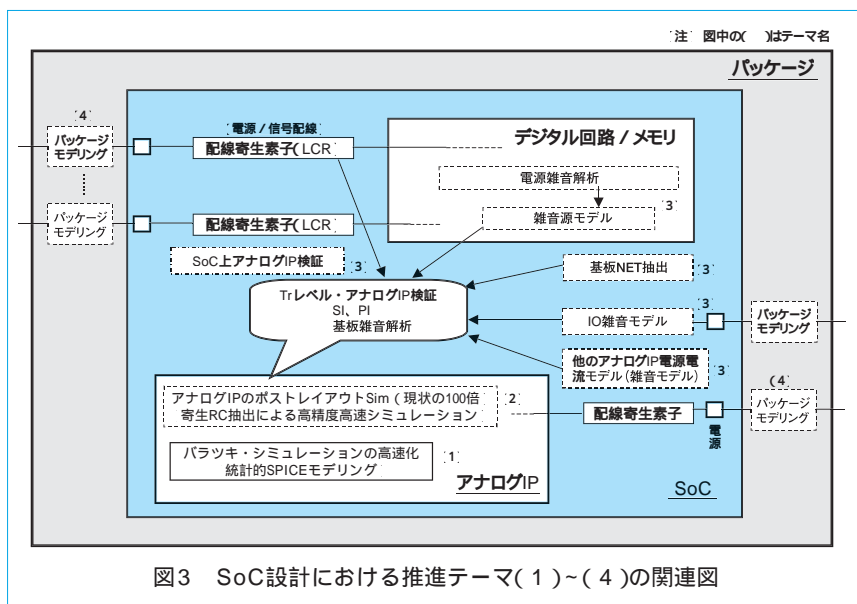
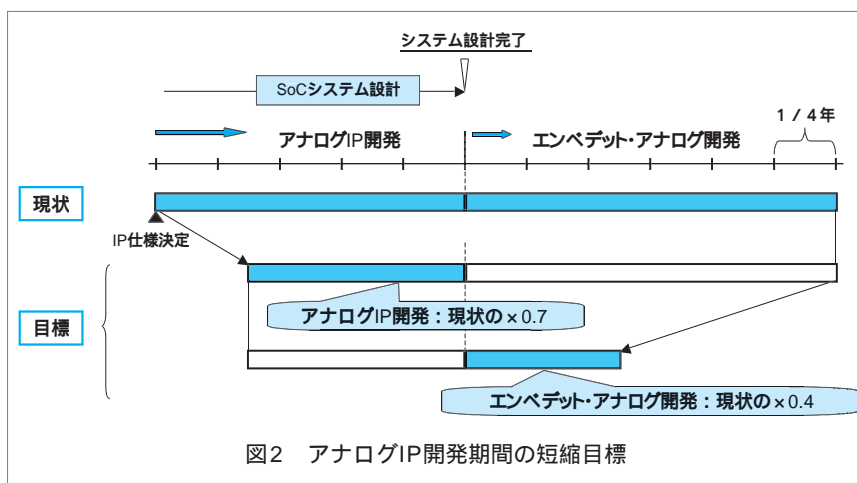
あすか 選択プログラム「Mixed Signal設計技術開発」をスタート、「アナログIPのポストレイアウト検証環境の構築」を目標に掲げ、委員会形式で参加企業7社と活動を進めています。究極の目標は「Virtual Silicon 検証環境の構築」(TEGによる性能検証が不要)ですが、2008年度末までの目標としては、「アナログIP開発期間を現状の70%に、エンベデッド・アナログ開発期間を40%に削減」を掲げています(図2)。

本プログラムでは、4つのテーマを設定しています(図3)。まず、アナログIP単体の検証精度を向上させるため、(1)シミュレーション精度向上(2)ポストレイアウトシミュレーションの高速・高精度化という2つのテーマがあります。各々、統計的SPICEモデリングによるバラツキ・シミュレーションの高速化、寄生素子も含んだアナログIP全体の回路シミュレーションの高速化(精度を維持)が目的で、これによりアナログIPの検証精度を大幅に向上させることが可能になります。さらに、SoCに搭載した状態でのアナログ性能を検証するため、(3)電源・基板雑音解析(4)パッケージモデリングという2つのテーマを設定しています。アナログIP性能に対する電源・基板雑音もしくはパッケージの影響の検証およびその対策が目的ですが、当面は(3)電源・基板雑音解析の優先順位を上げて開発を進めていく計画です。

06年度上期はテーマごとに開発計画を策定する時期でしたが、06年度下期より、いよいよ具体的な作業を開始し、評価ツールの選定、ベンチマークおよび改良仕様の策定等を進めています。とくに(2)ポストレイアウトシミュレーションの高速・高精度化については、10K素子規模のアナログIPで、精度を維持したまま現状の100倍の回路シミュレーションスピードを目指し、回路シミュレータのベンチマークおよび寄生素子抽出NETの圧縮ツールの評価を進めています。また、(3)電源・基板雑音解析については、EDAベンダーに対し基板雑音解析ツールに関する要求仕様を提示(図4)、2007年度上期にバージョンの開発を行うと同時に雑音解析ツール検証用TEGを開発、TEGの実測値との比較により

雑音解析ツールのシミュレーション精度を評価・解析していく計画です。

以上、4テーマを推進し、アナログ起因のリスピン削減により開発期間短縮および開発費低減を実現し、SoCビジネスの高収益化に寄与していきます。





浅井研究グループ

テーマ名 SoC/SiP設計のためのパワー/シグナル・インテグリティ検証統合化システム
研究代表者 静岡大学工学部システム工学科システム情報講座 教授
浅井 秀樹(あさい ひでき)



後列左から 畑佐客員研究員(ローム) 中園(M1) 海野(M2) 石川(M1) 坪井(M2) 宇津喜客員研究員(ソニー)
前列左から 横溝客員研究員主査(ルネサス) 丹治助教授(徳島大) 浅井教授、渡邊講師(静岡県立大) 益子上級研究員(STARC) (敬称略)

研究室の紹介

静岡大学は、静岡市大谷キャンパスと浜松市城北キャンパスからなっており、現在、工学部、情報学部、電子工学研究所などの部局が城北キャンパスにあります。浅井研究室は、旧光電機械工学科でスタートし、その後、学部改組により、知能情報工学科を経て、現在、システム工学科に属しています。現在、技官1名、大学院前期課程学生12名および学部生とで研究活動を進めています。STARCとの共同研究には、この他、香川大学丹治裕一助教授および静岡県立大学渡邊貴之講師との連携で構成されており、産学連携であると同時に大学間連携の場でもあります。研究代表者は、民間企業の技術アドバイザーや自ら起業の法人代表を務めるとともに、産学連携を活発に実践しています。

これまで、研究室では、電気系シミュレーション、神経回路網、アナログ回路設計の研究に從事してきました。電気系シミュレーションの研究では、

回路、伝送線路、三次元電磁界シミュレーションの基礎から実践的応用までを扱ってきました。90年代初期には、各大手企業がそれぞれのCAD開発部門を抱えていましたが、昨今では、「CADは外国から購入するもの」といった考え方が一般的で、今は昔の感があります。そのような風潮の中で、地味ではありますが、シミュレーション技術とシミュレータの開発を20年余りにわたり継続しています。

最近の数年間は、とくに回路・配線・パッケージ・PCB統合設計に向けたシミュレータの研究開発を進めています。これからの電気電子機器は、半導体技術と実装技術を融合しながら設計、製作していく必要があります。その生産性を向上させるために極めて重要となるのがシミュレーション技術です。昔と違って、半導体レベルではもちろんのことパッケージ・PCBレベルでも高密度化・高速化が著しく、これまでは不要だった多くのノイズ対策が要求されています。すなわち、セットレベルでのパワー/シグナル・インテ

グリティ(電源/信号の品質保証)が重要な課題となっています。そのためのアプローチとして、回路・配線・電磁界混合モードシミュレーション技術の開拓を模索しています。その結果として、回路設計から実装系に至る範疇の統合化シミュレーションシステムの構築を目指します。この数年間で、PCクラスタ上で実用的に稼働する3次元電磁界シミュレータも開発し、現在、大手企業の設計現場でも利用されるまでになりました。

共同研究の内容およびその成果

従来、長年にわたり、設計回路の詳細な動作検証はSpiceのような集中定数系シミュレータにより行われてきました。しかしながら、昨今の高密度実装、回路動作の高速化により、設計回路の動作検証は、LSI内外の配線形状やそれらから派生する種々の雑音を考慮して詳細になされる必要が出てきました。

本研究課題では、その延長上に、製品のEMI検証を視野に入れながら、電源/グラウンドの影響を考慮したパッケージやインターコネクトを含む回路シミュレーション技術の開発を目的としています。さらに、SoC/SiPの検証には、微細構造を意識した詳細シミュレーションと並行する形でチップ内の動作を一括して機能検証する必要性のあることから、機能ブロックのアナログ動作モデルを利用したシステムレベルシミュレータも視野に入れていきます。物理レベルの詳細検証とシステムレベルの大規模検証を統合することで、次世代の設計・実装技術への貢献を目指します。

詳細検証とは、配線構造までを考慮した3次元ソルバーを意味しています。本課題では、数千万メッシュを目標規模として、3次元解析の実現を目指しています。一方、システムレベル検証とは、モジュールのマクロモデル化技術等を利用したシミュレーションを意味します。本課題では、インターコネクトやプレーンなどの受動線形領域に対する回路縮退技法によるマクロモデルの合成等を意味します。

客員研究員主査からのコメント

株式会社ルネサステクノロジ 製品技術本部 設計技術統括部
SIP / モジュールEDA技術開発センター

横溝 剛一

半導体技術の進展は目覚しく、CPUやメモリ、アナログ回路等の各種IP (Intellectual Property) を搭載したSOC (System on a chip) と呼ばれる高機能なLSIが製品化されています。さらに、これらIPを搭載した複数のチップを同一のパッケージに実装したSiP (System in a package) と呼ばれる半導体デバイスも実用化されています。一方で、高機能化により、論理の大規模化や配線の複雑化が進み、さらに伝送されるデジタル信号の高速化により、信号や電源グランド配線の寄生素子 (抵抗、容量、インダクタンス) によるノイズの問題が顕在化しています。例えば入出力信号の同時切替ノイズや、クロックに同期した内部回路の周期的動作による電源グランド配線のノイズです。とくに電源グランド配線のノイズは信号伝送への影響のみならず、パッケージやボードの配線がアンテナとなって不要な電磁波を放射する原因となることも (EMIと呼ばれる) 問題となっています。この電源グランド配線のノイズ検証には、LSIのみならずパッケージも考慮した広範囲な解析が必要であり、抵抗成分に起因する電圧降下 (IRドロップ) のみならず、インダクタンス成分による電源変動やクロストーク、さらにインダクタンス成分と容量成分による共振現象も考慮する必要があります。一方で、LSI内の信号伝送特性解析を目的とした (SPICE等) 非線形回路シミュレータやその高速シミュレータでは、インダクタンスを含む回路では膨大な計算時間を必要とし、100~1000倍の高速化が必要となっています。すなわち、多量の抵抗、容量、インダクタンスからなる大規模受動回路 (線形回路) を超高速に解析する新しいシミュレーション手法の開発が必要となっています。この高速化が実現されると、SOCやSiPのチップとパッケージの電源グランド配線を一括して検証することが可能となります。これにより、検証精度が向上し、試作後に抽出されていたノイズ問題の事前検証実現の道が開かれます。

浅井研究グループでは、上記の課題に対応するため、大規模線形回路の高速シミュレーション技術を開発しています。従来、パッケージの配線を含む回路の解析には、伝送線路のような一部の構造を除き、計算量が膨大になる電磁界解析手法が必要でした。伝送線路の解析手法は理想的な電源とグランドがあると仮定し、電気回路に変換して解析する簡便な方法ですが、この手法は電源ノイズなどの電源やグランドの寄生素子が影響する現象の解析には適用できません。本研究では、これらの現象を効率良く解析するために、パッケージを電気回路モデルで扱え、さらに規模の2~3乗で増大する回路行列計算を不要とする高速シミュレーション手法を開発し、簡単な例題でSPICEに比べて10倍以上の高速化を達成しています。SPICEに比べた高速化効果は大規模な回路ほど大きくなります。今後、入出力機能を強化したプロトタイプを開発して、実例に近い大規模な例題を用いて高速化効果を実証していきます。今後ともクライアント各社のご支援をよろしくお願いたします。

プリント基板や配線、パッケージは、RLCGの分布定数回路としてモデル化されます。この場合、パワー/シグナル・インテグリティ検証システムの構築には、高速タイミング解析手法のエンジンとなるシミュレーションアルゴリズムの開発が不可欠です。そこで、解析エンジンに関する検討および、そのエンジンに適用可能な定式化手法の提案、さらには、アルゴリズムの性能評価に関する研究を実施してきました。主な成果は、以下のようです。

) 潜在性挿入手法 (Latency Insertion Method、以下、LIM) による配線回路網、プレーン回路網高速解析のための回路方程式の一般化として、RLCG-MNA法を構築しました。

また、この定式化が、従来のMNA (修正節点解析手法) 同様、汎用性を有することから、

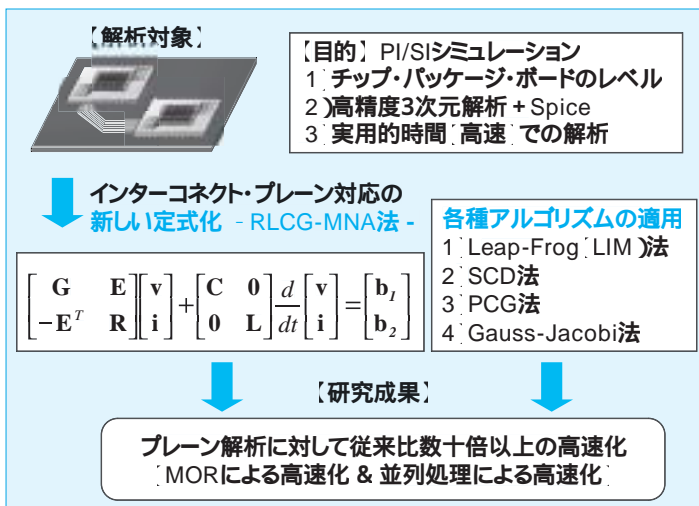
) 本手法と従来から利用されている各種数値計算手法 (LIM、SCD法、PCG法、G-J法) を用いた場合や回路縮退技法を用いた際の解析効率について検討、考察しました。さらに、

) 周波数依存効果を含んだ場合のシミュレーション技法とその並列分散処理性について検討を実施しました。

結果として、本提案定式化によれば、対象となる配線網やプレーン回路網の定式化が従来のMNAと比較して格段小さなサイズで実現可能であること、さらに、シミュレーション速度が従来方式と比較して、一桁以上の高速化が可能であることが確認されました。また、並列分散処理性が高く、高速シミュレーションに対する可能性 従来比数十倍以上 が極めて高いことが判明しました。

これらの成果は、CICC、ASP-DAC、DATE、EPEP等の国際的な場で発表するとともに実用性を高めるための次のステップに進みつつあります。現在は、エンジン部とデータ部のインターフェースを構築すると同時に協力企業から実証のための例題をいただき、本シミュレータの性能評価を実施しています。

以上の共同研究は、私を含む上述の大学教員3名と現在、在学中の大学院生並びに、研究室の博士課程修了生である久保田英正君 (現在、シャープ株) が中心となって行ってきました。また、STARCの益子耕一郎上級研究員、客員研究員の横溝剛一主査 (株) ルネサス)、宇津真真氏 (ソニー株)、畑佐晋一氏 (ローム株) の方々には、研究打ち合わせの検討会を通じて、適宜貴重なコメントをいただいております。充実した研究活動が実施できることに感謝する次第です。





共同研究
グループ
便り

笠原研究グループ

テーマ名 並列化コンパイラ協調型チップマルチプロセッサ技術

研究代表者 早稲田大学理工学術院コンピュータ・ネットワーク工学科 教授

笠原 博徳(かさはら ひろのり)



- 4列目左から 三浦(M2)、上田(M2)、鎌倉(M2)、木村(M2)、寺嶋(M2)、益浦(M1)、松平(M1)、吉田(M1)、松本(M1)、和田助手、林(B4)、村田(B4)、高木(B4)、田野(B4)、神山(B4)
- 3列目左から 田川(M2)、田中(B4)、八木(B4)、清田(B4)、坂井田(M2)、今泉(B4)、村松(B4)、峯岸(B4)、深津(M2)、山内(M2)
- 2列目左から 押山(M2)、桃園(B4)、鷹野(D1)、浅香(M1)、長山(M1)、中野(D4)、間瀬(M2)、宮本(D3)、鹿野(D1)
- 1列目左から 安川客員研究員(東芝)、枝廣客員研究員(日本電気)、木村助教授、笠原教授、高橋客員研究員主査(富士通研)、宮本技監(STARC)

(2006年12月20日現在・敬称略)

研究室現状紹介

本研究室は、教授の笠原、助教授の木村啓二、助手の白子準と和田康孝、7名の博士課程学生(2名は助手兼務)、秘書の矢島綾、19名の修士学生(修士2年8名、1年11名)、19名の学部4年生(修士進学14名、学部卒5名)の計48名で構成されています。

研究グループは、アーキテクチャ、コンパイラ、スケジューリング、アプリケーションの4つに分かれており、本プログラム研究は4グループが有機的に協力的に進めています。アーキテクチャグループは、携帯電話、ゲーム、デジタルTV、カーナビのような情報家電、自動車統合制御系からスパコンまでに使用できるコンパイラ協調型チップマルチプロセッサ・アーキテクチャ、コンパイラグループは消費電力を削減し実効性能を向上させるコンパイル技術、スケジューリンググループはコンパイラに組み込むアルゴリズムおよびその理論基盤およびヘテロ

ジニアスマルチコア用アルゴリズムの研究開発、アプリケーショングループは、MPEG2、H.264、JPEG200、MP3等のメディア処理の並列化や、電子回路シミュレーション(SPICE)の並列化等の研究を行っています。

本研究室では、本STARCプログラム研究から派生したNEDO先進ヘテロジニアス・マルチプロセッサプロジェ

クト(2004.7-2007.6)および客員研究員の宮本技監(STARC)、高橋主査(富士通研)、枝廣客員研究員(日本電気)、安川客員研究員(東芝)の皆さんとの議論をベースに開始したNEDOリアルタイム情報家電用マルチコアプロジェクト(2005.6-2008.3)等の産官学連携国家プロジェクトも平行して行うことにより、我が国の安心・安全で質の高い生活

の維持に少しでも貢献できることを目標に研究開発を行っております。

STARCテーマ 内容および 共同研究状況

本研究では、価格性能比に優れ、ハードウェア・ソフトウェアの開発期間

が短く、使いやすい(ソフトウェア生産性の高い)集積度の向上に対しスケラブルな性能向上が可能な並列化コンパイラ協調型チップ・マルチプロセッサ/アーキテクチャ技術を中心に、低消費電力制御可能自動並列化コンパイラ技術の評価、マルチメディアアプリケーションの並列化、NEC/ARM MPCore上でのコンパイラの評価等の研究を行っております。

本プログラムでは、筆者等が開発したマルチグレイン並列化機能を持った自動並列化コンパイラとの協調を可能とするOSCARチップマルチプロセッサアーキテクチャ(図1)を研究・開発しています。マルチグレイン並列化とは、

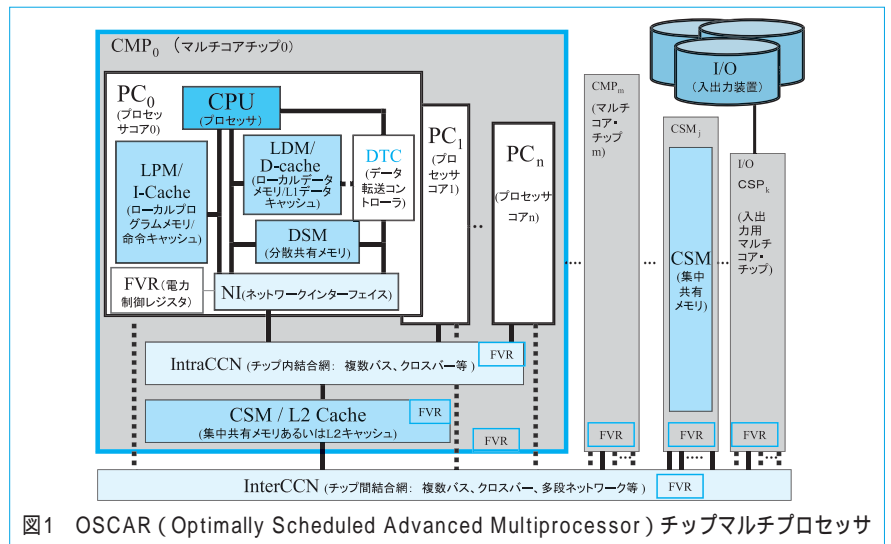


図1 OSCAR (Optimally Scheduled Advanced Multiprocessor) チップマルチプロセッサ

客員研究員主査からのコメント

株式会社 富士通研究所
システムLSI開発研究所

高橋 宏政

これまでマイクロプロセッサは、スーパースカラー方式やVLIW方式といった命令レベルの並列化とプロセステクノロジーの進歩によるクロック周波数の向上、低消費電力化によって性能向上を図ってきましたが、命令レベル並列化による性能向上はすでに限界に近づいてきており、かつ、クロック周波数の向上による性能向上も消費電力の増大のために難しくなってきたことから、最近ではマルチコア・プロセッサが注目されています。

命令レベル並列処理を超えた処理性能の向上のためには、さらに処理粒度の大きいスレッドレベルでの並列処理が必要となってきますが、複数のプロセッサ・コアにより複数のスレッドを実行する場合、コア数に応じて性能が向上しなければ意味がなく、自動並列化コンパイラの技術が重要になります。また、情報家電等民生機器への適用を考えた場合には、処理性能の向上とともに低消費電力化も重要な課題になります。

笠原研究グループでは、これまでの研究で蓄積してきた細粒度から粗粒度までの並列化が効率良くできるマルチグレイン自動並列化コンパイラをベースとして、今回、とくに低消費電力化のための最適化とその制御機構をいれたコンパイラ協調型シングルチップマルチプロセッサに関する研究を行っています。

このアーキテクチャでは、並列実行制御とともに消費電力最適化制御をコンパイラ側で行わせることによって、ハードウェアの機能を簡略化し、低消費電力化を考慮し最適に分割したコードを、1チップ内に複数個搭載された比較的単純な構造のプロセッサ・コアに対してそれぞれ割り当てます。これによって、プロセッサ・コア数に対してスケラブルな性能向上が可能になるとともに、消費電力の観点から各プロセッサ・コアへの最適な負荷分散とそれに応じたON/OFF制御、クロック周波数制御、電源電圧制御を行うことで、低消費電力化を図っています。

これまでのマルチプロセッサは、サーバー等の大型のコンピュータシステムで用いられてきたことから、その評価もSPECベンチマーク等が使われてきましたが、本グループでは民生機器への適用を目的として、マルチメディア系のアプリケーションでの評価および消費電力低減効果の評価に力を入れており、シミュレータだけではなく実際の組込みプロセッサ評価ボードを使った評価も同時に進めていることから、実際の組込みシステムへの適用が容易になるものと期待しています。

従来の命令レベル細粒度並列性（ILP）のみならず、ループ並列性、さらにはプロシージャ、ループ間等のより粒度の粗い並列性を階層的に利用する並列処理方式です。チップ内でこの方式を利用すると、集積度向上に対しスケラブルな性能向上、より高い実行効率（優れた価格性能比）が達成できます。

このOSCARマルチグレイン並列化コンパイラは、並列化プログラムをOpenMPという共有メモリマルチプロセッサ用APIで出力することにより各社のSMPサーバ上で利用でき、IBM p690 Power4 ベース24コアSMPサーバ、p5 550Q Power5+ベース8コアSMPサーバ、SUN V880 UltraSPARCIIIベース8wayサーバ、SGI ALTIX350 Itanium2 16コアCC-NUMAサーバ等各社のサーバ上で各マシン用の並列化コンパイラに比べSPEC CFP95, CFP2000で平均2～4倍以上の速度向上を達成しています。

また本プログラム研究において評価を依頼されたMPCore上でもOpenMPの5つのディレクティブを日本電気にご対応いただくことにより、短期間で、データサイズを縮小した数本のSPECプログラムに対し4コアで1コア時の平均3.5倍の速度向上を達成できました。また、OSCARチップマルチプロセッサ上でのMPEG2エンコードの自動並列化では、8コアで1コアに比べ約8倍の速度向上が得られています。

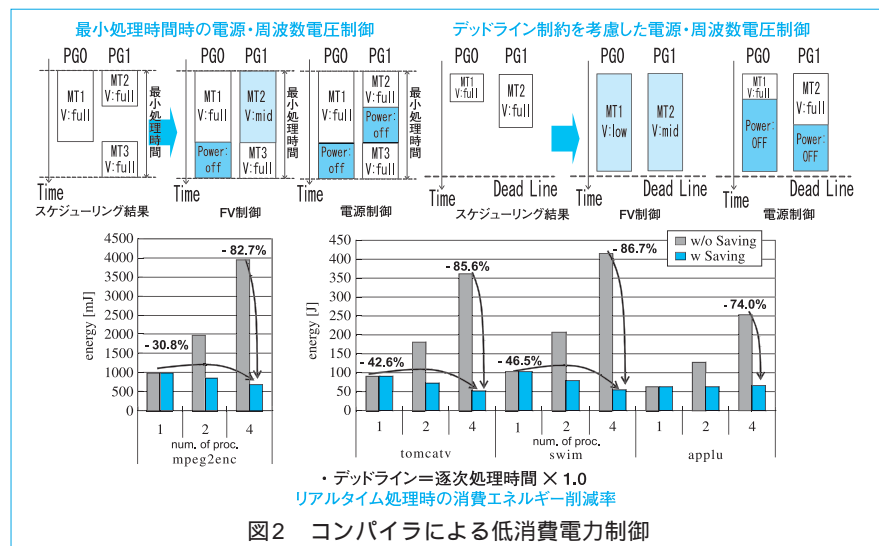
また、コンパイラによる電力制御では、図2上に示すように、最速実行お

よびリアルタイム実行モードで、プロセッサがアイドルあるいはビジーウェイト時に周波数、電圧、電源遮断を効果的に行うことにより、図2下のようにリアルタイム実行モードで、MPEG2エンコード、SPEC CFP 95などにおいて、4コア使用時の場合、消費電力制御なしに比べ80%以上の消費電力が削減できることが確かめられました。

OpenMPのようなAPIの利用により各社のSMPサーバを簡単に利用できたことから、STARCでの議論もベースに、各社の情報家電用マルチコアプロセッサをコンパイラで簡単に使用できるように、NEDOリアルタイム情報家電マルチコアプロジェクトにおいて、メモリ管理、DMA転送、消費電力制御も含めた組込みマルチコア用のAPIを策定しております。

産学連携について

本PJにおける客員研究員の皆様との技術的議論を通し、産業界のニーズの理解をはじめ、我々に欠けているところを補いまたアイデアを発展させることができ、本プログラムに大変感謝いたしております。また、本研究と平行し即戦力の人材育成を目指すSTARC寄付講座SoC設計技術を実施させていただき、これは産業界への人材供給だけでなく、SoC設計を理解した学生が研究室に加わることによる研究推進効果も大きく、この面からもSTARCと共同の研究・教育活動に加わられたことを幸せに思っております。





共同研究
グループ
便り

近藤研究グループ

テーマ名 超臨界流体を用いた新規ナノ配線形成プロセスの創製

研究代表者 山梨大学大学院 医学工学総合研究部 助教授

近藤 英一 (こんどう えいいち)



後列左から 吉丸上級研究員 (STARC)、有賀 (B4)、鶴飼 (M2)、廣瀬 (M2)、
百瀬 (東京大D2)、上嶋 (東京大B4)、田中客員研究員主査 (富士通)
前列左から 矢野客員研究員 (松下)、霜垣助教授 (東京大)、近藤助教授、杉山助教授 (東京大)、
佐藤客員研究員 (シャープ) (敬称略)

超臨界流体をCu堆積に応用

このプロジェクトでは、集積回路Cu配線形成の将来技術として超臨界流体を用いる研究を行っています。

超臨界流体とは、高圧・昇温下で物質が気液共存の臨界点を超え均一相となった状態のことをいいます。CO₂の臨界点は7.4MPa、31℃で、実現するに手ごろな圧力・温度です。本研究の

技術では、超臨界CO₂流体中に原料の有機金属錯体を溶解させ、そのまま堆積反応を進めます。超臨界CO₂流体はナノ構造内にも容易に浸透するので、原料がその内部まで輸送されます。そのため、微細なビアやトレンチを被覆・充填することができます。また、原料選択の自由度が大きい、低温成膜が可能、原料密度が気相プロセスよりもはるかに高いといったことも大きな特長です。

オリジナルな着想で

この方法を着想したのは、勤務していたIMECから帰国した1998年ごろのことで、分析メーカーのキャラバンカーで超臨界流体分析装置を見たときです。有機溶媒に金属錯体を溶かしてCu薄膜を堆積するという提案はすでにありましたが、有機金属CVDの経験も長くあったので、超臨界CO₂をキャリア媒質として用いることは私にとってごく自然な着想でした。

実際にやってみたのは、今の職場に移り自分の研究室を持ってからで、Cu堆積とビア埋め込みに成功したのは2001年のことです。まわりに話すと皆が面白いといいます。一線の研究開発から遠ざかってしまっていたので、論文など読まなかったのですが、

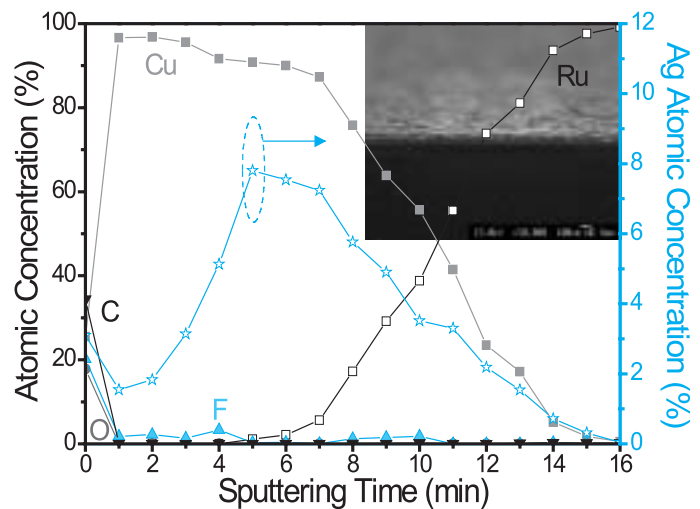
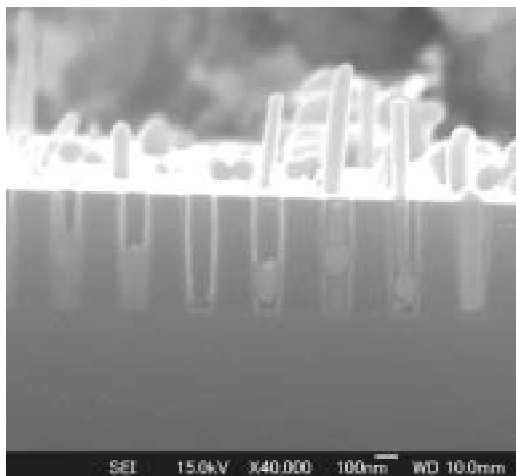


図 「形状敏感」モードで微細孔内にも堆積したCu (左) と、堆積に成功したCu-Ag薄膜のデプスプロファイル

客員研究員主査からのコメント

株式会社 富士通研究所
シリコンテクノロジー研究所 メモリデバイス研究部

田中 均

間近に迫るred brick wallを感じながら、CMOSの微細化が進んでいる。配線形成工程においては、大きなアスペクト比の微細孔に金属薄膜を確実に埋め込むことが格段に難しくなっている。超臨界流体を用いた金属膜堆積法はカーボンナノチューブの内部にまで金属原子を送り込む能力を有しており、アスペクト比の大きな細孔への埋め込みに関しては当分の間心配しなくてよい可能性を提示する。この期待のもとにSTARCの委託研究を開始した。

委託研究開始当時は、超臨界流体による洗浄技術を開発していた会社が開発中止するというニュースも入ってきて、いわば逆風の中でのスタートであった。むしろ、この状況においてはSTARCの研究テーマとする意義がますます高まったと考え直して、対応してきた。

近藤先生、霜垣先生、杉山先生、および各研究室の学生、研究員の奮闘により、他に先駆けた成果を提示することができている。最近になって、超臨界流体による洗浄技術の見直しが始まっており、結果として先行した開発となっている。

本研究では、成膜メカニズムの解明とともに、従来のパッチ式の代わりに、成膜の制御性が高まり、自由度が増すフロー式の開発を進めることができた。また、添加物効果の検証や形状感性の把握についても大きな成果が得られている。

実験結果は大学での小規模設備にて得られたものに留まっている。委託研究中、CMOS量産ラインのTEGを使っての実験を行わないと技術の見極めができないであろうとの議論も行ったが、その前段階のデータを蓄積することに集中することとした。これは材料、プロセスの研究開発につきまとう共通の課題である。3年間の委託研究により、将来の300mm設備での量産を見込んだ開発への橋渡しとなる成果を提示することができている。超臨界流体の場での金属膜の堆積過程についてはまだ未知の現象が多く残っている。超臨界流体の持つ潜在能力を半導体産業に活かす契機となる委託研究である。

ここで調べてみるとほんの数ヶ月前に米国のグループが同様の内容をScience誌に発表していました。あわてて膜質などのデータをつけて投稿したので、なんとか世界の先導的なグループとしての位置を得ることができました。その後も超高アスペクトホール of 埋め込みなどの良いデータがとれました。

結果的には追試になってしまったのですが、独自に着想・実証したのは大きな励みですし、その後のオリジナルで進歩的な研究を生み出す原動力となっています。

STARCプロジェクトの開始

幸いにも2004年度から共同研究テーマに採択され、富士通の田中均氏、シャープの佐藤雅幸氏、松下電器の樋野村徹氏・矢野尚氏らの強力な客員研究員に参加していただきました。

華々しいことは苦手な私を叱咤激励してプロジェクトを共に始動し、メンバーとして参画していただいているのは、東京大学の霜垣幸浩、杉山正和先生です。両先生は共にCVDの基礎と実際の権威で、また超臨界流体の薄膜堆積応用にいち早く着目された聡叡の方々です。

プロジェクトは山梨大と東大がテーマを分担して効率的・集中的に行っています。山梨大では、成膜パラメータを独立精密に制御できるフロー式堆積装置を開発し、成膜特性や埋め込み特性の理解をしてきました。また、高密度な超臨界流体中での凝集現象をその場エリブソメトリで確認し、細孔内だけ選択堆積する「形状敏感」堆積法を開発しました(図左)。

東大グループでは、CVDで培ってきた強力な観測・解析手段を応用、核発生や成長のその場観察手法を開発しました。ケミストリや下地の影響を学問的に検討した上、アセトン還元など新しい堆積手法を構築しました。また、

初のCu合金堆積など意欲的な取り組みを行って成果を上げました(図右)。

学生の教育の場として

大学はまず教育の場です。いま私が授けたものが活きるのはずっと先、そのときでも私はまだ大学にいます。だから責任は大きいわけです。本当は講義室のすべての学生を等しく深く育てたいのですが、とても無理な話ですから、少なくとも研究室の学生だけでも最高の技術者・研究者になって欲しいと願い指導しています。

STARCプロジェクトでは、企業第一線の方々、他大学の先生や学生の皆さんと議論させていただく機会を数多く提供いただいております。学生が研究のモチベーションを維持し、かつ実践力やキャリア意識を身につけるための本当に良い場です。

いまはインターネットで手軽にしかし表面的に情報を収集して済ませてしまう時代。書物をひもとき精読して知力を養うことは(必要なのに!)学生にも難しい状況です。その反面、知識に埋没することのない即応力が必要とされるわけで、それは若者の得意とすることだと思います。この共同研究で、企業における開発のテンポの片鱗でも体験させてあげられることはありがたいことです。

さいごに

超臨界流体中での薄膜堆積技術を原理原則から理解し新しい手法を提案するという目標は、ほぼ達成したと思います。これまでの成果は、論文9本、国際会議発表18件、国内学会発表多数、特許出願2件で、この点からも成功であったと考えております。しかし、皆さんに「役立つ」データを出す難しさも痛感しています。今後もSTARC関係者そして共に研究してくれている学生諸君に満足していただくように努力していきたいと思っています。

国際学会参加報告

第20回 BIPOLAR/BiCMOS CIRCUITS AND TECHNOLOGY MEETING (BCTM2006)

概要

今年で第20回目を迎えるBCTM2006が10月8日(火)から10月10日(木)までオランダ、マーストリヒトのMECC (Maastricht Exhibition and Congress Center)で開催されました。ショートコースが10月8日、本国際学会が10月9日から10日まででした。

本学会はバイポーラ素子とBiCMOS素子の回路とテクノロジーの学会ですが、近年は回路よりもデバイスよりの学会となっているようです。ジェネラル・チェアはデルフト工科大学のProf. John Long、テクニカル・プログラム・チェアは米国Broadcom社のDr. Yih-Feng Chyanです。参加者数は200名以上、セッション数は15(3パラレルセッション)、採択論文数は67本でその内の9本がInvitedとなっています。日本からの発表は2件です。マーストリヒトはオランダ、ドイツ、ベルギーの国境に近い非常に静かな町です。

ショートコース

ショートコースは皆さんご存知のように本学会の前日に行われる講義で、その分野の第一線の教授やエンジニアをはじめ一流の方々から分かりやすく丁寧にご指導をいただけます。今年の内容は、次のように高周波受動素子についての講義です。高周波受動素子と聞くと、真っ先に思いつくのはスパイラル・インダクタではないでしょうか？まさにその通りでこのショートコースでもさまざまなインダクタが登場しました。講義名を具体的に挙げると

1. RF Passive Devices (Including Packages) Design, Modeling and Measurements (Youri Tretiakov, RFMD)
2. RF Passive on Silicon-The Intended and the Unintended (Prof. Joachim



会場のMECC(Maastricht Exhibition and Congress Center)

Burghartz, IMS CHIPS)
 3. MEMS Beyond Silicon for Wireless Communications and Biomedical Applications (Prof. G.P.Li, UC Irvine)の3講義でこれを1日掛けて勉強します。1と2では比較的つながりのある講義で高周波インダクタと高周波キャパシタの概要、特性の測定方法、モデリング方法、各EMツールの詳細に触れます。その後に実際の集積化の方法や寄生効果、自己発熱などについてケース・スタディ的に学びます。今回は周波数特性が30GHz位までの寄生効果も考慮したモデリングが例題となりました。

最後のMEMSの講義ではRFフロントエンド・アンテナとアクチュエーターの実例紹介などが行われ、その後に生命チップ(バイオ・テック:薬の調剤とバイオ・メッド:製薬産業)のお話と科学誌サイエンスに掲載された

Micro-Parretsの概要についてVideo上映などが行われました。電子工学と医学の結びついた医療工学はイメージが沸きにくいのですが、海外で大学の授業を受けているような、非常に有益な一日となりました。

テクニカル・セッション

テクニカル・セッションでは、共通セッションとパラレル・セッションにプログラムが分かれますが、共通セッションとしては、

・ Key Note Speech:

"Heterostructure Optoelectronics: From the Beginning to the Modern Quantum Dot Structures" (Dr. Zhores Alferov)

・ Luncheon Talks:

"Photographing Mars: Photographs and Technology from the Mars Rover Mission" (Dr. Albert Theuwissen)

・ 10. Emerging Technology / New Directions (All Invited Papers)

であり、パラレル・セッションは下の表の10.以外のセッションです。

パラレル・セッションでは表にあるような分野で議論が繰り広げられました。また投稿論文数を地域別に、さらにInvited Paperもその右側に示しました。

興味深いことは、セッションによって北米と欧州で極端な投稿論文数に差が出ているものがあることです。1. RF Power Amplifiers, 4. Classic Analog, 9.

表 BCTM2006における各セッションと地域別投稿論文数など

セッション	北米	欧州	アジア	(Invited)	合計
1. RF Power Amplifiers	0	5	0	(1)	5
2. Reliability Issues in Bipolar Devices	2	3	0	(1)	5
3. SiGe Bipolar/BiCMOS platforms	2	3	0	(1)	5
4. Classic Analog	4	1	0	(0)	5
5. Model Parameter Extraction	3	2	0	(0)	5
6. Power BCD Technology	2	1	1	(1)	4
7. RF Building Blocks	2	2	0	(0)	4
8. ESD Devices	3	1	0	(0)	4
9. Device Modeling and Optimization	4	0	0	(0)	4
10. Emerging Technology / New Directions	1	3	0	(4)	4
11. RF Passive Components, Packaging, and Test	1	4	0	(0)	5
12. High-Speed/High-Frequency Circuits	4	0	0	(1)	4
13. SiGe HBT Optimization and Passives	2	3	0	(0)	5
14. RF Systems and ESD	1	2	1	(0)	4
15. Advanced Modeling	2	1	1	(0)	4
合計	33	31	3	(9)	67

Device Modeling and Optimization, 11. RF Passive Components, 12. High-Speed/High-Frequency Circuits,などがそれにあたります。携帯電話からも想像できるように欧州はやはり高周波に強く、また北米では古典的アナログ回路やモデリングなど実用的なところの研究が多いことがわかります。アジアでは3件中2件が日本企業なのですが全体からみると5%にも達していません。一方、モデリングに関しては、5. Model Parameter Extraction, 9. Device Modeling and Optimization, 15. Advanced Modeling,と計13件の論文が発表されています。これは全体の19%にも相当して技術として重要視されているといえるでしょう。

一方、次の論文はさまざまなアナロ



マーストリヒト駅

グ回路で驚異的な特性を実現しているMAXIMからの発表です。発表のストーリーも明快で高周波回路を設計するにあたり、このような点に注意すべきだと丁寧に説明されました。使われている回路は非常にシンプルなものですが、熟考されたもので、今後の手本としたいものです。

12_4) A LOW POWER 12.5Gb/s SiGe

LIMITING AMPLIFIER USING A FEED-FORWARD ADJUSTABLE THRESHOLD LOSS-OF-SIGNAL DETECTOR

おわりに

学会全般にいえることですが、セッションとセッションの間の休憩時間を有効に使うと以外と充実したものとなります。BCTMでも休憩時間や会議後に盛んに議論が行われていました。またアドレスも開示されているので、帰国後でもメールベースで意思の疎通が可能です。技術的な意見交換は内容を問わずWelcomeで、学会や会合を通して友人が増えていくのも楽しいものです。皆さんも学会に参加してみませんか？（標準化推進室 稲垣亮介）

国際学会参加報告

International Test Conference 2006 (ITC2006)

はじめに

米国カリフォルニア州Santa Claraで、10月22日から27日まで「International Test Conference 2006 (ITC2006)」が開催された。ITCはテスト技術に関する世界最大の国際会議であり、毎年100件を超える論文発表があり世界各国のエンジニア、研究者が参加する。今回は、前回の2,000名を大幅に上回る3,000名以上の参加があり、往年の盛況を彷彿とさせる賑わいを見せた。従来ITCは大手LSIテスター・メーカーが本拠地を置いた米国東海岸でずっと開催されてきた。それが昨年は中南部のAustinで開催され、今年はロッキー山脈を越えて西海岸にやってきた。ITCがシリコンバレーで開催されるのは、今回が初めてである。ITCでは、毎年、論文発表の3日間を中心に約1週間を「ITC Testweek」と呼び、さまざまなイベントを開催している。今年は10月22日と23日に合計16件のチュートリアルが開催されたのを皮切りに、メイン

となる10月24日～26日には、33セッション105件の論文発表、4件のレクチャ・シリーズ、7件のパネル、34件の企業プレゼンテーション、90社以上の展示会、約20件のテスト関連のミーティングが開催された。そして10月26日と27日には3件の併設ワークショップと特設フォーラムまで、多くのテスト技術関連行事が集中して催された。

今年のテーマである「Getting More out of Test」は、テスト分野と他の分野の境界領域も含めた議論が広がり始めていることを踏まえ、設計・製造・テストをすべて視野に入れて、全体としてプラス方向のサイクルをうまく動かすことの重要性が認識されてきたことを表わしている。

テクニカルセッション

昨年に引き続き、テスト・コスト削減だけでなく、歩留り向上への貢献がテストの重大な役割として意識されてきている。なかでも、テスト時の消費電力やIR-Dropの問題によるオーバ



会場となったサンタクララ・コンベンションセンター（米国カリフォルニア州）

ー・キルなどの対策として、テスト時の電力削減への注目が高まっている。スキャン・テストなどにおいては通常動作に比べて動作する回路がチップのより広い範囲に広がっている場合があり、消費電力対策が必須となっている。とくに遅延テストでは高速に二つのキャプチャ・クロックを入力するために、キャプチャ時の電力対策が重要となってきている。

今回はテスト時の消費電力関係で3件の講演があった。この中で目を引いたのは、米University of Iowaと米Mentor Graphics Corp.、米Purdue Universityの共同発表である（講演番号32.2）。キャプチャ時の電力対策を盛り込んだATPG（Automatic Test Pattern Generator）アルゴリズムを発表した。回路内の信号変化確率を事前に算出し、ATPGが生成するテストパ

ターンの中のドント・ケア・ビットを利用して、消費電力を低減させる。実回路での削減効果を確認した。

また、独Universitat Stuttgartと独IBM Deutschland GmbHは共同で、CELLプロセサのテスト時の低電力対策を発表した（講演番号32.3）。「STUMPS」と呼ぶスキャン・ベースのロジックBIST(Built-In Self Test)を使用し、スキャン・チェーンごとに動作を止めるようにして、電力削減を図った。

ロジック・テスト関連では、故障診断関連の論文発表が4セッションあった点が注目される。また、遅延テスト技術とテスト・データ圧縮技術がそれぞれ3セッションと、引き続き大きな興味の対象となっている。これらの論文の多くは実用を意識したものであり、現場で役立つ技術に関心が集まっていることの表れである。

とくに故障診断関連では、高い圧縮率と故障診断を両立する技術に関する講演が複数あった。その一つは、米Stanford UniversityとUniversity of Illinoisの共同発表である（論文番号8.2）。この講演では、不良となったフリップフロップを特定できるシグネチャ

解析器：MISR (multi input signature register)が発表された。これは、従来型のMISRが扱えなかったチップ内部に生じる不定値(X)が発生しても圧縮できるものである。この回路を米Intel Corp.のチップに実装し、その効果を確認した。

また、米Mentor Graphics Corp.は、従来型のMISRを使った場合にも故障診断できる新しいアルゴリズムを発表した(論文番号8.3)。MISRの結果をパターンごとに読み出すことによって、スキャン・モードで実行していた故障診断と同等の診断分解能を持つことを示した。

STARC関連の発表状況

STARCからは2件の遅延テスト関連の発表を行った。一つは、「A Framework of High-Quality Transition-Fault ATPG for Scan Circuits」というタイトルで(論文番号2.1)、九州工業大学とSTARCの共同研究の成果である。微小遅延を検出できる、遅延量を考慮した遅延故障モデルによるテスト手法を九州工業大学から報告した。もう一件は、「Recognition of Sensitized Longest

Paths in Transition-Delay Test」(論文番号11.1)というタイトルで、微小遅延故障テストの品質を評価する「統計的遅延品質モデル：SDQM (Statistical Delay Quality Model)」の計算手法の高速化を報告した。今回の手法では実回路規模のデータで評価を行い、計算精度をほとんど損ねずに約50倍の高速化を実現した。

おわりに

上記以外では、「テストに関する質問と回答：テストの第一人者たちと、ここだけの話」と題する23日夕の特別パネルが面白かった。200名が入る会場は立ち見が出るほどの混雑で、パネリストと会場の参加者との白熱したやり取りが行われた。「微小遅延のテスト」、「テストの標準化」、「市場不良ゼロ」等の興味深い内容について議論され、今後のテスト技術課題が浮き彫りにされた有意義なパネルであった。

次回は「Facing Nanometer-Technology Test Challenges」というテーマで、2007年10月23日～25日に、今回と同じSanta Claraで開催される。

(テスト&故障解析開発室 相京隆)

学会参加報告

第10回システムLSIワークショップ

はじめに

システムLSIワークショップに参加した。本ワークショップは電子情報通信学会集積回路研究専門委員会(ICD)が主催するもので当社も協力をしている。

第1回の開催が1996年であるから今年は第10回にあたり、「システムLSIのイノベーション - 飛躍の10年へ - 」と題して、過去10年を振り返り、今後の半導体産業への期待を語るのが今回の大会テーマである。会場は第7回以降小倉駅近くの北九州国際会議場で開

催されている。

日程は11月27日(月)、28日(火)、29日(水)の3日間であった。1日目は東工大 益先生のチュートリアルで始まり、13:00に開会、NECの佐々木会長の基調講演、東北大の舩岡先生、UCSDのKahng先生の特別招待講演のあと2件の招待講演があった。2日目は4件の招待講演、ポスターセッション、STARC企画セッション、イブニングパネル、3日目は11月28日から11月30日に同じ会議場で開催されているデザインガイア2006との共催で5件の招待講演があり、昼に閉会した。参加



者は例年なみの281名であったとのことである。

主な講演概要

佐々木会長の基調講演は「システムLSIの進化とそれを支える技術」と題したもので過去10年の主な革新技術と今後の半導体技術の進歩への貢献を期待できる革新技術の候補を紹介し、今後も革新技術で微細化は継続し高度な情報インフラ、情報インターフェースの

実現に向けて半導体の役割は次のステージに進むと結論づけられておられた。特別招待講演の東北大学 舛岡先生は東芝時代のフラッシュメモリの発明で有名であるが、「夢を実現するシリコン集積回路」という題で講演され、フラッシュメモリの開発経緯について、また現在夢をかけておられるSurrounding Gate Transistorについて熱っぽく語られた。半導体不況の暗い雰囲気を吹き飛ばすかの趣があった。もう1件の特別招待講演は、いわゆるDFMの分野で現在もっとも活躍されている先生のひとりであるUC San DiegoのAndrew Kahng先生の“Challenge of Future System LSI”であった。内容の中心はKahng先生が以前より提案されているポストレイアウトのDFM手法、Electrical DFM、セルベースOPC等であったが、ばらつき、信頼性の問題等unreliable siliconを前提としなければならない145nm以降のシステム設計では何が必要になるかについてもまとめておられ興味深いお話であった。これは唯一の英語の講演である。

STARC企画セッション

本ワークショップでは2001年の第5回から2時間枠のSTARC企画セッションを行っている。本年は大会テーマにふさわしい3件のご講演をお願いした。半導体産業研究所の前口所長には「日本半導体産業の10年先を見据えて」という題で講演いただいた。過去10年の対応の失敗と現状の分析から、今後のわが国の半導体産業課題としてアプリケーションの多様化と融合に向けたビジネス・製品イノベーション力の向上、設備投資額巨大化に伴う事業リスクに対応した新市場の創出、拡大しつつあるBRICs市場を目指したグローバル化推進、人材育成等があるとのことであった。東京大学 浅田先生のご講演「LSI設計強化の日本型モデル構築に向けて」は、人材不足に対する徹底した設計自動化の推進や海外人材の活用等のご提案のほか、LSI分野の魅力回復のための産からの強いテコ入れや国際化拠点形成のための先端ファウン

ドリの海外開放等半導体産業またSTARCへの厳しい注文を含むものであった。3件目は当社の札抜企画部長の「コラボレーションによる価値創造 - STARCにおける産官学連携 - 」であった。LSI設計の大きな変化から生じた必要性和IT技術の革新による環境の変化からコラボレーションが重要であることを説明し、産官学のコラボレーションのSTARCでのさまざまな取り組みを紹介し、イノベーションに対する今後のSTARCの役割の重要性を強調するものであった。



ポスターセッション

28日にはポスターセッションがあり、学生中心の34件の発表があった。STARCとの共同研究テーマも4件あった(阪大 橋本先生グループ、神戸大 吉本先生グループ、神戸大 永田先生グループ、東工大 益先生グループ)。中から最優秀ポスター賞等3件が選ばれ、最終日に表彰されたが、STARC共同研究テーマである神戸大 永田先生のグループの以下の発表が見事、IEEEシステムLSI技術賞を受賞した。「アナログ回路のオンチップ動作診断技術」橋田拓志、野口宏一朗、永田真
2001年にSTARC企画セッションを開始したときは一つにはSTARCという会社や活動を広く知らしめるという目的があったと想像するが、ポスターセッションをはじめ、随所でSTARC活動が大きく定着していることを意識させられたワークショップであった。

おわりに

今回は2007年11月19日から21日まで会場は同じ北九州国際会議場において開催される予定である。

本文で触れなかった招待講演のタイトルと講演者は次の通りである。

- 「通信応用からみたアナログ回路：これまでの技術の流れと今後の課題」板倉 哲朗(東芝)
 - 「混載メモリ - 混載メモリの展望と3つのイノベーション課題 - 」日高 秀人(ルネサス)
 - 「センサとは何か ウェブを越えるそのインパクト」矢野 和男(日立)
 - 「有機トランジスタ集積回路技術の新展開」染谷 隆夫(東大)
 - 「携帯電話向けSOC「SH-Mobile G1」の開発」川崎 郁也(ルネサス)
 - 「ソフトウェア無線機実現への課題とRF-CMOS技術の役割」荒木 純道(東工大)
 - 「超高速・低消費電力を実現する製造後調整技術」高橋 栄一(産総研)
 - 「低消費電力SoCの垂直統合研究事例 - H.264ベースラインプロファイル動き検出プロセッサコアIP - 」吉本 雅彦(神戸大)
 - 「組み込みソフトウェアの形式検証の現状と課題」青木 利晃(北陸先端大)
 - 「ディペンダブルVLSI」福本 聡(首都大)
 - 「システムLSIとリコンフィギャラブルデバイス」末吉 敏則(熊本大)
- (敬称略)

デザインガイア2006

また、11月28日(火)から11月30日(木)までは同じ場所でデザインガイア2006(情処学会SLDM、電通学会VLD等複数研究会の共催)が開催されていた。こちらでは以下のSTARC共同研究テーマの発表があった。

- ・早大 笠原先生グループ 2件
 - ・広島市大 北村先生グループ 2件(奈良先端大 中島先生)
 - ・東大 中村先生グループ 2件
 - ・熊本大 末吉先生グループ 3件(広島市大 弘中先生)
 - ・ポスター発表 2件
早大 笠原先生グループ
熊本大 末吉先生グループ(広島市大 弘中先生) (敬称略)
- (研究推進室 杉本益規)

国際学会参加報告

2006 IEEE Asian Solid-State Circuits Conference (A-SSCC2006)

2006 IEEE Asian Solid-State Circuits Conference (A-SSCC2006)は、中国の杭州市において11/13～15に開催された。

A-SSCCは、ISSCC、CICC、VLSI Symposiumについて、IEEEのSolid-State Circuits Society (SSCS)のFull Sponsorshipによって開催される4番目の国際会議である。歴史的には、1999年に韓国ソウルにおいて第1回目が開催されたAP-ASIC (Asia-Pacific Conference on ASIC)が母体となっている。この会議は、済州(2000年)、台

北(02年)、福岡(04年)と回を重ねるごとに、アジア地域 (IEEE Region10)での回路分野の国際会議として徐々に規模拡大とレベル向上を果たした。その結果、SSCSのFull SponsorshipのConferenceとして、A-SSCCという名称で発展的に新規発足し、2005年に第1回が台北で開催された。今回の会議は第2回目の開催にあたる。

今年の会議では、107件の論文が17のセッションに分かれて発表された。これ以外に、4件のプレナリ講演、2つのパネルセッション、学生の

Design Contest展示などが2日間にわたって行われた。初日にはTutorial講演が行われた。会議の事前登録参加者は241名(中国38%、日本34%、韓国14%、米国11%、台湾4%)とのこと。

投稿論文は332件、採択は107件、採択率は32%であった。国別の発表件数比較を図1に示す。台湾32、日本23、韓国17、米国16、中国12となっており、今回はオーラル発表1件だけであった中国が躍

進している。しかし、採択率を国別に見ると、台湾46%、日本61%、韓国53%、米国59%に対して中国は9%と低く、中国が開催国の威信に駆けて数多くの論文を投稿したことが覗える。中国を除くと50%以上という採択率の数字からも分かるように、発表論文の内容は玉石混交であり、アジア中心の会議としてまだまだ発展途上の段階にあるといつてよい。

発表機関別(採択2件以上)の一覧を表1に示す。日本からは、東大4、東工大3、東北大3、ルネサス3、東芝2と続き、1件は福岡工大、神戸大、群馬大、富士通研、NEC、シャープ、ザイン、日立であった。件数上位の東大、東工大は採択率も100%と立派な成績であったが、日本からの発表全体を見ると、筆者が顔見知りの研究グループばかりであり、日本でのLSI研究者層の裾野が依然として広がっていない、ことを実感させられた。

プレナリ講演では、初日に、SMICのR.R.Chang氏が中国の半導体産業の現状と挑戦を、韓国ETRIのSoo-Yung Oh氏がIT SOCと題してユビキタス社会へ向けた国家レベルでの取り組みを述べた。Chang氏は、半導体分野でもLocalizationの結果、世界最大市場を持つ中国へのFab移行が今後も進むと、更なる発展への自信を示した。Oh氏は、韓国のIT839戦略(2004-05年)の下で行われたWiBro、DMB、RFID、DTVなどの技術開発と、現在進行中のu-IT839戦略(06-10年)でのソフトウェアへの取り組みなどについて述べた。

第2日目は、東芝の古山氏がDeep Sub-100nmへむけた設計の課題を、台湾MediaTechのMing-Kai Tsai氏が無線とデジタル分野でのコンシューマ向けSoCについて、それぞれ講演を行った。

パネル討論は、"Future Digital Link"と"Software Defined Radio; How to realize soft and flexible RF and baseband circuits?"をテーマに平行で行われた。

筆者は前者のパネルを聞いた。CMOSとして40Gbpsまでの技術要素はすでにある程度できておりさらに先は光との融合へ移るので、伝送距離と伝送速度の兼ね合いでどこに大きなマーケットがあるのか、それにどうフォーカスするかが課題との認識で多くのパネリストが一致していた。技術チャレンジとしては、キャリアレーション、異なる方式への対応、チャンネルモデリングなどが指摘された。

今回の会議の特徴として、"How to

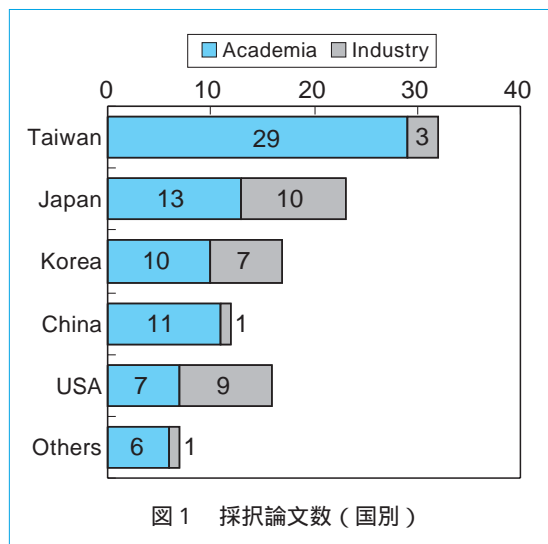


表1 採択論文数(筆頭者の所属機関別)

機関	国	採択	投稿	採択率
National Taiwan Univ	台	8	11	73
National ChiaoTung Univ	台	8	15	53
KAIST	韓	5	7	71
University of Tokyo	日	4	4	100
Intel	米	4	5	80
National Cheng Kung Univ	台	4	7	57
Tsinghua Univ	台	4	18	22
Fudan Univ	中	4	25	16
Tokyo Institute of Technology	日	3	3	100
ITRI	台	3	4	75
Renesas Technology	日	3	4	75
Hynix Semiconductor	韓	3	5	60
Tohoku Univ	日	3	5	60
National Chung Cheng Univ	台	3	6	50
Samsung	韓	3	6	50
Seoul National Univ	韓	2	2	100
UCB	米	2	2	100
KU Leuven	ベ	2	3	67
Toshiba	日	2	4	50
IBM	米	2	5	40

write a winning ISSCC paper" と題した特別のTalkがあり、多くの若い研究者を集めていた。論文の準備から書き方まで一通り分かりやすい説明が行われた。もし日本で行うときには、査読者にアピールする英文の書き方についても分かりやすく事例を引いて説明する場を設けると有益であろうと感じた。

もう一つの特徴は、Student Design Contestを並行して行ったことである。採択論文の中で優秀な学生の論文を予

め10編選び、通常の講演発表を行う以外に、パネル展示を実施した。展示においては、機材を持ち込んだ動展示も行えるようにしたため、中国への機材持出し等で展示者は大きな苦勞をしたようだ。10件の中で投票により優秀論文が3件選ばれたが、第1位に伊藤雄作君(東工大・益研)の "A 0.98 to 6.6GHz Tunable Wideband VCO in a 180nm CMOS Technology for Reconfigurable Radio Transceiver" が

選出され表彰された。選出された3名の学生は、来年2月のISSCC2007へ招待され、発表機会が与えられることである。なお、伊藤君の発表は、STARCとの共同研究(益研グループ)の研究成果である。

A-SSCCの今後の開催は、2007年は11/12-14に韓国・済州にて、2008年は11/3-5に福岡にて、それぞれ予定されている。

(研究推進部 今村健)

国際学会参加報告

第15回 Asian Test Symposium (ATS)

はじめに

第15回アジアテストシンポジウム(ATSS2006: Asian Test Symposium 2006)が、11月20日から11月23日まで、福岡市の福岡ソフトリサーチパーク・センタービルで開催された。

ATSはアジアで開催される唯一のLSIテスト技術全般に関する学会である。1992年の第1回(広島)以来、中国、インド、台湾、シンガポールなどアジア各地を巡って毎年開催されている。ただし、参加者はアジアに限らず、欧米からの参加も多い。

4回目の日本開催となるATSS2006には、160名弱(約半数が海外から)が参加し、2件のチュートリアル、3件の基調/招待講演、63件の通常論文発表(3パラレルで21セッション)、7件の企業論文発表、1件のパネル討論などが行われた。また、11月23、24日には併設イベントとして第7回レジスタ転送レベル及びハイレベルテストに関するワークショップ(WRTL2006: Workshop on RTL and High Level Testing 2006)も開催された。

テクニカルセッション

オープニングセッションでは基調講演と招待講演が行われた。

基調講演では、Advantest社のRoddy

氏が「The Future of Semiconductor Testing」と題して、テスト技術の推移および今後の動向について述べた。パートナーシップおよびオープンアーキテクチャの重要性を示した後、課題として、高速I/O、RF、不良品ゼロ、データ管理などを挙げた。最後には大学助成による研究開発の加速の必要性を指摘した。

招待講演では、九州大の安浦教授が「Silicon Sea-Belt Fukuoka Project」と題して、シリコンシーベルトの中核都市である福岡における種々の活動について紹介した。1枚のレポートが福岡システムLSI総合開発センターの建設に至った経緯の紹介などに全聴衆が耳を傾けた。

今回は2日目にも基調講演が行われ、Purdue大のPomeranz教授が「To Overtest Or Not To Overtest - More Questions Than Answers」と題して、過度なテストによる歩留り損失について述べた。とくにスキャンを利用したディレイテストにおける問題点を指摘し、その回避の可能性を論じるとともに、更なる議論の必要性を強調した。

引き続き行われた企業セッションでは、日本の4社、米国の2社に加えてマレーシアからも1社が参加し、ミニプレゼンテーションおよびポスター展示により実用技術の紹介を行った。



一方、パネル討論では、「Practical Needs & Wants for Silicon Debug and Diagnosis」と題して、シリコンデバッグと故障診断の現場での問題とその対策課題に関して議論が行われた。これは今年のITC(International Test Conference)に併設されたSDD2006(3rd Workshop on Silicon Debug & Diagnosis)と連携したパネルで、新しい試みであったがまずは成功を収めた。

通常論文発表では、故障診断関連の発表が3セッションあり注目を集めた。とくにオープン故障や抵抗性のブリッジ故障を検出するテストパターンの作成手法、量産テストでの故障診断等に関する報告が多く、この分野の重要性が感じられた。テストデータ圧縮関連では、最近のホットトピックスであるテスト時の電力・ノイズの問題を反映して、消費電力を考慮した手法が目についた。また、ディレイテストのセッションでは3件の発表のすべてがSTARCの前プロジェクトの成果であった点は特筆に価する。

その他のイベント

今年も例年どおり、テクニカルセッションに先立って、11月20日にTTEP(Test Technology Education Program、

IEEE Computer Society)の一環として、2件のチュートリアルが開講された。前半はIntel社のPatil氏からディレイテストに関して、後半はMagma社のAdams氏からメモリテストに関して、それぞれ半日の講義が実施され、各20名程度が熱心に聴講した。

今回の目玉のひとつは相撲ツアー。ちょうど同時期に福岡国際センターで開催中の大相撲九州場所に、参加者の大多数一部は家族同伴が乗り込んだ。最上部の椅子席からの観戦ではあったが、海外からの参加者の多くは、初めて目にする大きな力士たちの俊敏な動きに驚くとともに、近くで観戦していた地元の幼稚園児たちがひいきの力士のしこ名を呼んで声援する様子を見て



目を丸くしていた。また、引き続き催されたバンケットでは、伝統芸能の博多金獅子太鼓が披露され、迫力あふれる熱演に会場は大いに盛り上がった。

WRTL2006

併設ワークショップのWRTL2006は、安浦教授の講演にもあった、福岡システムLSI総合開発センターに会場を移して開催された。参加者は50名強でこちらも過去最高を記録、招待講演に続いて21件の論文発表が行われた。

元々は名前のとおりハイレベルでのテストに関する研究発表がメインのワークショップであるが、現在では、トピックスがSoCテストや検証まで含めた広い範囲に拡大されている。今回は招待講演をはじめ、低電力テストの発表がかなり目立った。

招待講演では、LIRMM(フランス)のLandrault氏が低電力テストに関する課題等について述べた。現状ではad hocな手法で対策しているが、今後はシステムティックな取り組みが必要であり、より深い調査・検討が望まれ

ること。中でもメモリの低電力テストを強調していた点が注目される。

論文発表については、ワークショップということもありアイデアレベルのものが多かったが、発表途中で会場から質問が出るなど、活発な議論が行われた。

おわりに

今回のATS2006を総括すると、以下の2点が挙げられる。(a)他の学会同様、歩留り向上への貢献を意図して、故障診断関連の発表、また、テストの信頼性を高める意味からも微小ディレイのテストの発表に関する関心が高かった。(b)TC等と比べると論文の質にバラツキが大きい点は否めないが、中には全く見劣りのしないものもあった。欧米からの発表が増加している点も考えると、テスト分野での主要学会のひとつとしての位置づけが確実にようになってきた。

なお、次回のATS2007/WRTL2007は2007年10月9日~13日に中国の北京で開催される。

(テスト&故障解析開発室 畠山一実)

国際学会参加報告

International Erector Device Meeting 2006 (IEDM 2006)

はじめに

12月11日から13日の3日間にわたり、米国・サンフランシスコでIEDM 2006が開催された。その前の週から雨のシーズンに入ったとのこともあり、珍しく天候には恵まれず、IEDM期間中はほとんど晴れ間が見えなかった。

IEDMでのセッション数は38(Evening Panel Discussionを含む)発表論文数は233(Late News含む)と、それぞれ昨年の44、243に比較し若干減少しているが、ほぼ例年並みと考えることができる。参加者数は、昨年の1,800名程度から逆に増加しており、2,000人を超える程度の参加があったもよう。

今回のIEDMでは、ここ数年の議論の傾向と異なるものが感じられた。ここ数年は、“More than Moore”という言葉とともに、従来のLSIの微細化・高速化に対する懸念が語られていたが、今回は、CMOSをいかにエンハンスするかという従来の議論に戻ったように感じられた。今回のIEDMでは、45nmプラットフォームプロセス発表が相次いでおり、同時により洗練された32nm以後に向けた将来プロセスが多く発表されている。今後の微細化・高速化に、ある程度めどがついたため、議論の傾向が変化しつつあるのかもしれない。ただし、“More than Moore”の例として、MEMSやディスプレイ関連の発表が増加し、IEDMの中で存

在感を示しているのも事実である。

日本の大学からの発表は7件と例年並みの件数。STARC共同研究関連では、東京大学鳥海教授(今年度3月終了テーマ)からの発表があった。以下、学会での論文発表件数推移および学会トピックに関し報告する。

論文発表件数推移

図1から、図3に、1996年よりの国・地域別のIEDMでの論文発表件数推移を示す。図1は論文総件数を、図2は企業(大学以外)よりの論文発表件数を、図3は大学よりの論文発表件数を示している。米国、日本、アジア、欧州と分類しているが、論文総数で見ると、今年は、一昨年、昨年と同様であり、大きな変化はない。日本からの発表件数は1996年の88件から減少傾向にあったが、ここ3年間は、ほぼ一定であり、今年は53件であった(大学/企業=7/46)。

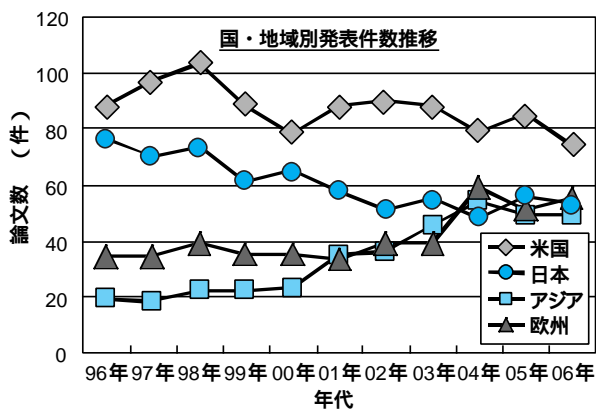


図1 国・地域別の論文発表件数推移

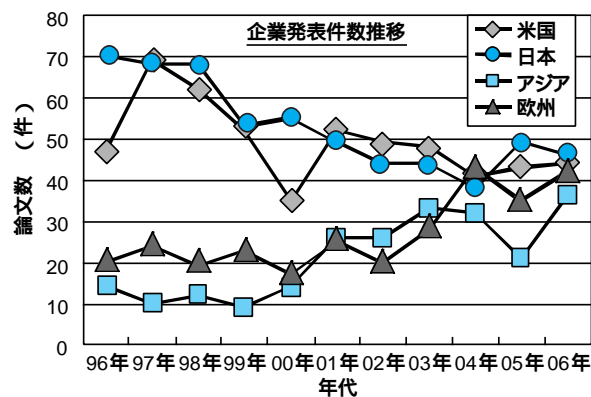


図2 企業論文発表件数の国・地域別推移

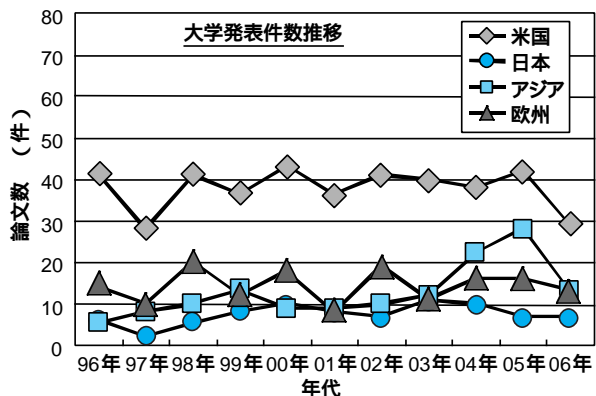


図3 大学論文発表件数の国・地域別推移

今年は、米国、アジア、欧州とも、大学からの発表が減少している。今年の大学発表論文件数は、米国29件、日本7件、アジア12件（韓国（1）、台湾（2）、シンガポール（5））、欧州13件であった。一方、昨年は、米国42件、日本（7件）アジア28件（韓国（10件）台湾（8件）シンガポール（8件））。とくに、アジアでは、昨年の28件の発表から、今年は、12件と、半分以上に減少している。韓国は昨年の10件から1件へ（韓国企業よりの発表は、逆に、10件から20件へ増加）、台湾は8件から2件へ減少。理由は不明である。ア

ジアの大学よりの論文は、2005年に大幅に増加しており、2年連続は、難しいということかもしれない。ただ、シンガポールには活力が感じられた。論文数は昨年の8件から5件と減少はしているが、内容は毎年向上しており、若い研究者（学生かもしれない）が登壇し、生き生きと最先端プロセス関連の研究発表を行っていた。

CMOS関連技術としては、Metalゲート関連、High-k関連、および歪みSi関連の発表が、依然多い。各々、単独の発表というよりは、組み合わせでの発表が多数を占めるようになってきている。High-kはMetalゲートと同時に実際の製造プロセスに組み入れられると思われるが、その準備は整いつつあると感じた。後は、45nm以降のどの世代からという話になる。歪みSiは、すでに実際のデバイスに導入済みの技術であるが、CMOS高速化のメインプロセスとして、より洗練された、より効果的のプロセスが提案されつつあると感じた。また、昨年のIEDMでは、CMOSプラットフォームとして、65nmプロセスの話題が主であったが、今年は“Integrated Circuits and Manufacturing - Advanced CMOS and Platform Technology”のセッションはすべて45nmプロセスの話題であった。これまで問題とされていたプロセスバラツキの問題も含め、45nmプロセスのプロダクションのための主要な課題が、順次解決されつつあると感じられた。

メモリー技術としては、今年も不揮

発性メモリーに関する話題が多くみられた。NANDフラッシュに関するセッションでは、全7件中、5件を韓国の三星が発表していた。また、昨年から設けられた、MONOS系メモリーと抵抗変化型メモリーに関するセッションは、今年も設けられており、各々“Solid-State and Nanoelectronic Devices - SONOS and Charge-Trapping Memories”、“Solid-State and Nanoelectronic Devices - Resistive Switching Memories”と題され、聴衆を多く集めていた。

学会トピック

STARC関連の発表としては、東京大学鳥海先生のから“Novel Approach to CMOS Inversion Layer Mobility Characterization with Advanced Split C-V and Hall Factor Analyses”と題する発表があり好評を博していた。今年3月に終了した研究テーマ「超薄ゲート絶縁膜MIS（FET）の評価技術および物理モデル構築の研究」からの発表である。

STARC関連の発表としては、東京大学鳥海先生のから“Novel Approach to CMOS Inversion Layer Mobility Characterization with Advanced Split C-V and Hall Factor Analyses”と題する発表があり好評を博していた。今年3月に終了した研究テーマ「超薄ゲート絶縁膜MIS（FET）の評価技術および物理モデル構築の研究」からの発表である。

まとめ

今回のIEDMでは、大学からの発表が減っている。日本は昨年と同じ7件であったが、米国およびアジア諸国の大学からの論文が、各々10件以上減っている。大学に比べ、企業での研究開発が活性化した1年であったのかもしれない。ただ、その中でもシンガポールからの発表が目立った。国別の論文総数では10件で、12件の台湾と遜色のない発表数であった。また、シンガポールも大学からの発表は、昨年の8件から5件と減ってはいるが、国別の大学発表論文数では、米国、日本に次ぎ、第3位となっている。また、若い登壇者が多く、生き生きと質疑にも答えていたのが印象的であり、若い研究者の活性化という面で参考にすべきではないかと感じた。大学でのSi-LSI、とくに先端プロセス関連の研究活性化には、シンガポールのように、民間、国の両方のサポートが、重要かもしれない。

（研究推進室 吉丸正樹）

EDS Fair 2007 出展のご案内

(Electronic Design and Solution Fair 2007)

「STARCを中心とした企業間ネットワークで SoC設計技術の世界標準を目指す」

開催日時：2007年1月25日(木)・26日(金) 10:00～18:00

会場：パシフィコ横浜(展示ホール、アネックスホール)

SoC設計技術の世界標準を目指して、STARCを中心とする企業間ネットワークでの取組みと、あすかプロジェクトでの最新技術成果を、パネル展示とデモ紹介、ブース内セミナーでご紹介します。

【SoC設計技術標準化】

企業間ネットワークで拡大するSTARC設計技術標準

- ・IP機能検証ガイド
- ・RTLスタイルガイドとSTARC認定SoC設計技能検定試験
- ・トランジスタモデルHiSIM2の実用化
- ・IEEE標準STIL活用ガイド

スターシャトルの実績と進化する設計環境

- ・90nm技術によるシリコン検証手段の提供
- ・新開発の設計デザインキット

【大学共同研究・教育】

大学との共同研究、LSI設計教育



【最新技術紹介】

STARCAD-CEL / 65nm世代最先端システムLSIにおけるプロセスフレンドリー設計へのチャレンジ

STARCAD-Clousou / SDQMによる高品質ディレイテストの実現

STARCAD-SLD / TLM標準化によるTL設計の普及、高位メソドロジ紹介

出展者セミナー <アネックスホール2F F201>

1月25日(木) 13:30～14:15 【SoC設計技術標準化(ネットワーク)】

14:30～15:15 【最新技術紹介】

特設ステージ

1月25日(木) 13:30～14:00 セッション1 「半導体設計技術最新情報と動向」

16:00～17:00 セッション2 「本音で語る動作合成 - ここまでできる、ここができない」

EDSFair2007公式Webサイト ; <http://www.edsfair.com/>

STARCニュース No.31

株式会社 半導体理工学研究センター

発行：下東 勝博

編集：鬼頭 公治

Semiconductor Technology Academic Research Center (STARC)

〒222-0033 神奈川県横浜市港北区新横浜3丁目17番地2 友泉新横浜ビル6階

TEL : 045-478-3300 FAX : 045-478-3310

URL : <http://www.starc.jp>

[無断転載禁止] © STARC