

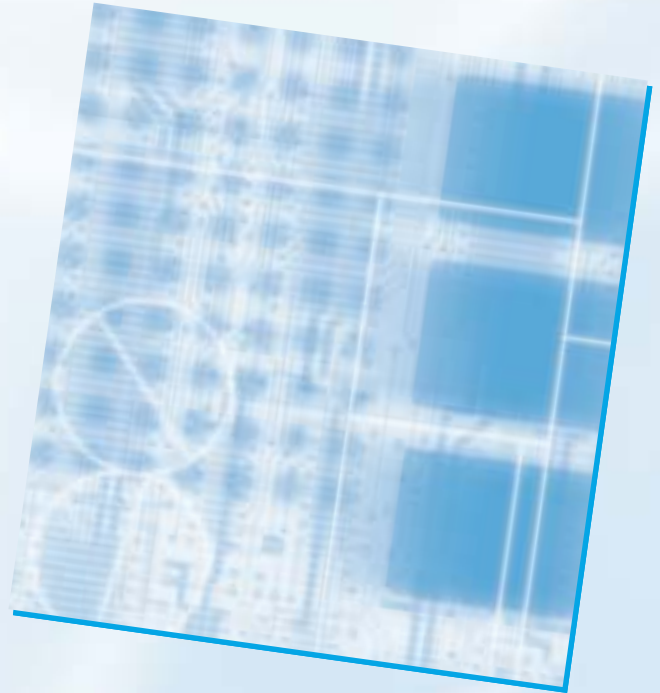
STARC ニュース

No. 30

2006年10月10日発行

株式会社 半導体理工学研究センター

Semiconductor Technology Academic Research Center (STARC)



CONTENTS

STARCシンポジウム2006報告.....	2
共同研究グループ便り	
大附研究グループ.....	6
谷本研究グループ.....	8
太田研究グループ.....	10
上殿研究グループ.....	12
特集 / 開発第1部	
プロセスフレンドリー設計.....	14
特集 / 高位設計開発室	
TL実用化への第一歩.....	16
国際学会参加報告	
DAC2006.....	17
ESSCIRC.....	18
STARC部門紹介	
開発第1部.....	20
管理部・企画部.....	23
トピックス	
東工大と組織的連携協定書締結.....	24
RTL設計スタイルガイド 書籍販売	24

日本半導体分野での イノベーション活性化をめざして

概要

今年のSTARCシンポジウムは、「日本半導体分野でのイノベーション活性化をめざして」というテーマの下で、2006年9月7日～8日の二日間、新横浜国際ホテルで開催された。

今年のプログラムでは、日本半導体分野でのイノベーションの活性化というテーマに沿って、大学での人材育成、新しい技術シーズの発掘、技術の芽を育てるための産学官連携のしくみ、の三つの視点から、基調講演1件、招待講演5件、先端技術講演6件を諸先生方をお願いした。

さらに、ポスターセッションでは、共同研究テーマ（今年が最終年度のテーマ）15件と学生の応募テーマ29件、計44件のポスター発表を行った。参加者は、総数475名とSTARCシンポジウムとして過去最高を数えた。

基調講演

STARCシンポジウム2006は、「半導体イノベーション立国への道」と題する東京大学の桜井貴康先生の基調講演で幕を開けた。

桜井先生は、冒頭に、人的資源確保、投資支援、インフラ整備の重要性を説いた2004年の米国パルミサーノ・レポートを引用し、それを踏まえて、日本が半導体イノベーション立国への道を切り開くのに必要な項目として、「人材育成・確保」、「イノベーションに繋がる産学連携」、「異分野連携」を挙げて、それぞれについて取り組むべき方向を述べた。



桜井貴康先生



会場風景

とくに、産学連携では、これまでの「お客様の産学連携」ではなく人材の相互交流を伴った「人が動く産学連携」の必要性を述べた。最後に、イノベーションの種の例として有機トランジスタなどの研究動向を紹介した。

招待講演（ ）

一番目の招待講演は、「イノベーションを生みだすための産学官連携の仕組み - 九州における取組みと事例の紹介 - 」と題して、(財)北九州産業学術推進機構の影山隆雄氏が講演した。



影山隆雄氏

イノベーションについては、日米間で半導体産業の風土、枠組み、ルールなどの点で大きな差異があることを指摘し、とくに日本では基礎研究の部分での多様性を早い段階で切り捨てていることが創造性開拓を実現できない原因の一つであると述べた。

後半では、ご自身が担当されている北九州ヒューマンテックノクラスター（HTC）の活動を述べた。地域の4大学と46企業をメンバーとして、シーズとニーズのマッチング活動とシーズの事業化活動を積極的に展開しており、具体例を交えて紹介された。

招待講演（ ）

第二日目の冒頭は、招待講演（ ）として、慶應義塾大学の吉田博一先生から「地球環境を守る産学連携プロジェクト～Eliica電気自動車プロジェクト～」と題して講演があった。



吉田博一先生

吉田先生は、銀行の副頭取を経てリース会社の社長を歴任されたが、そこでリース資産の処理から環境問題を強く意識されるようになった。偶々、慶應大学で電気自動車プロジェクトを進めていた清水教授の知遇を得た後、環境問題の解決を目指して、自ら大学教授となり、Eliicaプロ

プロジェクトを推進し、プロトタイプ電気自動車を完成させたという経歴を持つ。現在はさらに電気自動車のキー部品である大型Liイオン電池の普及プロジェクトも並行して推進されている。確たる信念の基に正しいと信じる目標へ向けて世の中の賛同者を巻き込んで推進していく実行力を力強く訴えられた。

招待講演 ()

続いての招待講演では、京都大学の小野寺秀俊先生が「より魅力ある電気・電子工学科に向けて」と題して講演された。近年の電気電子工学科の人気低下は、世界的傾向である。これは、エレクトロニクスが普及に伴って憧れの対象でなくなったためと考えられるが、日本には日本固有の問題もあることが指摘された。対策として、閉塞感の打破、魅力ある挑戦目標の提示、融合領域へのチャレンジなどを指摘され、欧米の大学や京都大学での取り組みが紹介された。最後に、時代は大きく変化しており過去の栄光に浸っているだけでなく、チャレンジングな目標設定や他分野との融合を通して、電気電子工学が魅力的であることを学生に積極的にアピールすべきであると結んだ。



小野寺秀俊先生

先端技術講演

今回のシンポジウムでは先端技術講演として6件の講演をお願いした。ムーアに立脚した微細化、高集積化というこれまでの路線を少し外れた、異分野の技術テーマが中心となっている。我々が取り組んできたシリコン半導体技術との融合を通して、新しい付加価値を生み出す可能性を持つ「イノベーションの種」の候補として選んだものである。

「MEMS技術で拓く異種デバイス融合」

東京大学 / 三田吉郎先生

三田先生は、MEMS技術の現状と分類、その可能性、魅力などから始まり、主に東大・本郷の武田先端知ビルを活動拠点とした電子・機械・化学などの若手教官との学際的活動を、ユーモアを交えてエネルギーに紹介した。



三田吉郎先生

とくに三田先生の得意とするDRIE (Deep Reactive Ion Etching) 技術の紹介では、アスペクト比や側壁保護についてポーリングに例えて説明するなど非常にわかりやすい

講演であった。基盤技術のシーズと出口志向のニーズとがうまく組み合わせられ生産方式の変革まで巻き込んだ新しいパラダイムの創生が期待される。

「カーボンナノチューブ デバイスの最近の動向」

大阪大学 / 松本和彦先生

松本先生の講演では、ここ数年ダイナミックに進展しているカーボンナノチューブ (CNT) 分野の先端技術について、CNT成長技術、CNT-FETの現状、CNT-FETの課題、特殊なCNTデバイス、などにフォーカスして解説を行った。電気特性 (半導体/金属) の制御、結晶の本数/位置の制御、カイラリティ制御など作製面ではまだ多くの課題がある一方で、大きな移動度を持つトランジスタやリング発振器の試作などが盛んである。電子顕微鏡を駆使した結晶構造の観測技術の進歩や、デバイスの再現性や信頼性などの実験データの蓄積など、技術面では急速な進歩を見せている。



松本和彦先生

「フレキシブル・マイクロエレクトロニクスを実現する非同期回路設計」

セイコーエプソン / 唐木信雄氏

唐木氏の講演内容は、従来の技術トレンドに対してパラダイムシフトを仕掛けたものであり、基調講演において東大・桜井先生が紹介された有機トランジスタの研究結果が大学での取り組みとすれば、こちらは産業界での成功例の紹介である。ムーアの法則に従い小さい面積に高密度ロジックを敷き詰めクロック・タイミングを精密に制御して性能向上を図る従来のパラダイムから、大面積のフレキシブル基板上で性能ばらつきの大いいたランジスタ群を低電力で動作させるため非同期設計を採用するパラダイムに移行しようとする取り組みである。実際に非同期マイクロプロセッサを試作評価し、同期設計に比べ1/3の低電力化と-21dBの電流ノイズ低減を確認していることを報告した。



唐木信雄氏

「ソフトウェア設計方法論 - プロダクトライン開発のためのコア資産構築 -」

東海大学 / 渡辺晴美先生

渡辺先生の講演は、組み込みソフトウェア分野でのコア再利用に向けた新しい開発手法を紹介する



ものであった。組み込みソフトウェアはその大規模化・複雑化や人材不足から生産性、品質面において危機的状況にありそれを乗り越えるためには再利用開発が必要である。しかしながら再利用開発は今まであまり成功しているとはいえず、それを達成するものとして、マッサージチェア開発を具体例に挙げてプロダクトライン開発と呼ばれる手法の有効性を説明した。さらにプロダクトライン開発手法を組み込みソフトウェアで成功させるためには、複数機能に横断的な要件を整理して取り扱えることと、暗黙の要件を抽出できることが必要であると指摘し、それに向けてアスペクト指向とゴール指向の二つのアプローチ導入が重要であると提案した。



渡辺晴美先生

「量子暗号技術の最近の進展」

日本電気 / 富田章久氏

富田氏の講演では、最近話題の量子暗号についてその原理、長所をかみ砕いて説明し、さらに最新の成果についても紹介した。量子暗号は、物理法則 + 情報理論で無条件安全性を永久に保障するという特徴を持っており、光通信における盗聴対策など高い安全性を求められる分野に適している。技術課題には、干渉計の温度依存、小型化、光子bit同期、同期復旧、長距離化などがある。講演では、内外での長距離伝送の実験や商用架空光ファイバでの実験結果を紹介した。安価で簡便な暗号技術との棲み分けのもとで、量子暗号技術が近い将来にハイエンド・ネットワークシステムの中で実用化されることを期待していると述べた。



富田章久氏

「バイオメディカル計測のためのHuman-MEMSと応用展開」

東京医科歯科大学 / 三林浩二先生

三林先生は、フレキシブルで生体に直接密着して使用できる生化学センサについての最新技術動向を紹介した。生体適合性膜とMEMS技術の結合によって作製されたソフトMEMSを結膜に直接装着して、血管中の酸素濃度を計測したり、涙の成分から糖成分を計測するという技術である。現在はウサギでの実験レベルであるが、健康に関する身近な話題でもあり会場の興味を引いていた。将来的には、計測結果は無線による送受信を行いたいとのことであり、集積回路技術にも大きな関わりを持



三林浩二先生

つ可能性を持っている。講演後のQ&Aでは、メディカル・エレクトロニクス分野の先端開発における、認可の問題などわが国特有の難しさなどについても述べた。

招待講演 ()

米国シリコンバレーにおいて10年間にわたり弁護士として活躍されている中町昭人氏(カークランド&エリスLLP)が、「イノベーションにおけるベンチャーの役割 - 日米比較 - 」と題して講演した。中町氏は、講演冒頭で、「本シンポジウムのテーマであるイノベーションは、異分野・異業種の人間の相互交流がきっかけで起こる場合がほとんど。しかし、会場参加者を見渡すと、年齢、学歴、職歴、国籍、性別などから見て多様性が極めて少ない。それをまずしっかり認識することから始めるべき。」と述べ、このような日本の状況の中でイノベーションを起こすには、多様性を増やすか、多様性のない所で特有のイノベーションを考える、の二つしかない、と述べた。



中町昭人氏

さらに、イノベーションの定義について説明を行い、製造者側からだけではなくエンドユーザ側からのイノベーションがあり得ることを指摘した。最後に、シリコンバレーで弁護士活動をした経験から、日本企業のもの見方について苦言を呈し、会社の「格」にとらわれずベンチャーに敬意を払う社会にならないとイノベーションは起こせないと結んだ。

招待講演 ()

本シンポジウムの最後に、「理工系人材育成のために大学・企業・技術者は何をなすべきか? - 欧米の動向と日本の課題 - 」と題して、東京農工大学の覧具博義先生が講演を行った。



覧具博義先生

覧具先生は、大学や高校での物理学履修者が減少する世界的傾向の中で、英米の物理学会や大学が行っている取り組みとその成果について述べた。例として、英国物理学会の製作になる斬新な記述体系にもとづく高校向け物理教科書や、MITでの学生の選択自由度を増やすカリキュラム制度などを紹介した。また、初等中等教育での改革の重要性にも触れ、カリキュラムの多様化、教員の継続教育、科目間の連携などシステムティックな教育改革、などが必要であると説いた。

ポスターセッション

今年は、「共同研究テーマのポスター発表」と「学生によるポスター発表」の二つのポスター発表を同時に開催した。

「共同研究テーマのポスター発表」は、今年が研究最終年度である15テーマの先生方に発表をお願いした。先生方には大きな負担をお掛けすることになったが、研究代表者や共同研究者の先生方から直にお話を聞けるということで、シンポジウム参加者には極めて好評であった。

「学生によるポスター発表」では、STARC共同研究に関連する29件のポスター発表が行われた。学生さんの熱意あふれる説明に、シンポジウム参加者が時を忘れて議論する場面もあった。

学生ポスター終了後、クライアント11社の審査員の投票により、以下の方々が、最優秀ポスター賞および優秀ポスター賞として選出され、レセプションの場にて表彰された。

最優秀賞：

豊田智史（東京大学・尾嶋研究グループ）

「角度分解光電子分光によるゲートスタック構造の化学結合状態・深さ 方向分布の評価」

優秀賞：

川添大輔（東京工業大学・益研究グループ）

「リコンフィギュラブルRF技術によるマルチスタンダード無線回路の研究」

尼崎太樹（熊本大学・末吉研究グループ）

「粒度可変論理セルを用いた次世代型リコンフィギュラブルロジックデバイスの開発」

中川琢磨

（奈良先端科学技術大学院大学・太田研究グループ）

「マウス脳内埋込型CMOSセンサデバイスの試作」

市川和典

（奈良先端科学技術大学院大学・浦岡研究グループ）

「自己組織化ナノドットのメモリ応用」



「学生ポスター賞」受賞の皆さん

左より、豊田（東大）、川添（東工大）、下東社長、尼崎（熊本）、中川（奈良先端大）、市川（奈良先端大）



ポスターセッション会場風景

共同研究賞

2005年度に終了した15テーマの中から、研究と人材育成の両面で優れた成果を出した下記の二つのテーマに対して、レセプションの場で「共同研究賞」と副賞が授与された。

1) プロセス・デバイス分野：

「界面制御された高信頼性Cu合金配線の開発」

研究代表者：小池淳一先生（東北大学）



左より、吉丸上級研究員（STARC）、柴田英毅客員研究員主査（東芝）、下東社長、小池先生、清水紀嘉客員研究員（富士通）、高橋新吾客員研究員（ソニー）

2) 回路・システム分野：

「低電圧動作低雑音アナログ回路設計技術の研究」

研究代表者：岩田穆先生（広島大学）



左より、升井義博（D2）、吉田毅助手、後藤邦彦客員研究員主査（富士通）、下東社長、岩田先生、中塚淳二客員研究員（松下）、益子上級研究員（STARC）

最後に、STARCシンポジウムにご参加いただいた各位にお礼を申し上げます。

（執筆：今村健、益子耕一郎、吉丸正樹、杉本益規）



共同研究
グループ
便り

大附研究グループ

テーマ名 DSMテクノロジーを想定したEmbedded Processorの
ハードウェア/ソフトウェア協調設計環境

研究代表者 早稲田大学 理工学部コンピュータ・ネットワーク工学科 教授
大附 辰夫(おおつき たつお)



後列左から 月井(B4)、東條(B4)、本間(B4)、佐藤(B4)、小原(D2)、大東(M2)、
繁田(M2)、堀内(M2)、中島(M2)
前列左から 濱辺客員研究員主査(NEC)、戸川先生、大附先生、橘先生(高知工科大学)、
松尾客員研究員(三菱)、宮本技監(STARC)

研究の狙い

組み込み用途のプロセッサ(Embedded Processor)は、現在、携帯機器、ネットワーク機器、家電機器等の広い分野でシステムの中核として利用されています。例えばMPEG-4やH.264などの動画像を符号化したり再生したりする携帯機器などを例に取れば分かりますように、組み込みプロセッサは特定のアプリケーションドメインをターゲットに、低コストで高い性能を実現することが強く求められていると考えられます。

私達は、このような組み込みプロセッサに対し、高い性能要求を満足する鍵となる技術が、(1)サブワードレベルのSIMD演算ユニットならびに(2)非直交なデータパスにあると考えています。とくに、これらの要素をアプリケーションに応じて最適に構成することが、低コスト・高性能な組み込みプロ

セッサを得るために重要となると考えています。

そこで、本研究プロジェクトでは、画像処理アプリケーションや通信処理アプリケーションなど特定のアプリケーションを対象に、これらのアプリケーションに最適な組み込みプロセッサの設計環境、とくにハードウェア/ソフトウェア協調設計の概念を採り入れ、論理・物理設計など下位工程を意識した設計環境の構築を目指し、研究活動を実施しています。

研究グループ紹介

研究スタッフは、早稲田大学大学院理工学研究科情報・ネットワーク専攻の大附辰夫教授ならびに戸川望助教授を筆頭に、同大の学生が15名、加えて、高知工科大学の橘昌良助教授、同大の学生が5名という体制です。とくに戸川望助教授は、前任校の北九州市立大学から現在の早稲田大学に至るまで、

本研究プロジェクトにて中心的な役割を果たしてきました。また、これまで本研究プロジェクトを通して、10名以上の学生が博士、修士、学士として修了、卒業して行きました。

本研究プロジェクトは、開発する「組み込みプロセッサ設計システム」のシステム構成に合わせて、コンパイラ部、ハードウェア/ソフトウェア分割部、ハードウェア/ソフトウェア生成部、上位工程・下位工程の融合部にてグループを構成し、それぞれのグループに分かれて研究に取り組んでいます。個々のグループに適した最適化設計と、グループによって開発された各部位を組み合わせた全体最適化をいかに達成するかが最大の難点であり、これを解決すべく精力的に取り組んでいます。

STARCテーマ内容および 共同研究状況・成果紹介

前述のように、本研究プロジェクトではアプリケーションに特化した専用の組み込みプロセッサを自動設計するしくみを研究しています。そのしくみは、図にありますとおり、(1)プロセッサ構成にできるだけ依存しないコンパイラ技術(Compiler)、(2)プロセッサ最適化技術(HW/SW Partitioner)、(3)プロセッサハードウェアとソフトウェアの生成技術(HW/SW Generator)から構成されています。私たちは、このしくみを「SPADESシステム」と呼んでいます(図1 SPADESシステム)。

本研究プロジェクトでは、第1段階として、SPADESシステムにてサブワードレベルのSIMD演算ユニットを持った組み込みプロセッサ設計を可能とするしくみを研究・開発しました。サブワードレベルのSIMD演算ユニットは、1ワードに複数のデータを梱包してSIMD演算を実現する演算ユニットですが、ワード分割の方法やパイプライン構成、演算機能の選択に多数の候補を持っており、その中からアプリケ

客員研究員主査からのコメント

日本電気株式会社
マルチメディア研究所 システムCAD TG

濱辺 雅哉

近年の組み込み機器は、コンテンツの品質向上等により、処理能力向上への要求がますます高まっています。また携帯機器でのコンテンツ再生時間の長時間化等の要求により、低消費電力化も求められています。それらに加えて、これら機器を開発する側としては、開発コストを抑えるための再利用性や、不具合や仕様変更に対応できるためのプログラマブル性が求められています。このような要求を満たすためには、ハードウェアとソフトウェアを組み合わせてシステムを設計できる環境が必要と考えられます。

そこで大附研究グループでは、configurableなプロセッサをターゲットとした、ハードウェア/ソフトウェア協調設計環境の研究に取り組んでいます。本研究では、ターゲットとなるハードウェアとしては、基本的なプロセッサコアの機能に加えて、アプリケーションの特徴に依存した、サブワードレベルのSIMD演算器と、非直交なデータベースをもつプロセッサとしています。アプリケーションに依存する部分は、コプロセッサのようなプロセッサコアの外部ではなく、内部のデータベースとして生成されます。設計環境のシステムとしては、アプリケーションのC言語記述を入力とし、ターゲットプロセッサのHDL記述と、ソフトウェア部分のアセンブリ記述を出力します。また複数のアプリケーション記述の入力により、個別のアプリケーションに特化する以外にも、あるアプリ領域に特化したプロセッサコアの生成についても今後の課題として検討されています。また、これらプロセッサ構成を決定する際の評価指標の一つとして、DSMテクノロジーを想定した配線遅延の高速な見積もり手法についても研究しています。

本研究では、これまで主にSIMD型演算器のパイプライン構成方法について、3件の論文発表と、2件の国際会議発表がされています。設計システムの実装としては、C言語入力記述を処理するフロントエンド、ターゲット記述生成系、および各種最適化処理間をXML記述で入出力できるようにすることで、新規の最適化手法を実装しやすく、ひいては技術移転しやすいシステムとなるよう開発を進めています。大附研究グループにおいても、複数の学生が十個以上の最適化機能の実装を並行して進めており、本システムの柔軟性が発揮されています。このような設計環境が、参加企業の組み込みシステム開発に適用され、よりよい組み込み機器の開発や設計コストの削減という形で還元されることを期待しております。

ーションに応じて最適な構成を設計します。現在までに、従来の方法に比較して、プロセッサ面積を同等に保持した上で、アプリケーションの実行時間を約1/5以下にすることを可能としています(図2 計算機実験結果)

また、上位工程と下位工程の融合を目指して、インダクタを考慮した配線遅延解析に着手しています。重回帰分析を利用することによって、分岐のない配線経路の50%遅延を平均誤差5%程度で見積もることができることを示しました。

現在、第2段階として、非直交なデータベースを持った組み込みプロセッサ設計のしくみを構築することを目指しています。

大学側から見て、産学協同に関して日頃感じていること

電気・情報系製造業の採用活動は、

「則戦力となる学生を好む」という傾向が、従来に増して顕著になっているように感じられます。このような状況においては、とくに、学生に企業の研究者/技術者の前で研究成果を披露する機会を与えることは大変重要であると思います。3年間の共同研究を通してSTARCの연구원の方々、および客員研究員の方々と何回も議論する機会が与えられ、有益なご助言を賜ったことは、研究者(教員)自身はもちろんのことですが、参加した学生にとっても良い刺激になったと思います。

最後になりましたが、日頃よりご議論をさせていただき、また多くのご助言をいただいておりますSTARCの연구원の方々(小澤顧問(元)、平田上級研究員(元)、宮本技監)ならびに客員研究員の方々(松尾客員研究員、濱辺客員研究員)にこの場を借りまして、深く感謝いたします。

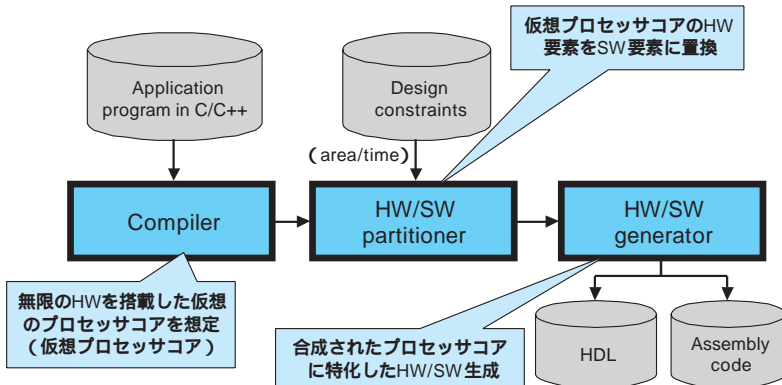


図1 SPADESシステム

入力：アプリケーションと実行時間制約
出力：専用プロセッサのハードウェア記述とその上で動作するアセンブリ

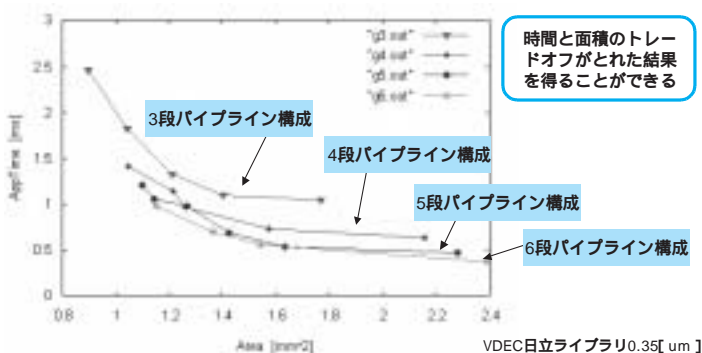
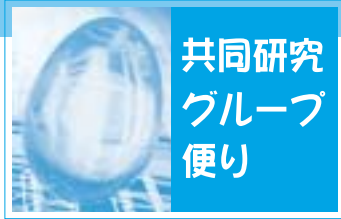


図2 計算機実験結果(画像処理アプリケーション)



共同研究 グループ 便り

谷本研究グループ

テーマ名 超広帯域無線機LSIのための機能回路ブロックに関する研究
研究代表者 北見工業大学 工学部電気電子工学科 教授
谷本 洋 (たにもと ひろし)



後列左から 佐藤客員研究員(ルネサス)、益子上級研究員(STARC)、
片倉客員研究員主査(ソニー)、中西客員研究員(沖)、宮本客員研究員(シャープ)
前列左から 小森山(M1)、吉田(M2)、谷本先生、遠藤(M2)

研究室と研究内容の紹介

私たちの研究室は国立大学法人では最も北に位置している北見市にあります。北見市は今年世界遺産に登録された知床半島からほど近い、人口約13万の地方都市です。知床、大雪山、阿寒の3つの国立公園に囲まれ、周りは山林、牧場、タマネギ畑と麦畑、海岸部ではホタテや牡蠣の養殖など、農林水産業主体の地域です。そこにある北見工業大学は、大学院まで合わせて学生数2,000人の小さな単科大学ですが、なぜそんなところに工業大学があるかは謎です。ただ、LSIの設計なら、いまだきどんな田舎でもネットワークさえ繋がっていればO.K.ですので、不便は感じません。実際、研究室から一步も出ずにVDEC-MOSIS経由でLSIが試作できました。しかし、いざブレッドボードに使う電子部品を調達しようとすると首都圏とは違って「ちょっとバラまでひとつ走り」というわけには行かないので、インターネットの通信販売だけが頼りです。

さて、私の所属する電気電子工学科の電子基礎研究室は、現在学部生4名、大学院博士前期課程の院生が3名の小

ぢんまりした所帯です。人員が少ないので、あまり研究の幅は広げられませんが、無線通信のためのアナログLSIの設計に関連した研究を行っています。現在の携帯電話や無線LANでは1チャンネル当りのRFの帯域幅はまだ数MHzですが、今後はより高速の通信を行うためRF帯域幅が飛躍的に拡大されると予測されています。そこで、STARCとの共同研究では、広帯域のミクサと広帯域のアナログ複素係数フィルタを使って、数GHzのRF帯からベースバンドまで100MHzの帯域をそのまま持ってくることを目標としています。また、将来を見据えてCMOSで低電源電圧・低消費電力の回路実現を目指しています。

私は6年ほど前に企業から大学へ移ってきましたが、このSTARCニュースは企業の方が多く読まれると思いますので、この場をお借りして、STARCとの共同研究の教育的側面について感じたことを述べたいと思います。

大学に移ったところ

大学に赴任してすぐ電子回路の講義を受け持ちました。電子回路は自分の専門だから、それを教えるのは簡単だ

ろうと思っていましたが、この考えはすぐに打ち砕かれました。それまで見てきた企業の人間は回路をやりたくて入ってきた人たちでしたが、大学の学生は回路に興味すら持っていない者が多いので、真っ先に回路がいかにも面白いものであるかを伝え、学んでみようかという気を起こしていただかねばならないのです。このことに気付くのに時間がかかってしまいました。その気のない者に動機を持たせるということは大変難しいことで、いまでもこれができるかは大変どころもたないです。

それでも、最初の卒研究生は回路に関心のある学生たちが来てくれ、何人かは大学院に残ってくれました。2年経ってみると、大学院生が、せっかく蓄積した研究室のノウハウとともに卒業して行きました。私の大切な口伝は、残された学部生には引き継がれていないのです。企業であれば無形のノウハウも古参のメンバーから順次新人に継承されていきます。しかし、文化を蓄積・継承すべき大学とは、永遠に石を積み続ける賚の河原なのでした(お前のやり方が悪いだけなんだよ!)。これに懲りて少しは継承のことも考え、一人だけになった大学院生にまた一から教えました。

共同研究に応募する

大学に移って3年経った頃、STARCの小澤さんから共同研究に応募してみないかとお勧めをいただきました。このころは院生が3人に増えていましたが科研費の申請もなかなか通らないので、応募してみようという気になったのです。世の中の状況と研究室の研究資産を考え合わせ、非常に広帯域のヘテロダイン受信機を構成するために、広帯域のミキサと広帯域のRCポリフェーズフィルタを組み合わせるという提案をしました。幸いなことに、この提案は採用され、3年間の共同研究「超広帯域無線機LSIのための機能回路ブロックに関する研究」として研究を開始しました。共同研究の開始年度には院生が2名増えて5名になっていました。

当初、STARCの上級研究員として小澤時典さん、主査として片倉雅幸さ

ん(ソニー) 客員研究員として加藤直之さん(ルネサス) 宮本雅之さん(シャープ) 中西誠司さん(沖電気)が共同研究に加わってくださり、産業界の方々の目で我々の研究目標について厳しいご指摘とご意見を賜り、正しい方向へと導いて下さいました。その後、小澤さんが益子耕一郎さん(STARC)に、加藤さんが佐藤久恭さん(ルネサス)に交代されて現在に至っています。

研究打ち合わせと懇親会の力

STARCの客員研究員の方々と進捗状況の報告を兼ねた研究打ち合わせが3ヶ月に1度あります。共同研究も3年目に入ってだいぶ慣れたとはいえ、学生にとっても私自身にとっても、これが今でも非常に苦しいです。サボっているわけではないのですが、3ヶ月はあっという間に過ぎますし、研究はなかなか予定通りには進みません。

当初、学生が進捗を報告する際メモメモで、この先いったいどうなることかと心配しましたが、何回か打ち合わせを行うたびに長足の進歩を遂げ、最近ではあれこれ言わなくてもそれなりの報告ができるようになり、びっくりしています。客員研究員の方々には大変ご迷惑だったでしょうが、的確な質問とアドバイスで鍛えて下さったおかげで、彼らは大きく成長しました。最も著しい変化は、自分で考え、それを自分で実行しようとするようになったことでしょうか。やはり、ある程度厳しい環境に置かれなければ、育つべきものも育たないのだということがよく分かりました。客員研究員の方々にはこのことだけでも感謝し切れません。

また、客員研究委員の皆様との懇親会では、お酒を飲みながら実社会で活躍されている本物の回路設計者の方々と直接語り合い、その考え方に触れることができるのも、回路設計者としての明確なロールモデルを持っていない学生諸君にとって得がたい機会です。いわば、客員研究員自身が生きた教材となっているわけです。

今の学生たちは一対一でなければ打ち解けた関係が結べないようですが、本心は色々な人たちの交流を求めています。研究打ち合わせと懇親会の組

合せは、(強制的に)学外の人と交流でき、実社会を見る眼を養う大変よい機会だと思えます。

地獄のテープアウト

チップの設計・レイアウトもまた大変でした。テープアウトが迫ると、ふだん昼近くならないと出てこない学生たちが泊り込みで眠る時間を削って頑張ってくれました。回路設計とレイアウトに関しては、私はときどき横から口を出すばかりで、LSIを設計するのが初めての学生が、意のままにならぬCADツールと戦いながらほとんどすべて自力で行ったのです。このことにも感動しました。教員というのはつまらないところも多い職業ですが、人が育って行くのが目に見えて分るのは本当に素晴らしい経験です。

ただ、学生たちはテープアウトの期日を守ったのに、3ヶ月近くチップ試作が遅れたため本人たちが卒業してしまい、自ら評価をすることができなかったのは大変かわいそうでした。いま、先輩たちの設計したチップは、後輩の3名の院生たちが一生懸命評価してくれています。当初、チップがまったく動かないという報告を受けて青くなりましたが、測定法を変えることにより動作しているのが確認できました。おかげでほぼ設計に近い動作をしていることがわかり、目標とする100MHzの帯域に渡ってイメージ抑圧が達成されていました。

アナログ回路設計、とくに高周波において顕著だと思えますが、シミュレーションだけでは決して回路が意図どおりに動くようにはなりません。自分の設計したチップを苦労して評価してはじめて、とくに回路図にないものの影響が想像できるようになってはじめて、モノに触れてはじめて、理解が進むと思います。このような泥臭いというより、泥にまみれた経験からのみ、真の回路設計者が育つのだと信じて頑張っています。

これからも北の国の小さな大学からLSI設計に関する研究成果を発信すべく、学生とともにいっそう精進したいと思えます。このような得がたい機会を与えて下さったSTARCに感謝して筆をおきます。

客員研究員主査からのコメント

ソニー株式会社 半導体事業グループ
システムLSI事業本部 ミックスシグナル事業部
片倉 雅幸

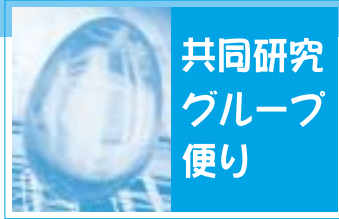
北見工業大学は、かつてハッカ生産で世界の70%を占め、今はタマネギ生産日本一のオホーツク地方の中核都市北見市の東、野付牛公園に隣接した丘の上に位置し、工学部としては日本で最も北かつ東にある大学です。

谷本研究グループでは、無線システムの広帯域化を切り口に、広帯域化に必要な無線受信回路におけるアナログ回路技術の研究に取り組んでいます。ここ数年における高周波アナログ集積化技術の革新は目を見張るものがあります。小規模のバイポーラや化合物のチップと高性能受動素子、とくにSAW等の高性能受動フィルタを組み合わせた従来のスーパーヘテロダイン方式は、バイポーラ化合物からCMOSへ、ダイレクトコンバージョン方式やローIF方式はSAWフィルタをオンチップフィルタに換え、純度の高いローカル信号を発生する局部発振回路さえオンチップインダクタやパラクタ素子を用いた完全なオンチップVCO(Voltage Controlled Oscillator)になろうとしています。

デジタル回路の微細化高速化やAD変換器の高速高分解能化によりアナログ回路とデジタル回路の切り口も徐々に変化しています。その究極はソフトウェアラジオになる訳ですが、いかにAD変換器が進歩してもアンテナにAD変換器を直接接続するようには当分(永久に?)なりません。時々技術により必要な技術は変化するにせよ、無線受信回路においてアナログ回路がAD変換以前に何らかの処理を分担することは今後も絶対に必要不可欠です。

ここで重要な要素技術として、複素による信号処理があります。谷本研究グループでは、複素信号処理の一形態であるポリフェーズフィルタ回路の設計手法と、能動回路を用いて広帯域化する回路技術の具現化に最重点を置いて研究を進めています。またRFの要素回路、とくにミキサの基本的特性の解析等でも実績を上げてきました。

高周波アナログは、設計もさることながら信頼できる評価技術の確立に大変な努力を必要とします。研究室の悩みの一つは、大学院への進学者数が少ないことで、現在谷本研究室では3人の大学院生により研究を担っています。同時進行でたくさんのテーマを進めることは困難ですが、学生の方々は回路理論、回路設計、レイアウト設計、評価と、チップが完成するまでの一貫した非常に密度の高い経験ができております。北の大地から、ユニークな高周波アナログ回路アイデアの発信と人材の輩出を期待しています。



太田研究グループ

テーマ名 生体内埋込型超高感度バイオフィットニックLSIの開発
研究代表者 奈良先端科学技術大学院大学 物質創成科学研究科 教授
太田 淳(おた じゅん)



後列左から 杉本上級研究員、田村助手、塩坂先生、太田先生、徳田助手、
松原客員研究員主査(三洋)、永田客員研究員(沖)
前列左から 水野(M1)、佐藤(M1)、角脇(M2)、中川(M2)、Ng(ポスドク)

研究室紹介

奈良先端科学技術大学院大学 (NAIST) は大学院のみの大学として平成3年に設立された新しい国立大学法人であり、情報科学研究科、バイオサイエンス研究科、物質創成科学研究科の3研究科で構成されています。研究代表者 太田 淳 教授が所属する物質創成科学研究科光機能素子科学講座は、2006年現在、スタッフとして代表者の他に布下 正宏 教授、徳田 崇 助手、香川 景一郎 助手の4名、研究員3名、秘書1名、学生は博士後期課程1名、前期課程14名の計23名で構成されています。大学院大学のため他大学学部からさまざまなバックグラウンドを持つ学生が入学してきますが、研究科の性格上物性系・材料系出身の学生が大半です。そのため集積回路を学んでいる学生はほとんど皆無いため、導入学習が極めて重要であり、講座配属

後しばらくは教員・学生ともども苦労の連続です。しかし修士も後半になると学生さん達もほとんどが一人前になってきます。

講座では高機能CMOSイメージセンサであるビジョンチップに関する研究を行っており、主として空間光通信用ビジョンチップとバイオメディカル用ビジョンチップの研究を進めています。空間光通信用ビジョンチップでは、光無線LAN応用と光ナビゲーションというID認識用ビジョンチップの研究を、バイオメディカル応用では、人工視覚を中心に、STARC共同研究のテーマである埋込型in vivoセンサやDNAマイクロアレイ応用に関する研究を進めています。いずれもチップ試作にはVDEC、CMP、MOSIS等のLSI試作サービスを利用し、ポストプロセスを研究科内の設備を用いて行っております。

研究内容紹介

STARC共同研究で行っている「生体内埋込型超高感度バイオフィットニックLSIの開発」は、我々が人工視覚研究で培ってきた技術をもとに、マウス脳内活動をセンシングする高機能CMOSイメージセンサならびにその実装技術を開発するもので、2004年度から開始しました。恐らくSTARCの共同研究の歴史の中でバイオメディカルに関する直接的なテーマは始めてではないかと思えます。このようないわば「異種」のテーマに共同研究の機会を与えていただきましたことをこの場を借りて厚くお礼申し上げます。

さて、脳内活動を観察するツールとしてMRIがあり、我々の脳活動の様子をTV等でご覧になったことがおありかと思えます。しかし、例えばバイオの実験でよく用いられるマウスのような実験用小動物の場合、脳が小さいためMRIでは空間分解能が足りなく、また観測内容によっては時間応答も不足の場合があります。さらに海馬のように脳の深い部位にある組織の活動をMRIで観測するのは困難です。我々はこの点に注目し、海馬における短期記憶の研究を行っているNAISTのバイオサイエンス研究科塩坂教授と協力して、マウス海馬を生きたままの状態を観測できる高機能CMOSイメージセンサの開発を本共同研究のテーマとして提案したわけです。

マウス脳内に埋込みその活動を検出するためにはさまざまな試行錯誤が必要で、実際に画像を取得するまで2年近くかかりました。まず脳内での活動により放出される特定の酵素と結びつき蛍光を発するための薬剤を注入する細管や蛍光を励起する近紫外光の導入用光ファイバなどともに防水実装したCMOSイメージセンサをフレキシブル基板に実装して、マウスの脳に挿入しなければなりません。またセンサ特性

客員研究員主査からのコメント

三洋電機株式会社
技術開発本部
マテリアル・デバイス技術開発センターBU

松原 直輝

小型・高速・低消費電力などの利点を有する半導体技術を応用したバイオチップは、今後の安全・健康志向の進む今後の社会にとって期待の大きな分野です。また、日本の半導体産業界の競争力を発展させていくためには、半導体LSIの高性能化だけでなく、バイオチップなどの半導体技術を応用展開していくことが有効です。

しかしながら、実際にバイオチップを生体内に埋め込むためには、さまざまな要素技術の開発が不可欠です。要素技術の例として、生体内に優しいモジュール・パッケージ技術、生体内をモニターするのに必要な回路技術、そして個別アプリケーションに整合させた応用適用技術などを開発する必要があります。

太田研究グループでは、これまで研究を行ってきた埋込型人工視覚センサ技術を強みに、イメージセンシング技術をバイオチップに応用し、フォトセンサ、CMOS制御回路、電気刺激(電位計測)電極をワンチップに搭載した高性能バイオLSIチップの研究を進めています。これまでの成果として、生体適合性の高いポリミドと白金を用いた非侵襲・フレキシブル・チップ実装技術を開発するとともに、高感度検出フォトセンサと電気刺激電極のワンチップにしたアレイ集積化技術を開発しました。その結果、生体内組織の観察例として、記憶をつかさどるマウスの海馬の脳内イメージング(ニューロシンの発現の実証)に成功しました。

今年度が最終年度となりましたが、今後、バイオ分野の先生との共同研究を進め、本高性能バイオLSIを用いたからこそわかる初めての知見を、世界に発信していただきたいと思います。さらに、生体内埋込バイオLSIの製品化を目指し、LED光源までを含めたアレイ集積化技術およびカーブエッジ型センサによる非侵襲化技術など、先端の要素技術を先行開発していただきたいと思います。そして、日本の半導体産業の発展に貢献できるよう、STARC研究員一同、期待しております。

バイオメディカル分野における産学連携

今後の高齢化社会ではバイオメディカル分野は一層重要になってくることは誰も異論がないと思います。その中でLSIの果たす役割は大きなものがあります。しかし、バイオメディカル分野は特殊な実装が必要であること、臨床試験が必要であったりと、デバイスを作れば直ぐに参入できる分野ではなく、地道で気長な研究開発がとくに求められる分野です。その意味でまず我々大学がさまざまなバイオメディカル分野に切り込んで行くことが重要であろうと考えておりますし、STARCが我々の提案を共同研究テーマとして採択していただいたことも今後のバイオメディカル分野への大学への期待の現れであると思います。我々大学側もそれに対してより一層真摯に答えるべく日々努力を積み重ねていく必要があると痛感しております。今後とも長期的な視点で本分野の研究を支えていただければと思います。最後になりましたが、本共同研究遂行にあたり、元STARC平田氏、STARC杉本氏、三洋電機松原氏、沖電気永田氏の諸氏には、異種分野にもかかわらず数々の適切な有益なご指導を賜りましたこと、ここにお礼を申し上げます。

評価のためにはマウスの脳のファントム(模型)が必要ですが、光学特性を再現するファントムはなく、自作する必要がありました。励起光をカットして蛍光のみを検出する工夫も必要でした。これらの課題の大半は我々だけで解決できないものであり、バイオ研究者との不断の交流が必要でした。その意味で我々のデバイスはまさしくバイオとエレクトロニクスの融合の賜物であるといえます。

現在では、マウス海馬内の活動の様子が分かるようになってきました。図1は試作センサで取得したマウス海馬内の画像と画像内のある点における輝度値変化の結果です。強制的にてんかん症状をおこさせるカイニン酸という薬剤をマウス腹腔内に注入して、てんかんが起こった際に海馬内に発現するとされる酵素(プロテアーゼ)を蛍光を通じて検出しています。一定時間後にプロテアーゼ発現により蛍光量が増大していることが確認できました。このように特定物質の発現を時間的には数十msecで、空間的には数百 μm 以下の分解能で観測できることを示しました。今後はこのデバイスを用いて実際にバイオサイエンス分野での新しい現象の発見に役立てていただけるようさらに改良を続ける予定です。

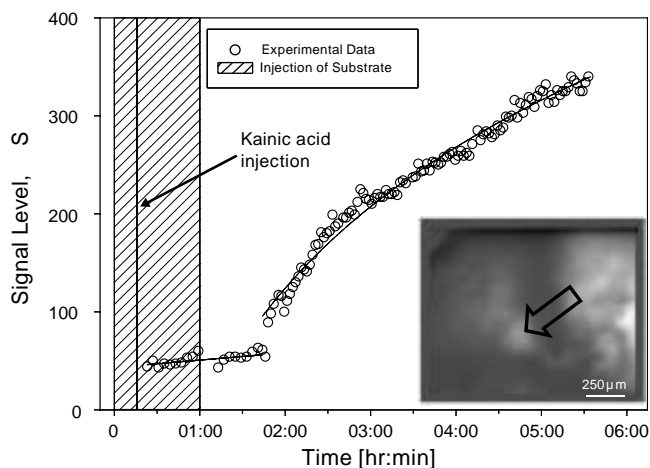


図1 マウス海馬内への埋込んだCMOSセンサによるカイニン酸によるプロテアーゼ発現の観測結果



共同研究
グループ
便り

上殿研究グループ

テーマ名 低速陽電子ビームによる次世代半導体材料の評価

研究代表者 筑波大学 大学院数理物質科学研究科 助教授

上殿 明良 (うえどの あきら)



後列左から 吉丸上級研究員 (STARC)、江口客員研究員 (東芝)、中村客員研究員 (富士通)、五十嵐客員研究員 (NEC)

前列左から 服部客員研究員主査 (ルネサス)、上殿先生

本研究プログラムの題目は「低速陽電子ビームによる次世代半導体材料の評価」で、研究期間は平成16年度から平成18年度までの3年間です。筑波大学大学院数理物質科学研究科の上殿明良を研究代表者として、同研究科の山部紀久夫教授と学生数名でメンバーを構成しています。共同研究内容は、低速陽電子を用いた評価手法の開発、応用で、Siテクノロジー関連材料開発を支援できる実用ツールとして陽電子消滅を使うために共同研究を行っています。陽電子消滅は点欠陥から数十 nm³ のサイズの空隙を非破壊かつ高感度に検出、同定できる手法です。また、表面からミクロンオーダーの深さに存在する欠陥の分布を決定することも可能です。他の手法に比較して測定条件の制約が少なく、半導体、金属、絶縁体、高分子等に適用できるため、半導体デ

バイス材料の評価方法として高いポテンシャルを持っています。現在までに、Si基板、SOI基板、high-k材料、low-k材料、電極・配線材料、レジスト材料などの評価を行っています。

共同研究概要

陽電子は電子の反物質で、電子と同じ静止質量、スピンを持ち、かつ電子と異符号の正の電荷を持つ粒子です。試料に打ち込まれた陽電子は電子と対消滅し、主に2本の線を放出します。陽電子を得るには、⁺崩壊する放射性同位元素(²²Na)が用いられます。陽電子が電子と対消滅した場合、アインシュタインの方程式 ($E=mc^2$) に従い、質量がエネルギーに転換されます。陽電子・電子が静止していた場合、一本の線のエネルギーは511keVですが、

消滅前に電子が運動量を持っていた場合、運動量保存則により、線のエネルギーは511keVからシフトします(ドップラー効果)。したがって、このドップラーシフトを測定することにより、陽電子の消滅相手の電子の運動量分布を決定できます。一方、陽電子は正の電荷を持ち、イオン殻から反発力を受けるため、試料中の空孔型欠陥に捕獲される可能性があります。空孔型欠陥中での電子運動量分布は、完全結晶中のそれとは異なるので、ドップラースペクトルを測定することにより欠陥検出が可能となります。また、空孔中では電子密度が低いので陽電子寿命は長くなります。したがって陽電子寿命測定によっても欠陥検出が可能です。

状態分析方法としての陽電子消滅のポジションを代表的な評価手法とともに図1に示します。ここで空孔型欠陥に感度がある手法ほど縦軸上方向へ、縦軸下方向は格子間原子への感度が高い手法を記入することにします(縦軸の原点付近は非晶質状態とする)。横軸は、深さ方向にどれだけ感度があるかを示します。例えば、電気的特性はしばしば微量な点欠陥に影響を受けませんが、深さ方向に感度がありません。SEM、TEMからは、高精度な深さ方向の情報を得ることができますが、点欠陥を研究できる例は限られています。ラザホード後方散乱法(RBS)は、空孔型欠陥よりも格子間型欠陥に感度が高い手法です。陽電子消滅(PAS)はRBSと電子顕微鏡の中間程度に位置します。上記分析法の多くは、測定のために特殊な準備が必要であり(電極形成、薄膜化等) また、破壊検査である陽電子のユニークさは際立っていると

いえるでしょう。図2には、STARC研究成果の一例として、SiGe膜上にエピ成長させた歪Si膜(厚さ30nm)の欠陥を同定した結果を示します。陽電子消滅実験とこれ

客員研究員主査からのコメント

株式会社ルネサステクノロジ
ウエハプロセス技術統括部 解析技術開発部
服部 信美

システムLSIに対する高性能化、大規模化のニーズに答えるべく、微細加工技術の開発が進められている一方で、メタル電極/High-Kゲートに代表される新たなデバイス材料の探索、導入の動きも本格化しつつあります。また、これら新規材料のデバイスへの実装の場において、デバイスの信頼性に関する要求の高まりから、低欠陥な薄膜形成と高感度欠陥評価手法の開発が強く望まれています。

上殿研究グループでは、低速陽電子ビームを用いたLSI構造体の微小欠陥検出・性状評価手法の開発に取り組んでいます。陽電子は電子の反物質（自然界には存在しない）であり、精密に制御された速度で対象物に照射、プロービングすることにより、構造膜中の欠陥情報を点欠陥レベルに至るまで高感度に探索することが可能です。これまでに、65 - 45nmノードデバイスでの導入を検討しているさまざまな構造膜について、単独あるいはモジュール単位での計測を試行し、数々の知見を得ることに成功しています。とくに、メッキCu配線膜やゲートHigh-K膜の信頼性に関する研究成果は学会の場でも紹介され、大きな注目を集めました。また、研究開始時点より設計、開発を進めてきました高効率陽電子ビーム装置についても、当初の計画性能を達成し、今後、ますます要求が厳しくなるLSI材料中の微小欠陥性状の解明に大きく寄与できるものと期待しています。さらに、陽電子分析シャトル便や技術移転セミナーを通じて、より多くの産業界からのニーズを掴み、そして、それに対する最適解を提案していく活動も鋭意進めていただいております。クライアントへの技術移転実績も積み上がりつつあります。これからも、当分野の研究者育成、研究成果の技術移転を積極的に進めて行く所存ですので、皆様のご支援、ご提案をお願いいたします。

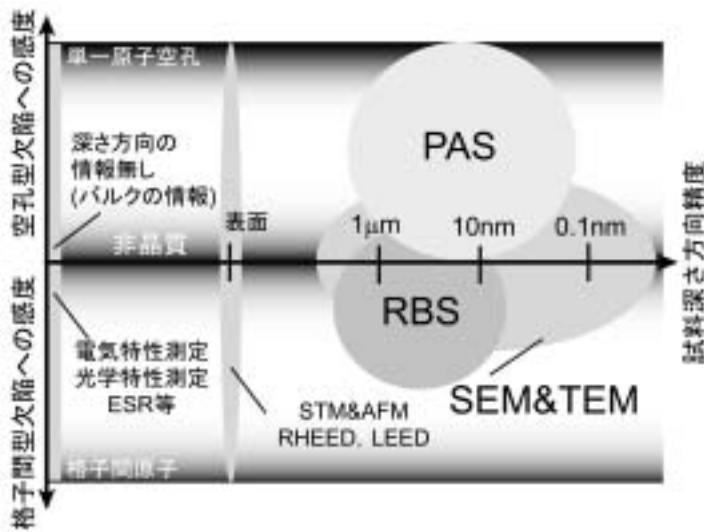


図1 陽電子と他の状態分析手法の比較(陽電子消滅ポジションマップ)

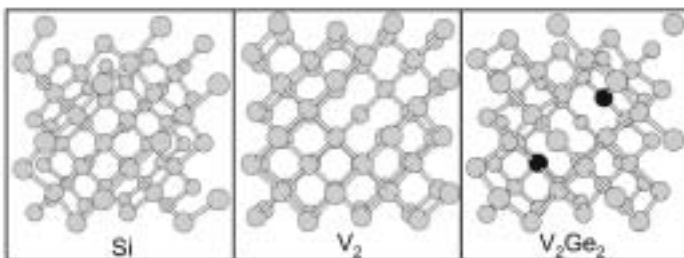


図2 陽電子消滅によって求めたSiGe膜上にエピ成長した歪Si薄膜の点欠陥の構造。
(a)Si単結晶、(b)複空孔、(c)複空孔 - Ge複合体(黒丸がGeを示す)
A. Uedono et al., J. Appl. Phys. 97, 023532(2005)より。

を支援する第一原理計算により、歪Si薄膜中には、大量の複空孔サイズの点欠陥が存在していることがわかりました[図中(b)]。プロセス温度の上昇等により、下地SiGeからGeが歪Si膜へ拡散しますが、歪Si膜へ入ったGe原子はその多くが上記複空孔サイズの欠陥と結合します。異種原子がSiの空孔と結合することにより、その周辺原子の位置に緩和が見られることが図中(c)より分かります。歪Si薄膜へ入ったGeは歪を緩和させるので、Geの拡散をいかに止めるかが歪Siテクノロジーを支え

るプロセスの要となります。本研究は、Geが欠陥と強い相互作用をすることを示し、欠陥をうまく使えばGe拡散を足止めできる可能性を示しています。

現在、大学は大きな転機にあり、その研究の方向性や産学共同研究の在り方、また、学生の将来決定についても数々の問題が存在します。STARCと大学の共同研究により、それら問題のいくつかが解決できると考えています。今後とも、日本の半導体産業の回復、維持、発展へ向けて微力ながら努力していきたいと考えています。

プロセスフレンドリー設計

- ST ARCAD_CEL(One step ahead of DFM) -

開発第1部 部長代理 村方 正美

システムLSIは、微細化の進展に伴い、タイミングマージンの減少、ばらつきによる設計余裕度の減少、チップ発熱や電圧降下などによる特性の劣化など、設計段階で考慮すべき技術課題が飛躍的に増加してきています。これら各種設計課題に対応するために設計コストは増大しています(図1)。さらに、プロセス、あるいはリソグラフィ起因によるレイアウトパターンの再現性の低下や、製造ばらつきや製造欠陥などにより製造歩留まりが低下するという問題も深刻化してきています(図2)。開発第1部では、このような技術課題の解決を目指し、製造ばらつきを考慮したプロセスフレンドリーな設計メソッドロジの開発を進めています。

開発する設計メソッドロジは、RTLからマスク処理ヘデータを渡すまでのインプリ関連技術を対象とし、以下を特徴としています。

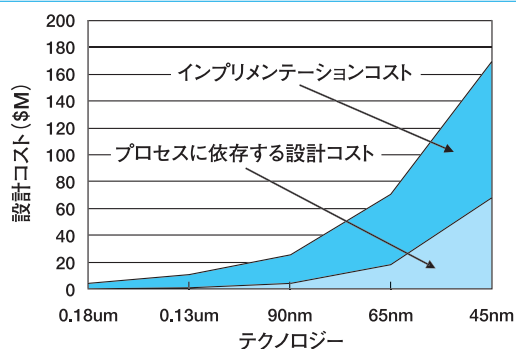
- (1) 界面からの最適化
 - ・システム設計、テスト設計、リソグラフィや製造とのインターフェースを考慮します。
- (2) 設計あいまいさの排除
 - ・物理現象を正確に把握・モデル化し、それらをメソッドロジに取り込みます。
- (3) コラボレーションの推進
 - ・DFMデータベースや設計インテントを活用することにより、設計と製造工程を一体的に捉えて、全体的な最適化を図ります。

今回のプロジェクトは、5年間でロジックノード45nm(44メガゲート、

700MHzを目標)対応の設計メソッドロジを開発します。次の3年間で32nm(88メガゲート、1GHzを目標)対応の設計メソッドロジ開発を行います。図3に、2年間の開発ロードマップを示します。

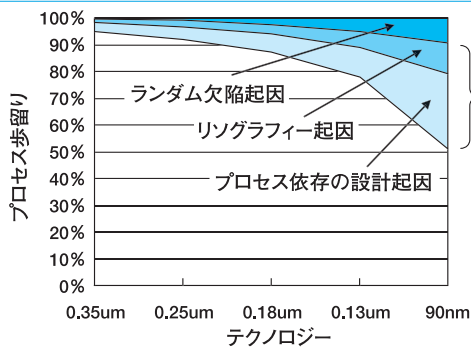
図4に、開発体制と設計メソッドロジの全体像を示します。設計メソッドロジは、設計全体をカバーする設計フローとフローに組み込まれる要素技術からなります。設計フローは、主要な2つのEDAベンダーをベースにして開発します。要素技術は、RTLプロトタイピングやSDC/DFTなどとのインターフェースの構築、消費電力解析/温度考慮や遅延計算などのサインオフ基準の確立、ばらつきを考慮した統計的遅延計算とそれを用いた設計手法の開発、歩留まりを考慮した設計手法やリソフレンドリーな設計手法の開発およびライブラリ開発手法があり、これら技術開発を行います。これら技術開発は、クライアント各社の技術サブワーキンググループメンバーの方々との議論を通し、我々の設計メソッドロジと整合が取れるようにEDAベンダーに働きかけながら進めています。さらに、各社先端コア支援委員の方々には、技術やリソースに関してご支援をいただいています。

前述したように、微細化が進むに従い、各種要因のばらつきが増大してきています。これまでは、これらばらつきに対応するために、設計段階でオンチップのばらつきを考慮した設計マージンを付加することで対処してきました。しかしながら、設計マージンは増加傾向にあるため、適切な設計マージンの設定が必要です。そのため、これまで設計マージンとして一括して取り扱っていた各種ばらつきの物理現象を正確に把握・モデル化して設計に取り込み、適



Source: IBS, 2005年1月(0.18um~65nm)
45nmのコストは上記およびITRS(2003年)より推定

図1 プロセスに依存する設計コストの増加



Source: IBS, 2004年10月

図2 DFMの不備による歩留まり低下

正に取り扱う必要があります。すなわち、ばらつきにはシステムティックなばらつきとランダムなばらつきの2つがありますが、それぞれについて適切な処理を施す必要があります。

開発中の設計

	2006年上期	2006年下期	2007年上期	2007年下期
全体	65nm対応設計メソッド	ばらつき考慮設計メソッド (65nmを題材)	Ultra Low Power設計メソッド (65nmを題材)	歩留まり考慮設計メソッド (45nm対応準備)
フロー	65nm基本フロー構築 Particle Yield/Litho Aware フローフィジビリティスタディ V3.0 Update 設計インテント仕様策定	Particle Yield最適化 Litho Aware最適化フロー (基本版) 階層サインオフ 設計インテントI/Fフロー	SSTAサインオフフロー(基本版) (SSTA適用方法) 温度考慮リーク電力最適化 (基本版)	RTL~Mask最適設計フロー RTLプロトタイピング 統計的設計手法 Particle/Litho Yield考慮の サインオフ
フロント エンド	GateLevel DFT I/F整備 RTLプロトタイピングイメージ策定	SDC設計環境整備	RTL DFT I/F整備	RTLプロトタイピングの整備
サインオフ	65nmサインオフ基準の確認	電力サインオフ手法の確立	温度考慮のサインオフ手法の確立 Particle/Litho Yield考慮のサイン オフ手法の確立	Particle/Litho Yield考慮の サインオフ手法のフロー組み込み
ばらつき	ばらつき要因、影響調査 SSTA個別機能評価1	SSTA個別機能評価2 ばらつき考慮設計手法	SSTAサインオフ手法の確立	SSTAサインオフフローへの 組み込み
D F M	Particle Yield/Litho Aware ツールフィジビリティスタディ DFM DB開発方針検討	Particle Yield/Litho Aware 有効性確認と実用化改善	Litho Yield見積もり手法の確立	Particle/Litho Yield考慮サイン オフフローへの組み込み
ライブラリ	65nmEDAライブラリキット作成 Particle Yield考慮ライブラリ開発 手法	SSTAライブラリ開発手法 ハードIPモデル確立	温度考慮ライブラリ開発手法	Yield考慮ライブラリ開発手法 (Particle,Litho,温度,SSTAなど)

図3 開発ロードマップ

メソッドでは、システムティックなばらつき（例えば、レイアウトパターンの形状や密度に依存した配線幅などの変動、など）に対しては、原因を解析・究明し、適切に最適化を図ります。ランダムなばらつき（例えば、トランジスタごとのVthのばらつき、など）に対しては、統計的な

処理を施し、設計マージンの縮小を図ります。

製造においても同様に、ばらつきを原因とした遅延変動などにより性能が変動する性能不良（パラメトリック歩留まりの低下）や配線の断線や短絡などによりLSIの機能そのものが損なわれる機能不良（製造歩留まりの低下）などの問題が生じます。

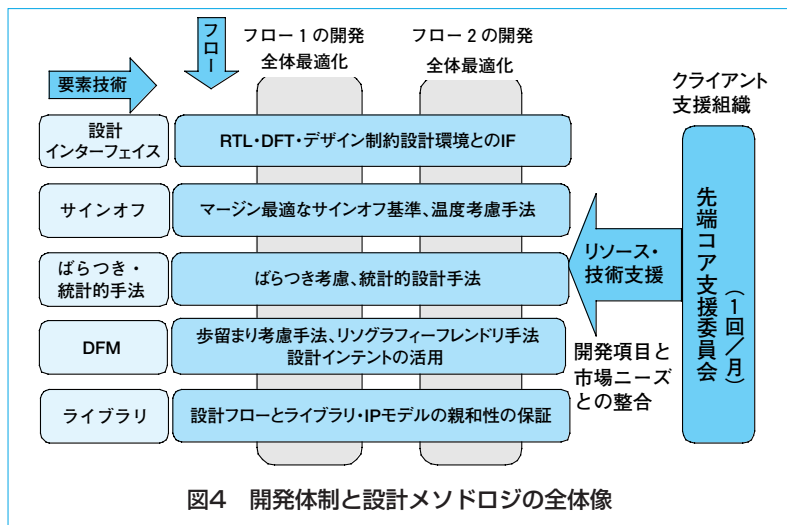


図4 開発体制と設計メソッドの全体像

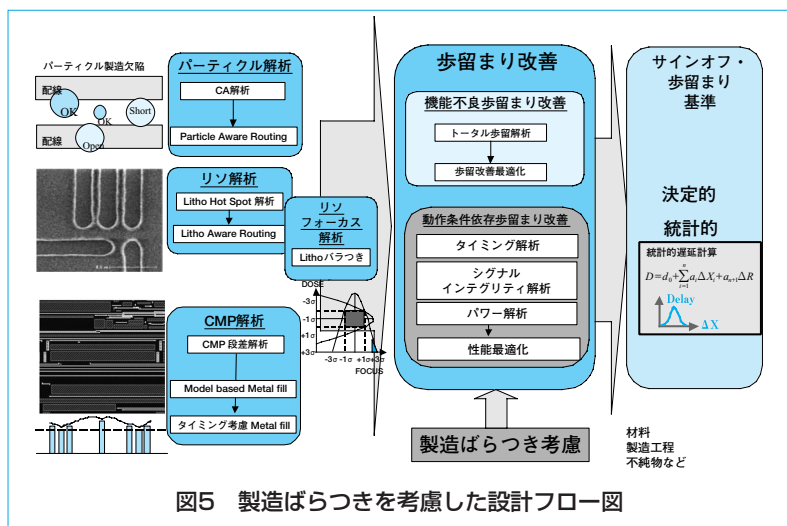


図5 製造ばらつきを考慮した設計フロー図

図5に、現在我々が開発を進めている製造ばらつきを考慮した設計フロー図を示します。この設計フローでは、製造欠陥やリソグラフィ起因およびCMP (Chemical Mechanical Polishing) 起因の各製造ばらつき問題に対して、解析処理を行い、適切な最適化処理を施すことで、製造歩留まりとパラメトリック歩留まりの改善を図ります。この中で、ばらつき問題の対策・検討については、Selete (株半導体先端テクノロジー) と連携を取って進めています。

また、MDP/OPC処理の効率化も設計と製造が一体となって進める必要のある重要な課題です。この課題解決へ向けて、現在、ASET (Association of Super-Advanced Electronics Technologies) と共同で、設計インテント (意図) をマスクデータ処理などの後工程へ伝える仕組みについて検討中です。設計インテントを活用して、設計のクリティカル度に応じてOPC補正処理に強弱を付けるなどの処理を施すことで、MDP/OPC処理でのデータ量の削減、処理時間の削減を狙っています。

以上のように、開発第1部では、関連組織と連携をとりながら、設計と製造で一体となって製造ばらつきを考慮したプロセスフレンドリーな設計メソッドの開発を進めています。

TL設計実用化への第一歩： 抽象レベルの明確な定義

開発第2部 高位設計開発室長 柏木 治久

高位設計開発室はTL(Transaction Level)設計実用化のために、モデルの標準化とメソドロジの開発を行っています。2006年度上期は、その第一歩として、モデルの抽象レベルを明確に定義しました。その過程で、文献をもとに各標準化団体で使われている抽象レベルの定義を調査しましたので、ここでご紹介します。

抽象レベル定義の重要性

TL設計は抽象レベルの高いモデル(設計/検証したいものにだけ特化し、それ以外は思い切って省略する)を使うことで、設計/検証の品質と生産性を上げるものです。しかし、この抽象レベルにばらつきがあるために、モデルの標準化ができず、再利用が進まない原因となっています。

抽象レベルを明確に定義し、各設計工程の中でどの抽象レベルのモデルを使っていくのかを決め、標準化していく必要があります。

有名な抽象レベル分類 定義

図1は2003年にGajskiらが発表した抽象レベルに関する分類で、モデルの内部処理(計算)と外部インタフェース(通信)の2次元に対して、Un-timed、Approximate-timed、Cycle-timedの分類をしています。これは、抽象レベルの定義ではなく、たくさんの抽象レベルのモデルが存在するという分類を示したものです。

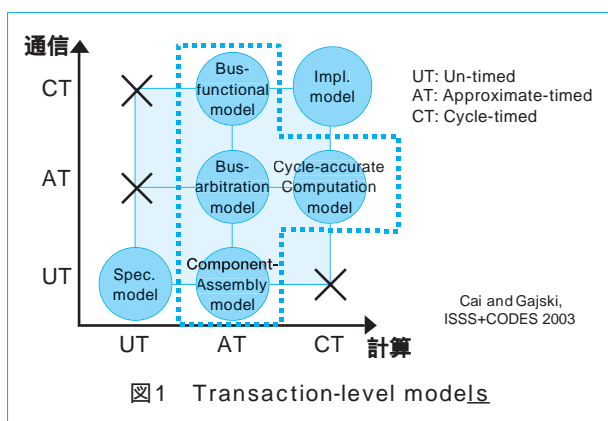


図1 Transaction-level models

各標準化団体の調査を通してわかったこと
抽象レベルの定義についてTLM標準化の現状を調べるために、OSCI(Open SystemC Initiative) OCP(Open Core Protocol) GreenSocsの文献調査を行いました。PV(Programmers View) PVT(Programmers View w/ timing) AV(Architects View)等、さまざまな抽象レベルの記述がありましたが、多くの場合、モデルの使用目的と定義が混在していたので、努めて定義部分を抽出す

るようにしました。その過程で、明確な定義をするためには【抽象レベルの定義は通信に限定する】【通信の抽象レベルは1次元ではなく、タイミングと粒度の2次元で定義する】の2点が重要だということがわかってきました。

標準化の現状

図2は通信の抽象レベルをタイミングと粒度の2次元で表現し、各標準化団体の提唱するモデルの抽象レベルをマッピングしたものです。これは各標準化団体に確認を取ったものではなく、公開されている文献を我々が調査し、定義部分を抽出した結果です。

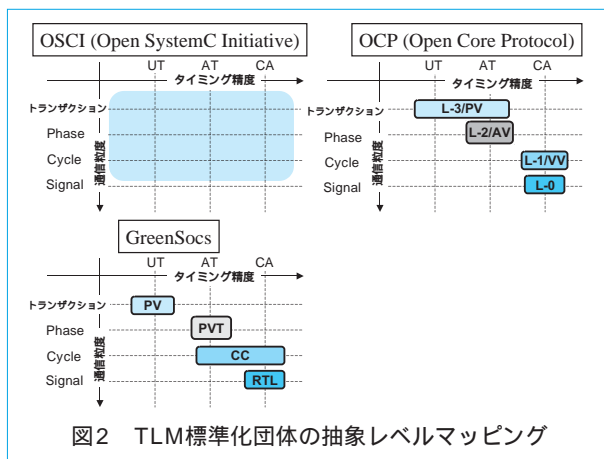


図2 TLM標準化団体の抽象レベルマッピング

OSCIにはPV、PVTといった用語は出てきますが、抽象レベル定義はありません。図にあるような広い範囲をカバーするような基本APIを定義しています。OCP、GreenSOCSはそれぞれに抽象レベルを定義し、OSCIの基本APIをベースにそれらの抽象レベルのAPIを定義しています。残念ながらその定義は少しずつ異なっています。このような状況では、抽象レベルの明確な定義がされているとはいえません。

抽象レベルの明確な定義と設計対象抽象レベルの決定
我々は、標準化団体の抽象レベル定義を調査し、明確な抽象レベルを定義しました。さらに、TL設計工程の中で、それらの抽象レベルのうちの、どのモデルを使っていくのかを決定し、参加クライアント5社に展開しました。

今後の活動

今後は、設計対象抽象レベルのモデリング記述ガイドラインを作成して、モデルの標準化を進めるとともに、これをベースにTL設計メソドロジを開発していく予定です。

国際学会参加報告

第43回 Design Automation Conference (DAC)

学会概要

今年サンフランシスコのMoscone Centerで開催されました。日程は7月24日(月)から28日(金)までです。テクニカルセッションは25日(火)から27日(木)の3日間ですが、6つパラレルでありとてもではないですが全貌を把握することもお伝えすることもできません。私の関心の範囲でみた報告になってしまいますことご了承ください。なおDACは、論文と発表スライドの他に、主なパネル、Special Sessionのビデオもホームページ^{*1}で公開されており、詳細や本報告に含まれない範囲についてはそちらを参照いただけます。またDACの重要なイベントとして展示がありますが、私はほとんどみていないので本報告には含まれません。

7月27日の発表では全参加者は11,352(最終的にはもう少し増えたようです)で2001年以降最高で、昨年25%アップだったそうです。内訳は登録した学会参加者が3,231人、登録した展示参加者が3,421人、その他(exhibitors, visitors and guests)が4,700人です。展示出展会社は約250社です。テクニカルセッションはregular paperの応募がProceedingsの記事によると865です。昨年は735だったので論文応募についても今年は多かったようです。一般発表は数えてみると44セッション179件でしたから採択率は20%くらいです。この他にSpecial Sessionが8、パネルが9、Invited Sessionというのが1つありました。

今年のハイライトテーマはMEGaでした。Multimedia, Entertainment, and Gamesの略語です。確かにプログラムを見ると“CAD Challenges for Leading-Edge Multimedia Designs”とか“Challenges for Next-Generation Multimedia, Games, and Entertainment Platform”とかそれらしいセッションやパネルは幾つかありますが、先に書いた有様で、敢えてそれらの聴講を選択しなければハイライトされていた実感はあまりありません。

キーノートは火曜日General Session(開会式)の際に行われたTexas InstrumentsのCTOであるHans Storkさんの“Structuring Process and Design for Future Mobile Communication Devices”を聴きました。市場状況から始まりましたが内容のほとんどはリソグラフィー、トランジスタ、配線、

パワーマネジメント、実装、ばらつき等の今後の技術課題についての説明でした。アイテムの羅列のなかではDigital RF回路の有効性を強調していたのが目立ちました。キーノートは他に2件あり、月曜日にあった、かつての(10年ほど前の)CADENCEのCEOで現在はOrb Networks他幾つかの会社の役員をやっているJoe Costelloさんの“iPod or Iridium - Which One are You Going to Be?”と題された講演がとても面白かったとの評判です。私は聴けなかったのですが、この講演も含め3つのキーノートがすべて前出のビデオで公開されています。

*1 <http://www.dac.com>

テクニカルセッション～DFM等

テクニカルセッションは次のような分野をカバーしています(カッコ内数字はセッションの数。単一分野に特定し難いセッションもありますので、目安とと考えてください)。ハイライトテーマ(MEGa, 4)システム設計(Design Methodology, Architecture, ESL等、9)組み込みソフト(1)電源関係(Low power design, PowerGrid Analysis, Thermal-aware Design等、9)信頼性・配線(3)Analog/Mixed/Signal(4)ゲートモデリング・縮退(1)高位検証・形式検証(6)テスト(3)合成(5)FPGA(2)DFM・SSTA(6)。おおよそ昨年と同様の内容ですが、今年新たにBeyond The Dieというキーワードでパッケージ一体設計や3次元IC等の2セッション、New and Emerging TechnologyということでCarbon NanotubeやBio-Chipを扱う3セッションが設けられました。

DFMは関係セッションが6セッションあり、今年もホットトピックではあります。設計は本来ManufacturabilityやYieldを目指すものでありそのためにさまざまな設計ルールやコーナ条件を守って設計が行われてきたわけです。したがって実はDFM: Design for Manufacturability(やDFY)は逐語的には何も意味していません。幾らでも言葉の意味する領域の拡大が可能で、そのために意味曖昧になっていたくらいもあります。これに対し、今年ようやくDFMの何たるが明確になってきたという見方があります(*2)。確かに、Panel“DFM: Where's the Proof of Value”はDFMツールのベンダーがDFMツールの必要性やあるべき姿について話すという内容

で、DFMがツールとしてどんどん実現されていっている現状を思い知らされますが、やはり現実に見えているのはRET等lithographyやMask関連ツールであるという印象が強いです。プロセスと設計が分かちがたく結びついてくる一般的な傾向を表す言葉としてはともかく、技術的な観点からは、DFMという言葉は従来ポストレイアウトで行っていたこれらの処理と、それを設計時にも考慮する技術に限定し、ばらつき考慮や統計的扱いは決定論的扱いから統計的扱いへの移行という別の切り口で扱った方がすっきりするというように思うのですがどうでしょうか。

さて実際にDFM関連セッションでどういう発表があったか簡単に紹介します。

SESSION 5: Practical Applications of DFMでは4件の発表がありました。その内の2件はIBMの発表でSRAMのyield解析です。SOCやprocessorでのSRAMの重要性かつSRAMは最小寸法のデバイスを使用するのでSRAMのyield解析はきわめて重要であるという主張です。5.1の論文は読み出し時のノイズマージンやアクセス時間等の特性をトランジスタの閾値電圧等デバイスパラメータのばらつきに対する一次式で表しfailure rateを計算するというもので、そのための考え方や手法を提示しています。5.3の論文は4レベルのような低failure確率のyield解析に、本来なら膨大な試行数を要するMonte Carlo解析を適用しようという提案です。Importance samplingという手法を用いることで桁違いに小さいサンプル数で必要な精度を得ることができることが実験データで示されています。5.2もIBMの発表です。統計的STAで結果が仕様を満たさなかったとき、回路のどこを修正すべきかという指針を与えるためCriticalityという概念を導入します。例えばネットのCriticalityとはそのネットがクリティカルパス上にある確率です。Criticalityが高い部分を修正すればよいということになります。ゲート、ネットのCriticalityを高速に計算するアルゴリズムが提案されています。このセッションのもう一つの発表5.4はAMDの発表で、配線歩留まりやOPCコストを考慮するマクロ向けのレイアウトシステムです。

SESSION 43: Yield Analysis and Improvementは3件の発表。53.1はSynopsysの発表で、CMPIによる配線のチップ内ランダムばらつきよりチップの歩留まりを求めようというものです。レイアウト依存厚をCMPシミュレータで求め、それにあらかじめTEGで評価してあるランダムばらつき(分散と距離依存相関係数)を重畳し配線厚が仕様内に入る確率を求め

るもので、ランダムばらつきを考慮することで考慮しない場合に比べ見積もり歩留まりが低下するという評価結果が出ています。53.2は国立台湾大学とUMCの発表です。リダウンドット挿入を考慮Routingと挿入のアルゴリズムの発表です。43.3はNorthwestern大学の、信頼性のセッションにあってよさそうなアンテナルール違反を修正するためのアルゴリズムの発表。

SESSION 45: Design/Technology InteractionはSESSION43と並行のため聴けなかったのですがprocess variation aware OPCとかチップ内ばらつきのモデリング、配線ばらつきに対し遅延のコーナ条件を与える解析モデル、リソ起因のばらつきを考慮したStandard Cellのキャラクタライゼーションの4件の発表があったようです。DFM関連のセッションは他にSESSION10がSSTAのセッション、またパネルが2セッションありました。

他に私が全く個人的に印象深かった発表をもう2件ばかり紹介します。現在、実際のセルベース設計ではDFMもさることながら、クロストーク解析にべらぼうに時間

がかかるとか、遅延計算の精度が悪いといったことにも悩まされており、これらも何らかのブレイクスルーがないと解決できない課題です。今年のDACでは、crosstalkやSignal IntegrityのセッションはありませんでしたがGate modelingという言葉が入ったセッションはあり(SESSION15)2件の発表がありました。一件はIntelの発表で2つ以上の入力が入力状態にあるときの精度を解決したモデル(15.1)。もう一つはUCLAのCellの統計的な遅延モデルについての発表です。両方とも従来のThevenin電圧源モデルや、最近のECSM、CCS等解析時にあらかじめSPICEで計算されているテーブルに合わせてセルモデルを作るという手法ではなく、2003年にやはりDACで発表されたBlade and Lazorのようにキャラクタライズされた電流源を内部に持つモデルです。実際のセルベース設計で広く使用するためにはまだまだ課題がありますが、少しずつ解決され、やがて(誰かが別の革命的なモデルを考え出さない限り)この系統のモデルが主流になっていくと個人的には思っております。

*2 8月24日付のDAC Newsletter。いわばインサイダーの報告ですが、十分に客観的で、ここでは書きにくいようなテーマを扱った報告もあります。

おわりに～DAC10運動

DAC2006について、限られた範囲ですが報告をいたしました。

日本の発表は近年10年ほど、数件と低迷しています。DAC2007には日本から10件以上の論文採択を目標に、STARC株主会社・大学のご協力の下、DAC10運動を展開しています。多数のご投稿を期待しております。(研究推進部 杉本益規)



会場のMoscone Center

国際学会参加報告

第32回 ESSCIRC 2006

はじめに

第32回ESSCIRC(European Solid-State Circuits Conference)は、2006年9月18日から22日にかけてスイスのレマン湖畔の小都市モントルーで開催された。ジャズ・フェスティバルで有名なモントルーは、パイロン、ヘミングウェイ、ストラヴィンスキー、チャップリン、クイーンなどが滞在し、多くの文学者、音楽家、芸術家を魅了しインスピレーションを与えてきた町であり、町中至る所にミュージシャンの銅像が建てられている。早世したフレディ・マーキュリー(クイーンのボーカリスト)の銅像を発見したときには思わず手を合わせてしまった。学会の会場はコンサートもできるように設計されており、マイルス・デービス・ホールと名付けられた広い会場で表彰などのセレモニーやプレナリートークが行われた。日本から参加された研究者の方たちもこの芸術の薫り高い町からインスピレーションを受け、新たなコンセプト創生のきっかけになったら幸いである。

プレナリートーク

ESSCIRCの特色のひとつに、プレナリートークが質・量ともに充実していることが挙げられる。ESSCIRCの単独プレナリートーク、同時並行で開催される半導体プロセス関連のESSDERCの単独プレナリートーク、両学会のジョイント・プレナリートークが企画され、参加者はそれらを自由に選択し聴講できる。キャラメルCMではないが、「一粒で3回おいしい」感じである。以下のプログラムより、今年は応用分野としてソフトウェア無線とバイオに注目しているのが見て取れる。

ジョイント・プレナリートークは全部で6件が3日間の午前/午後に行われた:

Polymer Vision社(フィリップスのスパインアウト企業)による「丸められるディスプレイ」

慶応大・黒田教授による「低消費電力・高速なチップ間無線通信の展望」

EZHによる「CMOSやMEMSのバイオシステムへの展開」

ミシガン大学による「RF-MEMS」

東芝・内田氏による「単一電子デバイスと回路」

カソリック・ルーベン大による「ナノCMOSにおける回路設計手法とツール」ESSCIRCのプレナリートークは以下の3件である:

カリフォルニア大サンタクルーズ校による「QoLとバイオエレクトロニクスの役割」

伊バビリア大による「ソフトウェア無線に向けた多モード再構成可能な無線端末」UCLAのAbidi教授による「SDR(ソフトウェア無線)レシーバの進化」

論文投稿状況

今年のESSCIRCは38カ国(昨年は30カ国)から352件(昨年は288件)の投稿があり、128件(昨年は113件)採択され、採択率36%(昨年は39%)と相変わらずの狭き門となった。採択論文の傾向を表に示す。31セッション中、デジタル分野と思しきセッションが4セッションあるが、その内2セッションはパラメトリック設計に関するものとDLLなどクロック制御に関するものであり、純粋にデジタルといえるのは「低電力SoCインテグレーション」と「アーキテクチャ及びビルディングブロック」に関する2セッションである。逆にアナログ関連のセッションの中でも、次第にデジタル的要素の増大が見られる。高精度・高速のデ

ータコンバータ関連に顕著であるが、動作モードのプログラマビリティ、素子バラツキの補償、バックグラウンド・キャリブレーションや信号サンプリングなどデジタル論理のコンセプトが大幅にアナログ・チップに取り入れられつつある。アナログもデジタルも高性能を追求すると互いの要素を取り入れざるを得なくなるといえる。その意味で高性能SoCの世界では、アナログとデジタルの区別がなくなりすべての回路はミックスドシグナル化する。

さらにいえば、従来はカードやボード・モジュールの単位で遂行していた機能をパッケージのレベルに集積したいという市場要求の高まりにつれ、センサー、アクチュエータ、フィルタ、アナログ/RFフロントエンド、データコンバータ、デジタル信号処理、コントローラ、など異質のものをコンパクトに安価に集積する大きな技術のうねりの中では、アナログ vs. RF vs. デジタルのモノリシック基板への集積は相対的に比重の小さなものとなってきている。今回は、フィルタ関連が2セッション、イメ

ージャが1セッション、センサーが3セッション (I/F、ノイズ、ローカル処理) である。ムーアの唱えた目安に従う、お行儀のよいシリコンの箱庭の中での研究開発は終焉し、異種技術や異種デバイスをいかに集積するかという、町工場的な柔軟かつ大胆な獣道的研究開発も必要な時代に突入しつつあるといえよう。

ここ3年間の動向を見ると、採択件数が2割増の中で、欧州が微減、米国が2倍超の増加、アジアが3割増、日本が横ばいと、ここでも日本勢の元気のなさが目に付く。アナログ・RF分野の研究開発拠点としての魅力以外に、最近のユーロ圏高の環境下では市場としてのEUの魅力も増大している。GSMの標準化など通信関連での底力も侮れない。中世のギルド的体質も残っており後から入りにくい一旦入るとWin-Winの関係を結びやすいビジネス慣習でもある。ESSCIRCなどの学会をきっかけとしてでも欧州の半導体業界と市場にもっと積極的にアクセスすることも必要ではなからうか？

ESSCIRC2006採択論文の傾向

(企 : 企業、学 : 大学・研究機関、共 : 共同研究、共同研究の数は産・学が連名になっている論文数であり内数である)

セッション	地域			日本			アジア			北米			欧州			合計
	開発主体	企	学	共	企	学	共	企	学	共	企	学	共			
A3L-C Receivers & Synthesizers					2	1					2	1		5		
A3L-D Low Power & Variability Aware Circuits		1									1	3	3	5		
A3L-E Advanced Mixed-Signal Techniques		1							1		1	2		5		
A6L-C RF Subsystems					1				1		1	1	1	4		
A6L-D Advanced Architectures & Building Blocks		1			1		1				1			4		
A6L-E Mixed Signal Circuits & Systems					1				1			2	1	4		
A6L-F Continuous Time Sigma Delta Modulators											2	2		4		
A9L-C Filters I											2	2	1	4		
A9L-D Low-Power Techniques for SoC Integration					2						2			4		
A9L-E Sensor Interfaces								1			3	1		4		
A9L-F Ultra Wideband Circuits					2						2			4		
B2L-J Joint Session on Emerging Devices and Circuits 1		1							1			2		4		
B3L-C Transceivers, Transmitters & PA		1			1	1					1	2		5		
B3L-D Memory Circuits									3	1	2		1	5		
B3L-E Other Analog Circuits					2			1		1		2		5		
B6L-C Filters II		1			1						1	1	1	4		
B6L-D RF Building Blocks								2	1		1		1	4		
B6L-E Amplifiers								1		1	1	2		4		
B6L-F Noise Issues in Sensors									1	1		2	1	3		
B9L-C RF Circuits Beyond 20 GHz		1									2	1	2	4		
B9L-D High-Speed Data Converter Techniques											1	3	1	4		
B9L-E Sensors with Local Processing									2		1	1	1	4		
B9L-F Joint Session on Emerging Devices and Circuits 2								1	1		1			3		
C3L-C VCO		1			1				1			2	1	5		
C3L-D Clocking & High-speed Digital Interfaces		1			1				1		1	1	1	5		
C6L-C Advanced Communications Interfaces					2	1						2		4		
C6L-D Switched Capacitor ADCs								1			2	1	1	4		
C6L-E High Speed Circuits					1			1	1	1		1		4		
C6L-F Power Management								1	1		1	1		4		
C9L-C Pipeline ADC		1			2	1						1		4		
C9L-D Time Correlated Imaging												4	1	4		
C9L-E High Voltage Circuits & Systems								3		1		1		4		
総計		3	7	0	1	17	3	16	14	7	21	50	18	129		

STARC関連の発表

日本の大学・研究機関からの発表6件中5件がSTARC関連の発表であった。以下にタイトル・発表者を記す。

京都大学・小林研究グループ

(発表者: 小谷君)

"A 90nm 8x16 LUT-based FPGA

Enhancing Speed and Yield Utilizing Within-Die Variations"

神戸大学・永田研究グループ

(発表者: 野口君)

"On-Chip Analog Circuit Diagnosis in Systems-on-Chip Integration"

広島大学・マタウシュ研究グループ

(発表者: 上口君)

"Multi-Bank Register File for Increased Performance of Highly-Parallel Processors"

STARC共同研究成果そのものではないが、成果である設計手法を活用した設計試作結果が2件、いずれも留学生から発表された。

東京大学・藤島研究グループ

(発表者: Ahmet君)

"22-29GHz CMOS Pulse Generator for Ultra-Wideband Radar Application"

東京大学・藤島研究グループ

(発表者: Lai君)

"An Integrated 20-26 GHz CMOS Up-Conversion Mixer with Low Power Consumption"

上記5件の研究のうち4件はVDEC/スターシャトルのCMOS90nmプロセスを用いた成果である。当初はデジタルのみであったスターシャトルのサービスも徐々にアナログやRFにも展開されてきており、産学連携の実のある成果が出始めている。

まとめ

ESSCIRCはアナログ・RF・センサーなどに特色を持ち注力することにより、欧州のローカル学会から国際学会へと脱皮したと思われる。米国の50州より多様性のあるEU諸国が各々の独自性を保持しつつマスマーケットを狙う戦略戦術は興味深い。とくにアナログ・RFでは外部仕様が変わるとアーキテクチャからすべて変更せざるを得ない状況などよく起こるので、そのような多様な環境・市場・規制などの垣根から新コンセプトが生まれ易いのではなからうか？その意味で、同じように多様性のあるアジアの学会であり11月に開催されるA-SSCCにも大いに期待をしたい。

(研究推進部 益子耕一郎)

開発第1部は、2006年4月にプロセスフレンドリーな設計環境（STARCAD-CEL(One step ahead of DFM)）の開発を目的とした先端コアプログラムとしてスタートしました。世の中はDFMが流行ですが、STARCAD-CELでは、DFM関連技術への対応はもちろん、この名前が示すように、DFMの一步先の技術開発を目指しています。これへ向け、開発第1部メンバー、クライアント各社の方々、関連する技術分野の大学・業界の方々と連携を取って、設計と製造を一体的に捉えたシステムLSIの設計メソッドの開発を進めています。

開発第1部は、現在（2006年10月1日）7社から43名の出向者と設計会社4社から12名の開発パートナーさんを加えて合計55名の技術者で開発業務を推進しています。2つの設計フローチームと5つの要素技術開発チームで開発を進めています。また、技術分野ごとに技術サブワーキンググループを設け、各クライアントからそれぞれの技術の専門家に加わっていただき、技術の方向性などについて毎月ご議論いただき、真に有用で、次世代のシステムLSI開発に必要な技術開発を進めています。

今年10月に「65nm対応設計メソッド」をクライアント各社へリリースしました。これに関連し、リリース説明会、希望によりクライアント個別に技術移管（T.T.）説明会の実施、STARC T.T.ルーム内でのSTARC成果の追試など、開発成果をクライアント各社で有効に活用していただけるようにT.T.へ向けた各種メニューを用意しました。今後も各期末には、新技術を搭載した設計メソッドを順次リリースしていく予定です。

これからも、システムLSIの設計メソッド開発はSTARCに任せておけば大丈夫、と皆さんに信頼していただけるよう努力していきたいと思っておりますので、皆様のご支援・ご協力をよろしくお願いいたします。

（部長代理 村方 正美）



左より、西口 信行部長、村方 正美部長代理、大野 雅子(書記)

世界最先端の設計フローを目指せ！PRIDEチーム

PRIDEチームは、Cadence Design Systems社製ツールベースの設計フローの開発を行っています。昨年まで開発していたSTARCAD-21 ZDフローのコンセプトであった「Check and Go」と「予測と予防の技術」に加え、「製造性最適化技術」に焦点を当て、DFMを考慮した効率的な設計フローの構築を目指し開発を進めています。先日リリースしたPRIDEフローV0.5では、65nmテクノロジーの基本設計フローの構築を行い、Particle Yield最適化配線技術、Critical Area解析機能の導入を行いました。今後、V1.0で

は「ばらつき考慮の設計フロー」、V1.5では「超低消費電力設計フロー」、V2.0では「歩留まり考慮の設計フロー」の開発を予定しています。PRIDEチームのメンバーは、STARCクライアント出向者、STARC社員、開発パートナーからなる混成チームで構成され、年齢層も幅広く、キャリアもさまざまですが、お互いに助け合いながら、楽しむことを忘れずに日々頑張っています。



左より、落合、北濱、鈴木(強)、杉岡、園田、鈴木(聡)、神谷

PRIDEチームメンバーの声

落合 広宣：「PrideフローのPhase3担当です。最先端の設計フロー提供を目指して頑張ります。」
北濱 龍三：「毎日が新鮮で初心に帰って頑張っています。」
鈴木 強：「Phase2/CTSの担当です。頼りにされるSTARCを目指して頑張ります。」
園田 慎次：「会社の壁を越えて、協力しあえる環境を大事にして頑張ります。」
鈴木 聡明：「各社エンジニアと議論できる環境は貴重と感じます。日々是精進。」
神谷 保之：「最新のツール、技術に触れられ非常に嬉しく感じています。」



PRIDEの由来

ZDの由来を引き継ぎ、カリフォルニアにあるワイナリーのPride Mountain Vineyardsから命名しました。世界に誇れる設計メソッドを開発したいと思います。とってもおいしいワインです。

（チームリーダー 杉岡 俊明）

Eagleフローチーム～世界最強の設計メソッドを狙う～

EagleフローチームはSynopsys社Galaxyデザインプラットフォームをベースにした設計メソッドおよび設計フロー開発を行っています。物理考慮RTL設計、製造性考慮レイアウト、統計的設計手法、高精度サインオフ技術・ライブラリ技術など最先端技術の全体最適化により大規模・高速・低消費電力LSIを実設計に適用可能とするものです。Synopsys社様、クライアント各社様には今後ともご支援いただきたくよろしくお願いいたします。



後列左より、小林、石塚、森、田中、富田
前列左より、岩田、内田、門田、竹内

最強フローを目指す最強開発メンバーより意気込みを。
小林 茂：「スポーツの中で野球が一番好きです。とくに高校野球は夏の地方大会から自分の中では盛り上がっています。」
石塚 浩一：「根がまじめなので関西人は皆お笑い系に見られて困っています。最近やっと冗談がいえるようになりました!？」
田中 聡：「今頃、V0.5リリース説明会に向

けたラストパートで皆ヒーヒーいっていると思います。差入れ歓迎。」**富田 充広**：「川崎フロンターレ・サポ。試合翌日の応援疲れで齢を実感する今日この頃。そういえば新横浜はアウェイ...。」**岩田 直樹**：「Eagleチームで主に設計Intentを担当。ムードメーカー、レク委員、そして最終秘密兵器として活躍中。」**内田 哲也**：「往復3時間の通勤にもSTARCにも慣れてきた今日この頃、リリース後の充実感を糧に頑張ります。」**門田 匡史**：「ギターを1本片手に大阪から横浜へ。周りは経験豊富な猛者ばかりなので、せめて勢いともミアゲの長さだけは負けなつもりです。愛称は“モンちゃん”。」**竹内 真哉**：「北海道出身のスーパーレー愛好家です。関東でも札幌のように優良店が増えることを願っています。」



Eagleフロー：
ワイナリー“Screaming Eagle”より命名。あすかプロジェクトの成果を引き継ぐ意味でカリフォルニアのワイナリー名が由来となっている。最も値段が高く、まさに最強にふさわしい。

(チームリーダー 森 裕之)

設計TAT大幅短縮を目指す RTL/SDC/DFTチーム

RTL/SDC/DFTチーム(通常 フロントエンドチームと呼んでいます)は、「RTL/SDCをリファインし、DFT工程やP&R工程の処理時間の短縮、およびイタレーションを低減した設計TATの短縮を実現」という目標を掲げ、日々開発業務に勤んでいます。

具体的には、“RTL”という設計の早い段階でシリコンへのインプリ(メンテーション)を意識した環境を構築し、設計工程上の後戻りを防止/低減することにより、トータルな設計TATの短縮実現を目指しています。

先日リリースを行ったSTARCAD - CEL V05では、前プロジェクトのSTARCAD-21で行っているRTLチェッカやSDCチェッカなどの開発をさらに推し進めました。現在、新たな課題として、RTL段階でのDFT (Design For Test) を考慮した設計環境開発に着手。今後、タイミングや配置配線見積もり機能、消費電力解析機能等の環境開発を行っていく予定です。また、これら個々の要素技術をうまく組み合わせることによって、さらに効率の良い設計環境へと統合していきたいと考えています(RTL プロトタイプング技術の確立)



後列左より、
吉田 仁、
丸本 潤一郎、
小澤 学、
佐野 昌弘
前列左より、
伊藤 嘉則、
岡崎 裕司、
中村 一裕

チームは、同年代各2名ずつで構成されているため世代バランスが良く、創意工夫を行う上でも多様な発想が期待できるメンバーだと思います。技術面では、メンバーにとっては新しい分野(とくにDFT)も含まれているため、各自で知識を修得しつつ、他チームやクライアント各社様のご協力を仰ぎながら開発を進めていきたいと考えています。

チームワークはもちろん、チーム外とのコラボレーショ

ンも大切にし、また、一人ひとりが輝けるよう頑張ってもらいますので、皆様、暖かいご支援とあふれる愛情を注いでくださいますよう、お願い申し上げます。

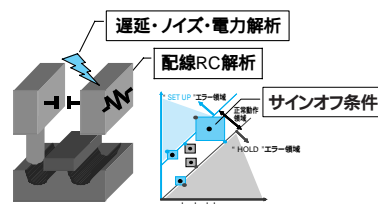
(チームリーダー 小澤 学)

品質・正常動作を解析する サインオフチーム

チームのミッション

プロセス世代の進展に伴い、LSI設計段階でのタイミング・消費電力解析がますます重要となってきています。サインオフチームでは、LSIの品質・正常動作を確認するため、(1)配線RC解析、(2)遅延・クロストーク解析、(3)電力・IRドロップ解析、(4)サインオフ条件開発をミッションとして設計技術開発を推進いたします。

昨年度までのANAチーム・SOHOチーム双方の遺志?を引き継いで、今年度以降は遅延だけでなく電力等其他条件を考慮したサインオフ技術を開発していきます。



サインオフチームの技術開発領域



友泉新横浜ビルに集うメンバー
後列左より、
宮部、黒部、山田
前列左より、
高橋、栗山、山口



新メンバー
真弘 篤男

メンバーからのひとことメッセージ

山口 龍一：「楽観的(適当?)で、おだてられるとつい調子に乗ってしまいます。サインオフ開発にふさわしい「論理的」な行動を取れるよう、心がけていきます。」**栗山 茂**：「電力関係担当です。従来はLSIの性能は遅延がメインでしたが、これからは遅延と同じかそれ以上に電力が重要となってきます。」**宮部 健児**：「LPEを担当しています。プロセスの微細化によるバラツキをどう考慮するかなどといった部分が難しいところでもあり、興味深いところでもあります。」**高橋 正郎**：「遅延/Xtalk計算、STA関連を担当しています。今まで触ったことのないツールも多く手探り状態ですが、頑張っていきたいと思います。」**黒部 祐夫**：「電力関係担当で最近、電気代を気にするようになってきました。最新技術に触れる機会が多い職場なので見聞、視野を広げるべく楽しく課題に取り組みたいです。」**山田 哲也**：「電力関係を担当しています。STARCには優秀な方が多く、自分の勉強不足を痛感させられています。チームのレベルについていけるよう頑張りたいと思います。」

(チームリーダー 山口 龍一)

設計マージン最適化を目指す ばらつき・SSTAチーム

ばらつき・SSTAチームでは、統計的設計手法(ばらつき考慮の設計フロー)の確立を目標に掲げ、日々開発業務に励んでいます。具体的には、ばらつき要因を分析し、各ばらつき要因を確率的に扱うことで、チップの性能(周波数等)歩留まりが設計完了時点で見積もれることを目指します。今後とも皆様のご指導、ご支援をよろしく願いたします。



左より、吉川、坂本、改田、小松、堀内、養田、吉村、森川

<メンバーからの一言>

吉川 篤志：「関東から大阪方面に脱出したつもりが、また戻ってきました。開発した技術が絵に描いた餅にならないように、実用化を目指して頑張りたいと思います。」
坂本 敏行：「統計は数 だったなと年齢のわかるような話をしてしまうくらい久しぶりに統計にふれています。わかるようになる時期の期待値はいつになるのでしょうか。めげずに頑張りたいと思っています。」
小松 威彦：「SSTAはまだ確立していない次世代の技術ですので私達が先導者となって全体をコーディネーションできるよう頑張りたいと思います。」
堀内 賢一：「今のところ海のものとも山のものともわからないSSTAですがなんとかその姿を明らかにしていきたいと思っています。」
養田 幸男：「3年ぶりの関東進出です。今まで“ばらつき”は使うものだったのが、考える方になってしまいました。とりあえず、算数と英語をなんとかしなければ。」
吉村 輝巳：「愛知エリアから脱出し、単身赴任生活にもようやく慣れ(すぎ?)ましたが、周囲からは羽を伸ばしてんじゃないのかという疑いの声もあがってますので、成果だけはバラツキの出ないよう頑張ります。」
森川 慶一：「新プロジェクトが始まって早くも半年が過ぎました。SSTAの背景にある技術領域のボリュームとチームメンバーの迫力に圧倒され、また刺激を受けている毎日です。この刺激をうまく技術成果に転化させるよう頑張りたいと思います。」

(チームリーダー 改田 博政)

~最先端を爆走中の~ DFMチーム

DFMチームでは製造性考慮の設計メソッド開発においてDFM関連要素技術開発を行っています。チームのActivityとしては、DFM技術動向調査、DFM関連メソッド開発、標準化、ツール評価です。

チームメンバーはクライアント各社からの参加および開発パートナーで計8名です。



後列左より、泉妻、乗松、平林、大崎、松尾
前列左より、柴田、川田、馬場

全員STARCのようなコンソーシアムでの活動は始めてなので、当初はいろいろ戸惑うことが多かったのですが、何とか慣れてきて感じが掴めつつあるといった状況です。今後ともよろしくお願いいたします。(記：川田)

各自からのコメントを紹介します。

泉妻 まり子：「DFM以前に半導体製造とは何ぞやという状態ですが、石の上にも3年の精神で成果が上がりますよ

う日々精進いたします(あ、1年足りないような...)」
大崎 英史：「関西からの参戦で、生活・仕事の両環境にもようやく慣れてきました。微力ながらDFMの課題に尽力します。」
柴田 英則：「2年後に最大限の成果を出すことを日頃から意識して、さまざまな課題に取り組んでいきたいと思っています。」
馬場 克敏：「すばらしいメンバーと一緒に仕事ができることをうれしく思います。皆さんと協力して大きな技術課題をクリアします。」
平林 京介：「STARCに来て、“でっかく ふくらむ モチベーション(DFM)”。日々向き合う壁は、やる気(勢い)で乗り越えていきます。」
乗松 誠志：「DFMは日本の半導体復活の鍵を握っています。設計、製造の両方向からのご支援のほど、よろしくお願いいたします。」
松尾 秀樹：「1年半後に、成果が出せるように英語のマニュアルと格闘しています。」

(チームリーダー 川田 充哉)

SoC設計の基盤を支える ライブラリチーム

ライブラリチームは、「精度良くかつ効率的にEDAツール用ライブラリを開発および検証する手法の確立」をモットーに掲げ、キャラクターサイズ環境の改善、新技術に対応したライブラリ開発環境の構築およびリファレンスライブラリの開発等を推進しています。

華やかなフローチームや要素技術チームと違い、地味な縁の下の力持ちですが、ライブラリチームが屋台骨との自負を持ち、ライブラリなくしてSoC設計なしという気概で活動していきます。

ライブラリチームの構成は、喧嘩嫌いで優柔不断なリーダーの下、血気盛んな若武者、少々マニアックな専門家、強持の関西人、北国からの素朴な派遣者からなるおかしな五人組です。一人ひとりの個性は異なりますが、それゆえベクトルが合ったときは、ベクトルが合いさえすれば、最強のチームになり得ると信じて疑いません。

V0.5では他チームの活動に欠かすことのできない165nmのライブラリキット整備を行いました。また、新技術としてSSTAライブラリのキャラクターサイズツールの評価を行いました。V1.0以降は更なるキャラクターサイズ環境の改善とともに、Litho Awareライブラリ、Thermal Awareライブラリ、Yield Awareライブラリと次々に新技術に取り組んでいきます。今後とも皆様のご指導・ご支援をよろしくお願いいたします。



左より、高橋(孝)、藤原、前野、大野、金子

<メンバーからの一言>

大野 康宣：「最強のチーム作りを目指します。」
藤原 紳一：「合言葉は貢献と確立。一丸となってガンバります。」
前野 宗昭：「作るのが多いですが・・・効率よく頑張ります。」
金子 直行：「目指すはボタン1発のライブラリ作成環境です。」
高橋 孝夫：「最高のメンバーに負けられないよう頑張ります。」

(チームリーダー 大野 康宣)

STARC 部門紹介

管理部

管理部は、STARCのコンソーシアム事業が円滑かつ効率的に遂行されるよう、制度的、人的、環境的に支援・推進しております。STARCはコンソーシアムながらも株式会社として、関連法規に準拠したさまざまな法的整備、経理処理および事務手続きが必要です。また社員の職場環境整備も大切な仕事です。こうした仕事を担当する管理部の陣容は、部長の安達功修をはじめ、人事（根本昭雄、石井麻美） 経理（田中清美、宮坂ひろみ） 総務・購買（佐藤滋、鶴田由美子） 社長秘書（酒井香菜子）の総勢8名です。さらに独立した機関として、社長スタッフの社長付技監3名（間佐五郎、宇野正、宮本俊介）が事業をサポートしています。

次に、順を追って各業務内容をご説明いたします。

1. 人事：企業は人なりといいますが、人事制度、労務管理、安全・衛生、健康、教育、通勤、など社員の会社生活全般にわたり管理・支援する仕事です。出向者が多い当社の特殊性から、クライアント企業との調整が主要業務となりますが、社員がベストの状態に能力を十分発揮できるように制度・環境整備を続けています。
2. 経理：株式会社として、経理、財務会計および税務会

計処理を行い、予算編成、月次決算、年次決算作業を遂行して、財務諸表を作成し税務申告等を行っています。事業活動の結果を数値化する会社活動の基本業務であり、とくに予算の実行状況を絶えずウォッチし、事業計画が確実に遂行されるよう、業務遂行のフォローに知恵を絞っています。

3. 総務・購買：STARCが事業活動を遂行する上で必要な、資材、設備、ソフトウェア等の調達、および研究開発業務の社外業務委託が主要な業務です。コンプライアンスとパートナーシップの重要性を認識しつつ、必要な財・サービスを適切な価格・品質・納期で調達するよう、日々スピードと正確さを心がけて業務を遂行しています。加えてオフィスのインフラ整備も大切な仕事です。（10月1日付で、管理部長が藤田勉に替わりました。）

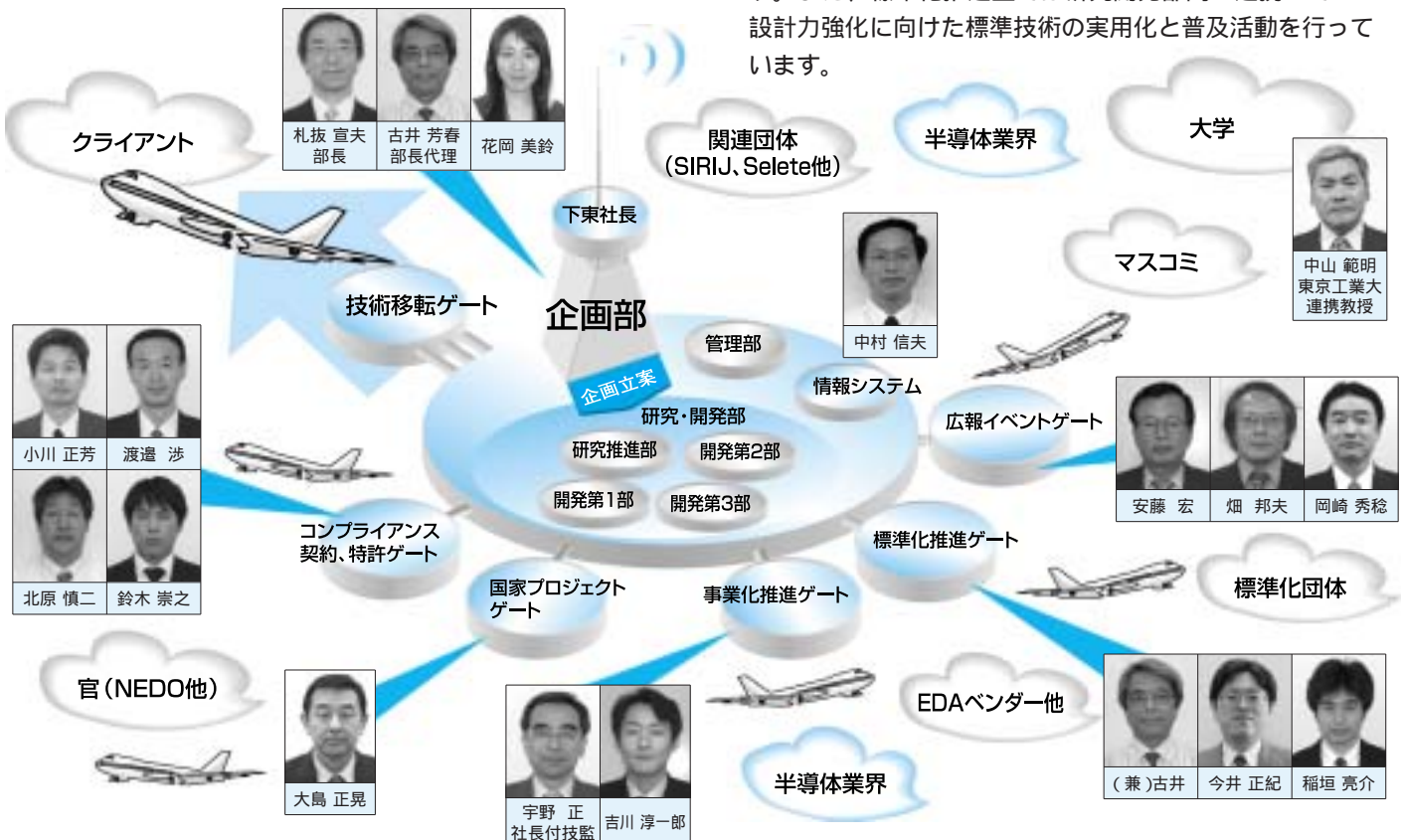


後列左より、宮本、酒井、根本、宮坂、田中、石井、鶴田
前列左より、佐藤、安達、間、宇野（右上丸枠内、藤田）

STARC 部門紹介

企画部

企画部は、研究開発部門の研究業務が円滑に推進されるように、STARC事業の総合的企画立案、産官学の関係機関との調整、ならびにサポート業務として広報・イベント、知財権管理、法務、ネットワーク管理の業務を行っています。また、標準化推進室では研究開発部門と連携してSoC設計力強化に向けた標準技術の実用化と普及活動を行っています。



速報 STARCが東工大と組織的連携協定書締結

研究推進部



東京工業大学とSTARCは2006年9月1日、東工大岡山キャンパスにおいて「次世代半導体技術の研究開発のための組織的な連携に関する協定書」の調印式を開催し、協定書を締結しました。

調印式において東工大相澤学長より以下の趣旨の挨拶をいただきました。

「STARCとの連携は以前から実績があった。今回の組織的連携により、連携教員の積極的な研究が推進され、また、具体的な連携の形態として、共同研究、受託研究、人事交流などが可能になる。半導体技術はわが国の基盤技術であり、STARCとの連携ができたことは大変嬉しく思っている。これからはますます連携を深めたいと思う。」

続いて、STARC下東社長から以下の趣旨の挨拶をしました。「東工大に対しては、日頃からの半導体業界への理解を感謝している。これまでも東工大とは、LSI設計講座の開講、共同でのアナログ教科書の作成、数多くの共同研究の実施等の実績があった。今回はSTARCの現役の研究員を連携教員として派遣し、関係がより深まると思う。しかし、産学連携の現状を見ると、産と学での思いが異なっており、まだ同床異夢の状態にあるのではないかと考えている。今後は産学連携における人事交流を促進し、産業界から大学、大学から産業界への人材の流動性を高め、相互理解を深めなければいけない。東工大との連携でこのような相互理解が深まることを期待している。」

「RTL設計スタイルガイド Verilog HDL編」 - 第2版を出版 -

企画部 標準化推進室

システムのほとんどが1つのチップに搭載されるSoC時代を迎え、市場競争力のキーとなるSoC開発期間の短縮にいかに対応かがSoC設計技術の課題となっています。

「RTL設計スタイルガイドVerilog HDL編」は、ハードウェア記述言語によるRTL設計を進めるための設計スタイルを定義したものです。設計スタイルを標準規定することで、異なる設計者間の記述スタイルや合成・検証などの設計手法を共通化することができます。この結果RTL記述の読解性が向上し、各社間の設計協業やIP再利用促進が実現されます。

本書はSTARCクライアント各社を中心に業界に広く普及しており、設計品質向上のためにまた社内教育教材として活用されています。

Verilog HDL編 第2版の書籍販売を8月より開始

2003年の初版発行以降の設計環境の変化を反映し、第2版ではより高速で大規模なSoC設計に適した情報を追加いたしました。

STARCホームページ<http://www.starc.jp/bookstore/index-j.html>から購入いただけます。

