

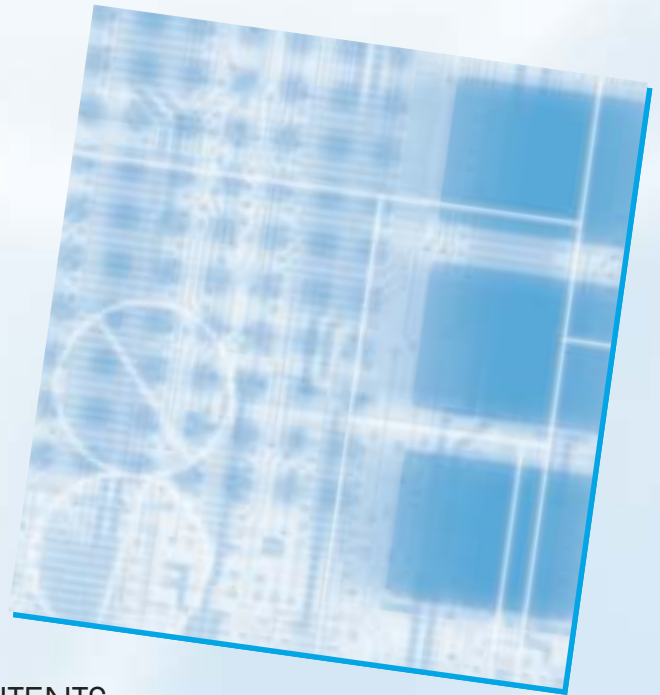
STARC ニュース

No. 29

2006年7月25日発行

株式会社 半導体理工学研究センター

Semiconductor Technology Academic Research Center (STARC)



CONTENTS

新会長ご挨拶.....	2
STARCフォーラム2006報告.....	3
共同研究グループ便り	
小林研究グループ.....	6
中村研究グループ.....	8
松澤研究グループ.....	10
2007年度共同研究テーマ募集要項.....	12
特集 / 教育推進室	
第1回STARC-MOT 講座の開始報告.....	13
特集 / 標準化推進室	
SoC設計力を強化する技術標準.....	14
特集 / SoCプラットフォーム推進室	
スターシャトルとライブラリ進化論.....	15
国際学会参加報告	
第24回 VLSI テストシンポジウム.....	17
2006 SYMPOSIUM ON VLSI TECHNOLOGY.....	18
2006 VLSI 回路シンポジウム.....	19
STARC部門紹介	
研究推進部.....	21
開発第2部.....	22
開発第3部.....	23
STARCシンポジウム2006案内.....	24

新会長ご挨拶

STARC代表取締役会長
NECエレクトロニクス株式会社
代表取締役社長

中島 俊雄



本年6月にSTARC代表取締役会長に就任いたしました中島です。クライアント、大学をはじめとするSTARC関係者の皆様にご挨拶を申し上げます。

熾烈な国際競争に晒されている日本半導体産業にとって、何より重要なものは技術力だと考えています。高機能、高性能、高品質なLSIを短納期、低価格で提供できる半導体技術こそが、半導体事業の競争力の源泉です。JEITA半導体部会は、半導体技術の継続的イノベーションを目指し、メンバー企業ニーズに先駆けた先行技術の早期実用化を産官学が連携して推進する「あすかプロジェクト」を立ち上げました。これを受けてSTARCは、本年4月にR&Dプログラムおよび社内体制を一新し、新たな一歩を踏み出しました。

新プログラムでは、いくつかの新たな機軸を盛り込んでいます。まず産学連携の強化を図ります。大学が業界ニーズに先駆けたイノベティブな先端研究を進めていただけるよう、共同研究における「テーマインキュベーション」を拡大します。また大学との人的交流を進めるため、連携講座制度を活用し、STARCから東京工業大学に教員を派遣して講座を開設しました。さらに「SoC設計講座」を今まで以上に活性化し、「90nm LSI試作サービス(スターシャトル)」とともに大学を強力にサポートしていきます。一方、半導体設計基盤技術の共同開発では、「プロセスフレンドリー設計技術(DFM: Design for Manufacturing)開発」の重要性を訴え、国のご支援をいただけることになりました。他にも「高位設計技術開発」、「テスト・故障解析技術開発」などを進めますが、開発成果をクライアント各社で直ちに製品開発に活かせるよう工夫を盛り込んでいきます。この設計技術開発には大学にもぜひ参加していただきたいし、またEDAベンダーなどクライアント以外の半導体関連業界にも参加を呼びかけていきます。課題は困難さを増していますが、STARCが核となり、知を結集して、その課題を克服していきたいと思っております。

この新生STARCの重要な時期にSTARC会長に就任した重責を感じつつ、日本半導体産業の更なる国際競争力強化に貢献できるよう努めていきたいと思っています。皆様の忌憚ないご意見、ご要望をお聞かせいただき、引き続きSTARCへの温かいご支援、ご指導を賜りますようお願い申し上げます。

STARCフォーラム2006

コラボレーションによる新たな価値の創造

7月7日、金曜日、経済産業省などの後援をいただき、「STARCフォーラム2006」を新横浜国際ホテル南館にて開催いたしました。

今回のテーマは、「コラボレーションによる新たな価値の創造」としました。これについては、STARC代表取締役社長兼CEOの下東勝博から、開会挨拶の中で次のように説明させていただきました。「STARCはコラボレーションを推進していますが、その有用性が解りにくくなっています。これは、コラボレーションが比較的新しい企業戦略概念であり、まだまだ発展途上の考え方であるからです。このため、コラボレーションのいろいろな姿と競争戦略上の位置付けなどについて皆様と一緒に考えていくため、ぜひとも喧々諤々の議論をいただきたい。」

このテーマに基づき、STARCの技術成果を最大化し、日本の半導体産業の国際競争力の強化に貢献するためのコラボレーションのあり方や進め方を探究することを目的とし、官、学、産の各界の方々からご講演やご議論をいただきました。

まず基調講演として、一橋大学の中馬宏之氏から、半導体業界を客観的にご覧になられている立場からのコラボレーションのあり方についてご講演いただきました。

また基調講演では、(株)ルネサステクノロジの長澤紘一氏から、半導体コンソーシアムにおける新たな価値の創造について示唆に富んだお話をいただきました。

さらにプログラムの最後には、中馬氏をコーディネータとして、半導体業界関係者の方々をパネラーとして迎え、本フォーラムのテーマと同じく「コラボレーションによる

新たな価値の創造」と題して、会場の参加者を交えての活発なパネル討論を展開していただきました。

参加者は、過去最高の昨年を上回る433名を数え、盛況裡にイベントを終えることができました。後日、参加者の皆様にWebアンケートをとらせていただきましたが、プログラムの全体をとおして、76%の方に「非常に良かった」、「よかった」とのプラス評価をいただくことができました。ご講演者をはじめ、参加いただいた方々に感謝いたします。

以下、本フォーラムでのご講演等の内容を、ダイジェストで紹介します。

来賓挨拶

来賓として、経済産業省 商務情報政策局 参事官の土本一郎氏からお言葉を頂戴いたしました。



土本一郎氏

最終製品における半導体製品が占める付加価値の割合は年々増加し、半導体が各製品の競争力を決めるといっても過言ではない状況になっていること、そのため日本の産業全体のことを考えて経済産業省は半導体競争力の強化を第一プライオリティーに置いていると説明されました。

その上で、半導体の設計力の強化、中でも商品企画を含めた設計の上流と、DFMの重要性に触れ、国としても支援を強化すると述べられました。



会場風景

STARC

基調講演

基調講演では、「複雑性増大下のコラボレーション：新しい知恵の結集メカニズムを求めて」と題して、一橋大学 イノベーション研究センター 教授の中馬宏之氏からご講演いただきました。



中馬宏之氏

中馬氏は、理論経済学者として、産業競争力の分析、コンソーシアム、アライアンスなどコラボレーションのメカニズム等を研究してこられ、最近では半導体事業を題材に研究を続けておられます。社会学者から見た半導体マーケットと半導体テクノロジーの特性、さらにそれらを基に半導体業界でのコラボレーションのあり方について、STARCの今後の活動の参考となるお話をいただきました。

半導体テクノロジーとマーケットの複雑さが急増したため、知識・ノウハウの共有・ネットワーク化が重要なこと、より高い抽象度で、専門的、統合的な知識を累積的に蓄積するスピードが非常に重要になってきていると示されました。さらに、複雑さへの対応策としてコンソーシアムやアライアンスによる知識・ノウハウの社会的有効利用が効果的であるが、そこには、各種の利益相反問題という新たな難問が発生している。ビジョン・ミッションの共有、再交渉ルールの事前決定、中立的コミュニケーションメカニズムの導入などが必要であることを説明されました。

STARC講演

続いて午前の部では、「STARC活動報告『あすか』で目指すもの」と題して、「あすか」におけるSTARCの活動と狙いについて、STARC代表取締役兼CEO、下東勝博から紹介しました。



下東社長

「あすか」では、その精神を明確に表す三つのキーワード、(1) ニーズに先駆けた先行R&Dの推進、(2) 新技術の早期実用化、(3) 産業界・大学・公的研究機関等とのコラボレーション、を具現化するために、STARCがどのように活動を進めていくのかを具体的に説明しました。

最後に、「あすか」で関連機関とのコラボレーションをより一層深めていくために、皆様のご支援・ご協力をお願いしました。

STARC活動報告

引き続き、STARC「あすか」の中核プロジェクトでもあるDFM（製造性考慮設計）の課題とSTARCの取り組みにつき、「システムLSIにおけるプロセスフレンドリー設計へのチャレンジ」と題して、STARC執行役員 開発第1部長、西口信行からプロジェクトの概要を説明しました。



西口部長

半導体の微細化の進展に伴い、LSIの設計ではDFMの課題は多彩かつ解決困難になっています。STARCではプロセス世代が進展しても歩留り同一、設計生産性2倍を達成目標に、シリコンインプリメンテーションメソドロジの開発を進めていきます。

この開発では、クライアント、大学、EDAベンダーとのコラボレーションが必須であり、国際的な連携を推進してプロジェクトを成功させたい、との抱負を述べました。

基調講演

午後の部の基調講演は、(株)ルネサステクノロジ 相談役の長澤紘一氏にお願いしました。長澤氏は、第2次半導体新世紀委員会(SNCC)の委員長として、「あすか」を開始するきっかけとなった業界提言をまとめられました。ご講演



長澤紘一氏

は「コンソーシアムにおける価値創造」と題し、半導体業界のベテランとして、コンソーシアム活動に対するご意見をいただきました。

半導体産業のマーケットのニーズは「利便性の追及」から「快適・安全/安心」へと移り変わり、従来の半導体デバイス技術の枠を超え、新たな技術の創出と融合が求められること、技術の高度化・複雑化は従来技術の延長では限界に来ており、全く新しい概念の導入、新たなコンセプト、アーキテクチャ、材料などの創造が求められること、そしてマーケットの変化に対応して技術課題を解決することが重要であると説かれました。そのために、コンソーシアム活動も従来のコストシェアのための協業だけではなく、知恵を結集して新たな価値を生み出す活動が必要だと、STARCへの期待のメッセージをいただきました。

また最後に、日本の半導体産業の発展のためには、学生や若い技術者にもっと半導体への興味、魅力、夢を与えることが重要と訴えて、ご講演を締めくくられました。

コラボレーション事例紹介

STARCがこれまでの活動で進めてきたオープンなコラボレーションの事例として、次の4件が紹介されました。

最初は、(株)シルバコ・ジャパンの飯野由久氏による「世界のマーケットに発信するHiSIM」です。HiSIMは、広島大学とSTARCが大学共同研究で進めてきた次世代の回路シミュレーション用モデルです。シルバコ社は、回路シミュレータなどを提供するEDAベンダーですが、大学や業界団体とのコラボレーションなしにはシルバコ社のビジネスは成立し得なかったと述べられ、現在はHiSIMを高く評価し、シルバコ社のすべての製品でサポートする予定と紹介されました。今後もシルバコ社、広島大学、STARCのコラボレーションをより強化して日本発のHiSIMを世界のマーケットに向けて「発進」させたいと述べられました。



飯野由久氏

2番目は、横河電機(株) ATE事業部 技師長 久保典夫氏による「テスト環境の標準化とそのインパクト」です。テスターメーカー、EDAベンダー、STARCのコラボレーションで半導体業界の標準テスト記述言語であるSTIL (Standard Test Interface Language) の活用を推進しているご紹介いただきました。横河電機はテスターメーカーの立場でこの活動の中心的役割を担ってこられました。が、「今後もパートナーを拡大してテスト環境の標準化を進めていきたい」と結ばれました。



久保典夫氏

最後に、「スターシャトルにおけるVDEC-STARCコラボレーション」と題して、東京大学 助教授の池田誠氏と京都大学 助教授の小林和淑氏にご講演いただきました。



池田誠氏

VDEC (大規模集積システム設計教育研究センター) は東京大学の全国共同利用施設として1996年に設立されて以降、すでに全国の150大学、700を超える研究室に利用されています。



小林和淑氏

池田氏は、「VDECから見たスターシャトル」と題して、STARCが提供するスターシャトルでの最先端90nm CMOSの試作サービスについて述べられました。スターシャトルは、大学の半導体研究に非常に役立っていることを示し、

今後も長期的な維持・継続を希望すると述べられました。

また小林氏は、「VDEC利用者から見たスターシャトル」と題して、STARCとの共同研究テーマでのシャトル利用の経緯とその成果などを説明されました。大学の半導体研究の質の向上のためには、レイアウトデータの実例など大学ではもち得ないノウハウも可能な範囲で公開してほしいと要望されました。

招待講演

University of California, CITRIS (Center for IT Research on Interest of Society) 研究機構 アドバイザーの井上隆秀氏に、「コンソーシアムの先にあるもの」と題してご講演いただきました。井上氏は「よりよい社会実現のためのIT技術」の研究をされており、アメリカの視点から日本の半導体産業と日本のコンソーシアム活動がどのように見えるのかをお話しいただきました。



井上隆秀氏

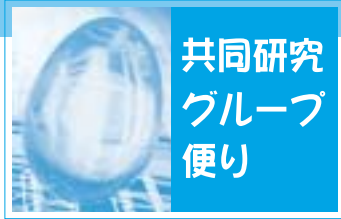
還暦を迎える我が国半導体産業を、健康診断に見立てて分析、三段論法的に課題を浮き彫りにされました。またその対策として、半導体をサービス産業と論じ、そこにおけるコラボレーションモデルとしてLeaky Clusterを提案し、CITRISの事例検証を説かれました。

パネル討論

プログラムの最後に、半導体産業研究所 企画部長の上田潤氏、University of Californiaの井上隆秀氏、松下電器産業(株) 半導体社 基盤技術開発センター所長の山口聖司氏、STARCの西口信行の4名をパネラーに迎え、一橋大学の中山馬宏之氏のコーディネートによる「コラボレーションによる新たな価値の創造」と題したパネル討論が行われました。会場の参加者を交えての活発な議論をいただき、「新たな価値の創造」についてのヒントを得ることができました。



パネル討論のひとつ



小林研究グループ

テーマ名 微細プロセスにおけるチップ内の特性変化を積極的に利用するASIC向け再構成デバイス

研究代表者 京都大学 情報学研究科 助教授
小林 和淑(こばやし かずとし)



後列左から 杉原(B4)、尾形(B4)、香月(M1)、高務(M2)、小谷(M2)
前列左から 平田上級研究員(STARC)、笹川客員研究員(松下)、小林先生、小野寺先生、石橋客員研究員(ルネサス)

研究のアイデア

我々の研究プロジェクトでは、これまで全く別の研究課題であった、DFM(ばらつき)と再構成回路技術を融合させた研究課題に取り組んでいます。プロセスの微細化により、従来支配的であったチップ間/ロット間/ウェハ間の大域的な「チップ間ばらつき」に加えて、チップ内で急峻に特性が変化する「チップ内ばらつき」によるLSIの歩留まり低下が深刻な問題となりつつあります。ばらつきの変化が緩やかであれば、回路ブロックごとに基板バイアス制御などを行い特性をそろえることが可能ですが、急峻であればそれも不可能です。我々の研究は、これまでの「ばらつきを抑え込む」という発想を逆転させて、「ばらつきをそのまま使う」ことで、ばらつきを利用して速度を向上させることを基本ア

イディアとしています。ばらつきをそのまま使うためには、特性にあわせて回路の構成を最適化しなければなりません。そのために、FPGAに代表される再構成回路を利用します。提案手法では、製造後に特性を測定し、その特

性に応じて回路の構造を最適化します(図1)。従来の固定機能/固定配置のASICでは、ばらつきによりクリティカルパスうちのたったひとつでも設計時のスペックを満たさなければ、正常に動作しません。急峻なチップ内ばらつきの増大は、クリティカルパス上に特性の悪いデバイスが割り当てられる確率を増やし、チップの動作速度を下げる恐れがあります。再構成回路を用いてクリティカルパスとなる回路を速いデバイスに、遅くてよい部分を遅いデバイスに割り当てることで、動作速度の向上を行うことが可能です。

研究体制

代表者の小林和淑助教授を中心に、講座の教授である小野寺秀俊教授、ならびに研究室の学生により研究チームを構成しています。2005年度は、修士2回生2名、修士1回生1名、学部生2名により研究を行いました。客員研究員として、松下電器産業より、笹川氏、ルネサステクノロジーより、石橋氏、上級研究員として、平田氏を迎え、3ヶ月に一度の研究打ち合わせでは、貴重なコメント、アドバイスをいただいています。

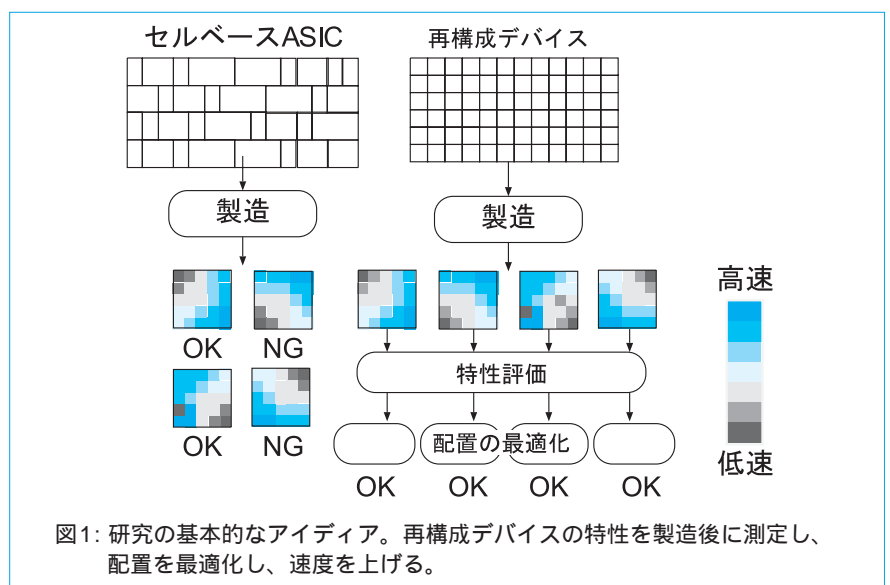


図1: 研究の基本的なアイデア。再構成デバイスの特性を製造後に測定し、配置を最適化し、速度を上げる。

研究の現況

研究内容は、主に下記3つの課題に分けて行っています。

- ・ばらつきを測定できる再構成回路の設計、試作LSIの測定
- ・ばらつきを利用して回路構成を最適化するための配置配線技術
- ・ばらつきのモデル化

2005年度に研究を開始し、これまでSTARCの提供する90nmシャトルサービスを利用して研究開始前の2004年度を含めて、3個のチップの試作を行い、現在1個のチップのデータ提出を終えたところです。図2、図3はこのうち2品種のチップ写真です。図2はSRAM型FPGAの主要構成部品であるLUT

(ルックアップテーブル)をアレイ状に配置し、それらをフラクタル状の固定配線で接続したLSIです。このデバイスの測定の結果、90nmプロセスですでに、同じウェハ内のチップ間ばらつきは、チップ内ばらつきと同程度の大きさであることがわかりました。図3は、配線まで含めて再構成可能な完全なFPGAです。リングオシレータを内部に構成し、ばらつきをLUT1個とFFならびにスイッチより構成されるCLB単位で測定することが可能です。測定されたばらつきを利用して回路の再配置を行った結果、実チップ上で3%から4%程度、動作速度の向上が得られること、実証しました。

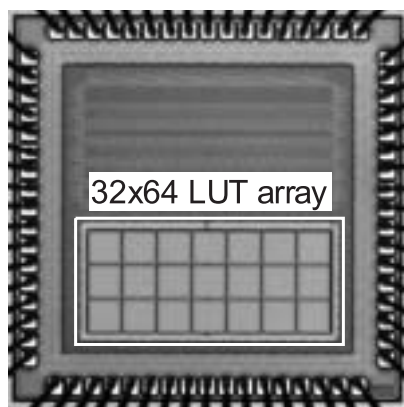


図2 試作したLSI(1) LUTをフラクタル形状に接続したLSI。90nmプロセスで設計した。

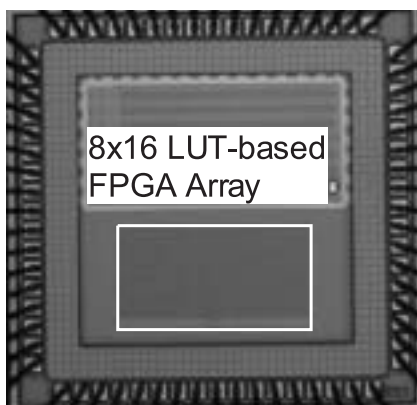


図3 試作したLSI(2) ばらつき測定機構を備えたFPGA。90nmプロセスで設計した。

客員研究員主査からのコメント

松下電器産業株式会社
戦略半導体開発センター

笹川 幸宏

デジタル家電に代表されるように近年の電子機器の高性能・低価格化は著しく、心臓部であるLSIはより一層の高集積化が必要となっています。半導体プロセスの微細化が進んでいくにつれ、チップ内の配線・トランジスタの特性ばらつきに起因する性能・製造歩留まりの低下が深刻な問題になっており、とくに45nm以降ではこれらチップ内ばらつきに対する設計面からのソリューションが求められています。

小林研究グループでは、再構成可能デバイスとオンチップばらつき測定の組み合わせにより製造後にチップ内ばらつきを補正し、性能並びに製造歩留まりを大幅に向上させるための研究を行っています。単純にチップ内のばらつきを測定するだけではなく、測定結果を元に性能を最適化することが必要になるため、面積増加を極力抑えたばらつき測定方法や再構成回路方式、そして配置配線アルゴリズムという複数の観点でどのように補正・最適化するかが研究のポイントとなります。

今年で2年目を迎えます。これまでオンチップばらつき測定回路、再構成回路を搭載したTEGの設計、評価を行っており、再構成回路特有である配線構造の特性ばらつきに着目した補正について性能改善効果を確認、主要学会(CICC)等への発表と共に最適化アルゴリズムに関する特許出願を行っています。とくに第8回IPアワードにおいては開発部門最高位である開発奨励賞をいただくこととなり、目標に向け着実に研究成果が得られていると思います。

本研究は再構成可能デバイスを対象にしていますが、本研究で得られるチップ内ばらつきの回路的補正手法に関する知見はASICのような従来設計にも展開できるものとして、成果を期待しております。我々客員研究員も本技術の実現に向け今後とも研究推進に努めていきます。



共同研究
グループ
便り

中村研究グループ

テーマ名 動的電圧制御によるGALS型高性能低消費電力プロセッサの研究
 研究代表者 東京大学 先端科学技術センター 情報物理システム研究室 助教授
 中村 宏 (なかむら ひろし)



後列左から 金(M1)、上原(M1)、今井先生、近藤助手、佐々木(D2)、渡辺(D1)、池田(M2)、椎名(M1)、段原(M1)、藤井(M2)
 前列左から 宮本技監(STARC)、田中客員研究員(松下)、中村先生、南谷先生、入江客員研究員主査(日立)、武田客員研究員(東芝)

播させる従来の同期式设计は、クロックスキューの問題からもクロック消費電力の問題からも効率が悪くなっています。本共同研究では、これらの問題を解決するために、VLSI構成方式としてGALS (Globally Asynchronous Locally Synchronous) 型構成を採用することでクロックの大域分配に起因する問題をまず解決します。その上で、VLSI内部ですべての部分が常にフル稼働しているわけではないことに着目し、同期動作する各部分の電圧と周波数を負荷状況に応じて動的に変更することで、VLSI全体としての性能を低下させることなく低消費電力化を図ることを目指しています。

研究テーマは二つのサブテーマに分かれています。一つはハイエンドプロセッサでの有効性を示すことであり、GALS型構成を採用したときに動的電圧制御により高性能低消費電力化を達成できるマイクロアーキテクチャ、およびアーキテクチャ上での効果的な動的電圧制御方式の提案を行っております。他方は、GALS型構成を採用するVLSIシステム設計技術の確立であり、電圧と周波数が異なる領域間を接続する非同期インタフェース回路設計と大域配線転送方式の検討、および、タス

研究室の紹介

私たちの研究室は、学際性、流動性、国際性、公開性をモットーとする東京大学先端科学技術研究センターにあり、スタッフは教授1、助教授1、特任助教授1、特任助手1の総勢4名、それに博士課程学生7(内社会人3)修士課程学生8、という陣容で、「安心・安全で快適なコンピュータを創る」ことを中心とした研究を行っております。

学生は、情報理工学系研究科システム情報工学専攻または工学系研究科先端学際工学専攻に所属しています。このうち、先端学際工学専攻は創設当時よりミッションのひとつに社会人の再教育を掲げているのが特徴で、そのために私たちの研究室も社会人大学院生が多くなっております。

共同研究テーマの内容と現況

プロセッサの高性能化は消費電力の増大という深刻な問題に直面しています。また、VLSI全体にクロックを伝

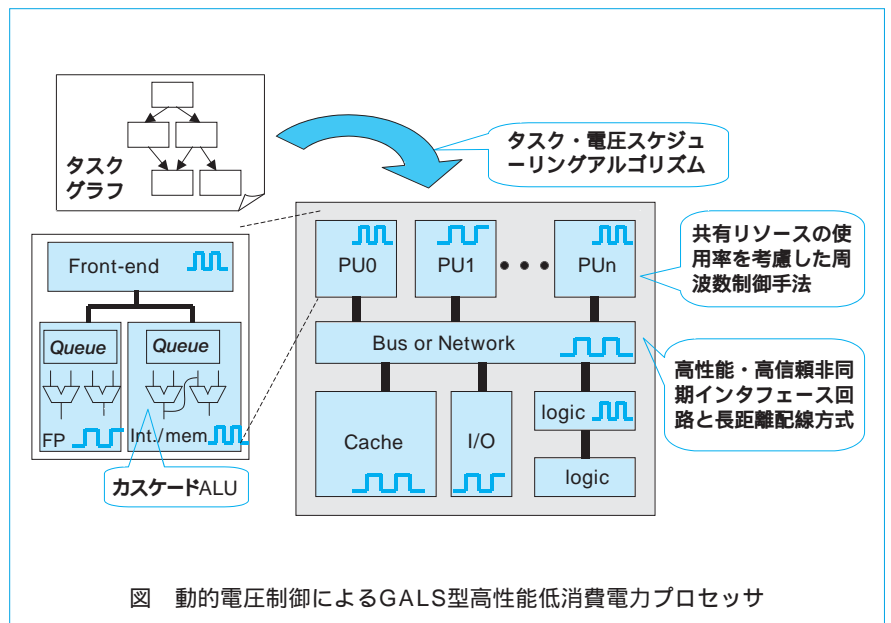


図 動的電圧制御によるGALS型高性能低消費電力プロセッサ

客員研究員主査からのコメント

株式会社日立製作所 中央研究所
システムLSI研究部

入江 直彦

近年のIT機器やデジタル家電の進化は、プロセッシングの中核を担うプロセッサ/システムLSIの進化に支えられており、このためには中心となるプロセッサコアの高性能化および低消費電力化が必須になっています。とくにCMOSデバイスにおけるスケールリング則が電力面から崩壊している現在、より上位レイヤである回路およびアーキテクチャからの低消費電力技術への取り組みがますます重要となっています。

中村研究グループでは、これまで培ってきた非同期回路設計技術と高性能プロセッサアーキテクチャ技術とを組合せ、新たなプロセッサ/システムLSIの高性能化/低消費電力技術に取り組んでいます。具体的には、GALS (Globally Asynchronous Locally Synchronous) 構成により可能となる空間的DVS (Dynamic Voltage Scaling) をベースとし、この考え方をCPUコア内部およびマルチコアに適用し、さらに効果的な制御を行うためのマイクロアーキテクチャ/アーキテクチャの研究を行っています。また、GALS/DVS技術を実際に導入するための設計技術、すなわち、回路レベル設計技術やタスクスケジューリングアルゴリズムなど幅広い検討を行っています。

本研究は、'04年度に開始され今年度が最終年となりますが、ハイエンドプロセッサ~組込みプロセッサ、回路~アーキテクチャ~アルゴリズム、プロセッシング~通信、といった幅広いスコープの中で、検討を進めており、この中から多様なアイデアや知見が生まれています。今までに特許申請2件、学会発表8件という成果が出ており、アクティビティの高さを示しています。今後、研究の仕上げに向けて、実際の応用を踏まえた有効性の実証を実施していただく予定です。

こういった多面的な低電力向けプロセッサアーキテクチャ/設計技術が広くシステムLSIの分野で応用されることを期待しています。

クグラフとして与えられる処理をGALS型構成上で高性能かつ低消費電力に実行できるようにタスクと電圧制御のスケジューリングを行うアルゴリズムの開発を行っております。

マイクロアーキテクチャの研究では、依存関係のある二つの命令を縦列にカスケードさせて1サイクルで実行する動的命令カスケディング手法を提案しています。このようにすると、通常の同期式構成ではチップ全体のクロック周波数を低下させる必要がありますが、GALS構成では実際に演算処理を行う部分のみ周波数を下げればよいため、命令のデコードや発行を行う部分の周波数を下げる必要はありません。一方、従来構成では同一サイクルに実行できなかった依存関係のある命令をこの手法では同一サイクルに実行することができるようになり、IPC (Instructions Per Cycle : サイクルあたり実行可能な命令数) を高くできます。このため、演算処理部の周波数は低下するものの、全体としては性能が向上することがわかりました。さらに、このアーキテクチャでは命令発行時に命令がグループ化されることを利用し、命令発行時に用いる命令キューの構造を簡単にする事で消費電力を削減する手法も提案しました。この提案は2006年のISLPED国際会議でも発表する予定です。

タスクと電圧制御のスケジューリングでは、VLSI内部のデータ移動で消費される電力も考慮したアルゴリズムの開発を行っております。データ移動に要する電力を考慮しない場合には、VLSI内部で負荷が均等になるようにタスクをマッピングし、VLSI全体の電圧を一定に保つことが、電力あたりの性能を高くする解になりますが、データ移動を考慮すると問題は複雑になります。現在、性能上の制約条件とし

てスルーポイントとレーテンシの両方が与えられる場合のスケジューリングアルゴリズムの開発を行っております。残された期間は短いですが、これまでに提案してきた手法を改良・統合することで、動的電圧制御によるGALS型高性能低消費電力プロセッサの有効性を実証していきたいと思っております。

産学協同に関して

産学連携の必要性はいろいろなところで叫ばれておりその重要性については疑いのないところですが、本当に実りある産学連携を実現するためには、お互いが相手に対して何を期待し、また自身はどういう貢献をするのかという点が明確であることが望ましいと思います。この点で、STARCとの共同研究では大変良い連携ができています。

研究開始後、産業界から客員研究員の方に定期的に研究打ち合わせに参加していただいておりますが、単にこちらの研究進捗を把握するだけでなく、こちらの研究内容を産業界の関心事項に照らし合わせた上で今後の研究展開に対し適切かつ有益な助言をいただける点が大学にいる私達としては大変有意義です。私自身、客員研究員の方々と打ち合わせでは触発されることが多く、研究推進の原動力にもなっておりますし、実際の問題を知る機会の少ない学生も、広い視野、工学的なセンス、社会へ貢献する研究のあり方など、学ぶところが多く大変有意義なものとなっております。

最後になりますが、日頃より大変お世話になっておりますSTARCの小澤元技監、宮本技監、客員研究員の入江様(主査)、武田様、田中様に心より感謝申し上げます。



共同研究
グループ
便り

松澤研究グループ

テーマ名 CMOS RF・アナログBBシステムの高性能化とスケーラブルな設計手法の研究

研究代表者 東京工業大学 大学院理工学研究科 教授
松澤 昭(まつざわ あきら)



後列左から 白 戴和(B4)、鄭 明奎(B4)、張 義偉(B4)、Win Chaivipas(D2)、遠藤(M1)、伊藤(M1)、倉持(D2)
中列左から 李 寧(D1)、田中(M1)、Phuc Hong Ninh(M1)、倉科助手、Philipus Chandra Oh(M2)、馬上(M2)、池田(M2)、宮原(D1)
前列左から 宮野原客員研究員(ソニー)、小田客員研究員(東芝)、丘客員研究員主査(日立)、松澤先生、益子上級研究員(STARC)、四柳客員研究員(NECEL)

研究室紹介

松澤研究室は東工大・大岡山キャンパスにあります。大岡山は品川から15分、新横浜から30分程度と交通の便に恵まれ、誰もが気軽に来ることができます。

研究室は2003年4月から発足しました。当時は学部学生が2名だけで、全くなにもない研究室でした。しかしながら現在は博士課程学生5名、修士課程学生7名、学部学生3名になり、スタッフも助手1名、秘書1名と充実してきました。共同研究のために企業から派遣される研究員も4名程度になっております。学生のうち7名が留学生ですが本年10月には3名の留学生が加わるようになっており、国際色豊かになりつつあります。

研究室のテーマは「アナログ・デジタル混載LSI設計」です。デジタル情報家電や通信・ネットワークの発達によりアナログ・デジタル混載LSIに注

目が集まっております。松澤研究室では次世代ワイアレスシステム用アナ・デジ混載LSI設計とそのコア技術であるA/D・D/A変換器やPLLの研究開発を現在のメインテーマとしております。次世代ワイアレスシステムとしては以下の3テーマを推進しております。第1は離散時間処理をRF信号に適用した、ソフトウェア無線技術もしくはリコンフィギュラブルRFといわれるものです。この技術により1つのRF回路がマルチモード・マルチスタンダードに適用できるようになります。第2は超低電力ヘルスケアチップです。例えば圧力やPhなどの体内からの生体情報を無線で数日間も送ることができるようになります。信号処理やRF回路、マイコンなどを含め100uA程度の超低電力で動作させることが鍵になります。第3のテーマはこれから取り組むものですが、60GHz程度のミリ波を用いて数Gbpsの伝送を可能にするシリコンチップの開発で

す。数GHz程度で動作する超高速・超低電力A/D変換器、位相雑音の小さいセンサイザの開発、60GHzで動作するシリコンRF回路の開発が鍵になります。

アナ・デジ混載システムの性能の鍵はA/D・D/A変換器やPLLですが、研究室では超高速から超低電力まで各種A/D・D/A変換器の開発に取り組んでおります。またPLLはフルデジタルタイプを中心として開発を行っております。これらの研究開発は単に理論確立やシミュレーションだけでなく、実際に動作し、製品として使用できるレベルのものを目指しております。もちろん産学連携は盛んであり、2005年度は5件程度の共同研究を実施しました。このため企業から研究員を送り込んでいただくなど、絶えず実際の開発現場の風が吹いている研究室となっております。一度研究室のホームページ(<http://www.ssc.pe.titech.ac.jp>)を覗いてみてください。

研究テーマの紹介

STARC共同研究のテーマは「CMOS RF・アナログBBシステムの高性能化とスケーラブルな設計手法の研究」です。2004年度から研究を開始しました。テーマ名は多少漠然としているのですが、今後のワイアレス用LSIにとってA/D変換器の高性能化が最も重要であろうとの判断により、現在はパイプライン型A/D変換器の高性能化と設計理論の確立を目指しております。将来のワイアレスシステムにおいてフィルター処理などはデジタルで行われるようになるため、アナログ回路として最後まで残るのはPLLとA/D変換器程度であり、A/D変換器をできるだけアンテナに近づける構成になると考えられております。したがってA/D変換器には限りない高性能が求められることとなります。このためISSCCにおけるA/D変換器の投稿が激増していることからわかるように世界中の企業と大学による激烈な競争がくりひろげられております。

客員研究員主査からのコメント

株式会社日立製作所 中央研究所

丘 維礼 (Willy Hioe)

無線通信分野では通信の高速・モバイル(軽量、低電力)化の進展が目まぐるしいほど早く進んできました。無線LANが代表する近距離通信では通信速度が1Mbpsから数百Mbpsへ変わりつつあります。また、無線機のアーキテクチャがヘテロダインからローIFまたはゼロIFへ、チャネル帯域が約1MHzから100MHz以上へ、変調方式がBPSK、QPSK、QAMを含む可変デジタル方式になりました。さらに、無線機を構成する機能回路がCMOS化と同時に1チップ集積化へ日増しに進化しています。現在は0.18 μ mプロセスが主流ですが、今後は高速・低電力性能を追求する微細プロセス化、柔軟的な回路方式を追求するRF・BB回路のデジタル化が進むと予想されます。

松澤研究グループでは、受信機のデジタル化の鍵となるBB回路用アナログ・デジタル変換器(ADC)技術に焦点を絞り、その高速・高ダイナミックレンジ(または多ビット)化および低電力化を実現する回路方式を開発し、スケーラブルな設計手法の基礎研究を進めています。無線LANが使用する2.4GHzまたは5.2GHzのRF信号を直接にデジタル信号に変換できれば、デジタル信号処理によってRFからBBへの周波数変換、受信を妨害する他チャネル信号の除去、そして、多種類の調方式に対して柔軟に、適応的に復調することができます。しかし、ADCの消費電力が概ねに変換速度に、そして、ビット数のべき乗に比例するため、数GHzの12ビットADCは10Wオーダーを消費します。PC用のADCは放熱、電池容量の制限より数十mWの消費電力に抑制する必要がある、RF信号のデジタル化が極めて困難です。デジタル回路ではCMOSプロセスの微細化によって動作速度が上昇し消費電力が低減することが一般的に成り立ちますが、アナログ回路を含むADCでは電源電圧低減、寄生素子効果、雑音、プロセスばらつきの影響で微細プロセスのメリットを同じ程度に活かせません。したがって、微細プロセス化、高速化、多ビット化に対する最適化設計手法、さらに、高性能回路方式の創出が求められています。

そこでまず0.35 μ mから90nmまでのCMOSデバイスの代表的アナログ特性をキャラクター化し、代表的な演算増幅器とこれを用いたパイプライン型ADCの特性への影響を理論およびシミュレーションにより検討しました。その結果はIEICEの集積回路研究会で発表しました。現在推進中の次ステップではGBWを向上する新規変換アーキテクチャを検討し、試作設計および特許出願を進めています。この方式では12ビット分解能を実現する回路の消費電力が現状発表の1/3から1/2が期待されます。

松澤研が開発するADC技術は研究対象の無線機だけでなく、有線通信、アナログ/IOなど多彩な分野に活用できる基礎技術です。終盤に向けて、高機能化設計手法の確立および基本特許の獲得によって各参加企業に還元することを客員研究員一同が期待しております。

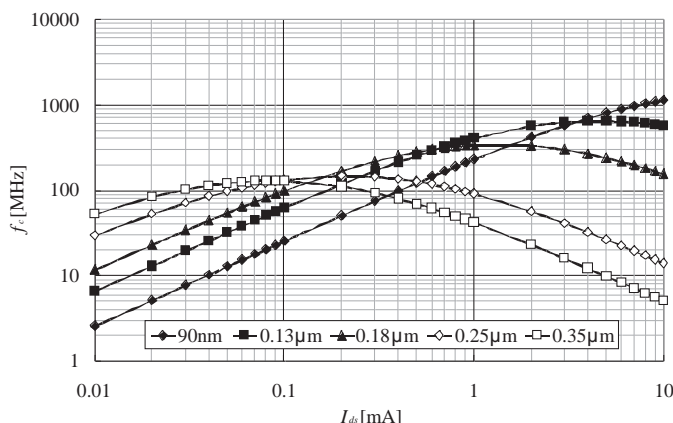
パイプライン型は分解能で14ビット程度まで、変換周波数が200MHz程度までのA/D変換器ですが、ワイアレスLAN、ADSL、デジタルカメラ、デジタルTVなど広い範囲にわたって用いられ、中核的な存在となっております。今までによく研究されてきた方式なので性能を向上させるのは容易ではありませんが、性能を解析してみますと回路形式、トランジスタパラメータやデザインルールとの関係が不明確であることに気がつきました。例えば10bit、100MHzのA/D変換器を開発するときどのデザインルールが最適かということすら不明確でした。そこで、トランジスタパラメータやデザインルールと変換性能の関係を理論解析しました。図は開発した性能推定モデルを用いて信号振幅を各デザインルールごとに最適化した場合の、演算増幅器を構成する初段のトランジスタの動作電流とパイプライン型A/D変換器の最大変換速度をデザインルールごとに推定したものです。動作電流に最適値があること、動作電流と変換速度により最適なデザインルールが異なるという興味深い結果が得られました。90nm程度の微細なルールのトランジスタを用いる方が最高変換周波数を達成できますが、低電流領域では0.35 μ m程度の緩いルールの方がむしろ高速であることがわかります。

またこのような理論解析により、どのような構成にすれば変換速度が上がったり、低消費電力になるかが分かってきます。この結果消費電力が従来の

半分程度の低電力化が可能な構成を考察しました。現在はこの構成に基づき設計したパイプライン型A/D変換器を開発しており、世界最小の電力で動作するA/D変換器の実現が期待されます。

ところで、本研究がスタートした2004年4月は松澤研に初めて大学院修士の学生が配属されたときです。初めはアナログ回路のことなどほとんど分からなかった学生が2年ほど経つと立派にA/D変換器を設計できるようになりました。大学は企業と異なり、さまざまなスタッフがいないため回路設計からレイアウト、評価まで自分でやらなくてはならず、テープアウトの直前になると泊まり込み状態でがんばることになります。A/D変換器を実際に開発して国際学会で評価されるレベルの性能を出すのは並大抵のことではなく、残念ながらまだそこまでは至っていませんが、必ずや目標を達成するものと確信しております。正直申し上げて大学では実際に動く物作りはそれほど評価されませんが、物を作って性能を達成するという真剣勝負がこれから日本の産業を担う若い技術者の育成を図るために不可欠であると堅く信じております。

最後に本共同研究には益子上級研究員はじめ4社より4名の客員研究員にご参加いただいております。研究室ができたてのよちよち歩きのところからご指導をいただきました。この共同研究により研究室が立ち上がり、人材も育成できました。ここに深く感謝いたします。





STARC共同研究 2007年度新規テーマ募集



2007年度から新規開始する共同研究のテーマを募集します。

共同研究は、アルゴリズム・方式・回路・デバイス構造・材料・評価等の技術に関するアイデアの提案と、その有効性の確認・実証や、半導体産業界への技術移転の可能性を探ることを主目的とします。産業界での実用化などを目指した次のステップの共同研究については、その研究成果を見てSTARCが判断し、研究代表者と相談させていただきます。

研究規模：研究期間は3年以内、研究予算は1000万円/年を目処とし、総額3000万円以下を原則とします

応募資格：研究代表者は、日本国内の大学・高専に常勤する教授、助教授または講師であって、研究グループを代表すると同時に、自ら研究を主体的に牽引する研究者とします。

共同研究の現状：2006年度は46件の研究テーマを産学共同で進めています。

新規テーマの採用予定件数：10～20件

応募締め切り：2006年9月11日(月)午後5時30分

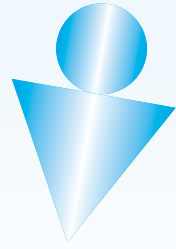
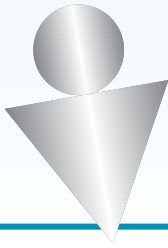
関連URL

詳細に関しましては、下記URLをご覧ください(7月下旬掲載予定)。

募集要項：<http://www.starc.jp/CFP07/>

ロードマップ：<http://www.starc.jp/roadmap/>

問い合わせ先：株式会社半導体理工学研究センター 研究推進部
〒222-0033 神奈川県横浜市港北区新横浜3-17-2
TEL：045-478-3755 E-mail：app2006@starc.or.jp
URL：<http://www.starc.jp>



SoC設計技術者教育： 第1回STARC-MOT講座の開始報告

研究推進部 教育推進室 今村 陽一

2006年度からクライアント会社向け設計技術者教育活動にMOT教育を新設することになりました。半導体分野の競争力の質的向上に向けて、特にSoC開発領域では、『自らの戦略に基づき全体最適化、利益成長の主導ができるプロジェクトリーダー、テクノプロデューサー人材』の拡充が求められる時代になってきました。設計技術だけでなく経営的な能力の充実が求められており、(財)社会経済生産性本部・技術経営研究センターの協力を得て、要望に沿った教育の実現に向け第1回STARC-MOT講座をスタートしました。講座の概要を図1に示します。2006年～2007年にかけて2回の実証講座を実施して、2007年後半からの本講座の実施を予定しております。本プログラムは、通常大学で1～2年かけて行われているMOT教育に対して、MOTで重要科目のうち一般的なプロジェクトマネジメント論や知財戦略のような各社の研修で馴染みのある科目は思い切って省き、冒頭の拡充人材にとくに必要と思われる科目に絞り、さらに短時間でも効果を期待できるよう図2に示す複合的なカリキュラムにしております。主な科目は、イノベーション、技術戦略論、サイエンス型産業論、事業・競争戦略論、研究開発マネジメント論、技術マーケティング、意思決定会計、技術経営論です。日本のMOT教育分野の草分け的な先生や産業界で経験豊富な先生はじめ、それぞれ特徴ある先生方に出講いただいております。

好評であった基礎講座

3月15日の受講判断者や受講希望者向けの「STARC-MOT特別講座」に引き続いて、受講者のレベル合わせのための基礎講座を5月12日(金)、13日(土)、26日(金)の3日間STARC 6階大会議室にて実施しました。基礎講座には、クライアント11社から33名が参加され、MOTの基礎的な知識や考え方を学びました。「イノベーションと技術戦略」(榊原教授)から「SoC

目的：SoC時代を自らの戦略に基づき全体最適化、利益成長主導ができるプロジェクトリーダー、テクノプロデューサーの育成。
 対象：SoC開発プロジェクトリーダー&候補
 SoC開発・企画部門の部長クラス&候補
 特色：半導体開発者向けにカスタマイズ
 2ステップ受講制
 内容：基礎講座+事例研究講座
 人数：基礎講座 定員33名、3日/期間
 事例研究講座 定員22名、1日/月×6ヶ月
 計画：2006年度に試行。2007年度より本格実施

図1 STARC-MOT講座の概要

開発マネジメント・技術マーケティング」(大津留教授)まで、5大学1民間教育機関からの講師による熱心な講義と活発な質疑応答もあって時間の経過が短く感じられるほどでした。多くの受講者が新鮮な刺激を得たようです。基礎講座受講後のアンケートでは、85%の受講者が満足したとの評価をいただきました。



STARC-MOT基礎講座風景(5/26)

7月から事例研究講座がスタート

第1回事例講座は、7月21日から半年間の内に6日間の集合教育を実施します。プログラムは、「事例研究」と期間を通して行う「テーマ研究」です。事例研究は、基礎講座で学んだ一般論や知識をどのように実践適用するか/されているかを事例を用いて学びます。さらにテーマ研究では、受講者がグループで研究テーマを自主設定し、事例研究での学びを参考にeメールを併用したグループ討議、講師アドバイスを受けながら、実践的主体的に課題に取り組むもので、この結果を研究レポートにまとめ、12月1日に発表会を行います。会社の枠を越えた交流、複数の講師の方々からの多面的なアドバイスを織り交ぜたSTARCならではのテーマ研究になることが期待されます。

STARCが主催する「MOT講座」としてどのような内容ややり方が相応しいのか、実証講座を2回行い完成度を高める予定です。日本初の試みである業界コンソーシアムMOT講座として、他では受講できない特徴を持ち、半導体分野の競争力の質的回復に貢献できるMOT講座にしていきたいと考えておりますので、クライアント会社の受講者の皆様をはじめ、関係者の皆様の理解と協力をお願いいたします。

テーマ研究	経験交流	事例研究	講義	STARC-MOTカリキュラム
				イノベーションの収益化と技術戦略
				サイエンス型産業の研究開発と市場
				事業戦略・競争戦略
				R&D ロードマップ活用による研究開発マネジメント
				技術マーケティング SoC開発マネジメント
				意思決定のための会計
				日本の技術経営戦略
				仮想テーマ研究発表
発表				

図2 STARC-MOT講座カリキュラムの特徴

発表

SoC設計力を強化する技術標準

企画部 標準化推進室長 古井 芳春

SoCは対象とするシステムの複雑化とシリコン微細化の進展により、1社のみですべての技術とリソースを保有することは不可能となっています。各社間のさまざまな協業を実現するために、相互運用性の高い「共通技術ガイドライン」を作成し、広く業界内で利用することが解決策となります。標準化推進室ではクライアントニーズを踏まえた共通技術ガイドラインを提案し、実用性の高いデファクト標準の確立を進めています。

2006年度の活動テーマ

標準化推進はあすか 共通コアプログラムとして全クライアントの参加のもとに活動します。クライアント各社の代表委員で構成される標準化支援委員会がワーキンググループ活動のステアリングを行います。



標準化支援委員会のメンバー

後列左から：古井、大黒WGリーダー(東芝)、古手川WGリーダー(富士通)、中尾(ローム)、中村(ソニー)、札幌、黒岩(セイコーエプソン)、渡部(富士通)
 中列左から：今井、稲垣、太田(三洋)、間、古野(沖)
 前列左から：山谷(松下)、田中(シャープ)、金原委員長(東芝)、中川(NECEL)、石川(ルネサス)

活動テーマは、(1) IP機能検証ガイドの拡充と普及、(2) コンパクトモデル動向把握と、広島大学・STARCの共同研究成果であるHiSIMモデル実用化、(3) 2005年度にVerilog HDL編の改訂を行ったRTL設計スタイルガイドの書籍販売やセミナー開催、(4) STIL (Standard Test Interface

Language)活用ガイドの普及、さらに(5) 高位設計でのTLM (Transaction Level Model) ガイドの普及を行います。

(1) IP機能検証ガイドの拡充と普及

IP再利用容易化の決め手として、IP機能検証ガイドの開発と普及に取り組んでいます。これはIPが期待した機能を持っていること、IPが組み込まれるSoCと正しく接続できることを検証する技術です。2005年度は機能検証SWGメンバー各位の熱心な活動により、「IP機能検証ガイド初版」を作成しました。IP機能検証ガイドはIP検証とSoC組込み検証を実行するために必要な、(1) 検証項目の抽出方法と検証シナリオ策定、(2) 検証環境(テストベンチ)、(3) チェッカ機構、(4) 機能カバレッジの構築手法で構成されます。とりわけ通信プロトコルに対応した検証モジュールの階層化と再利用化を念頭に置き、アサーションベース検証やカバレッジドリブン検証など最新の検証手法を取り入れています。

2006年度は10社16名で構成する機能検証ワーキンググループを中心に活動しています。IP機能検証ガイドを広くSoC設計・検証エンジニアの方々に現場で活用していただくための内容拡充と、テクニカルライティングによる書籍化を進めます。またSTARC教育推進室と連携して2007年3月にアドバンスト講座「機能検証セミナー」を開催し、ワーキンググループの活動成果をクライアント社内技術者の方々に発信します。ご期待ください。

(2) コンパクトモデル動向把握とHiSIMモデル実用化

LSI設計における回路シミュレーションは、内部に組み込まれるトランジスタモデルがいかに高精度に電気特性を表現できるかが重要です。プロセス微細化の進展とともに、現在広く使われているBSIMモデルの精度上の限界が顕在化しています。トランジ

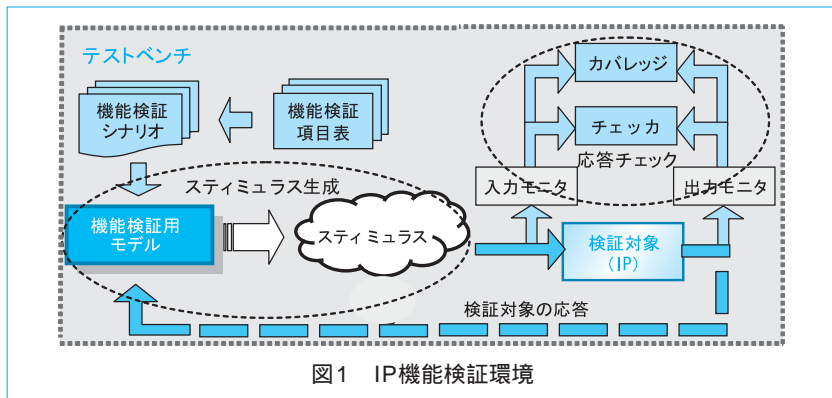


図1 IP機能検証環境

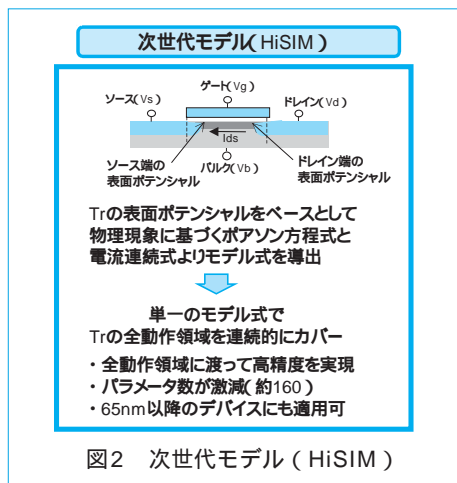


図2 次世代モデル (HiSIM)

スタを始めとして回路設計で使用する素子モデル（コンパクトモデル）の先端技術を議論し標準化を進めるCMC（Compact Model Council）に参加し、最新技術動向をクライアントと共有します。

クライアント9社、15名で構成するコンパクトモデルワーキンググループがBSIMに代わる次世代モデルの技術評価を進めます。具体的には広島大学 三浦研究室とSTARCの共同研究で開発されたHiSIMモデルと、昨年CMC標準として選定されたPSPモデルの精度評価と、回路シミュレーションの速度/収束性比較を行い、新モデルの実用化を加速します。BSIMがVthベースの解析式モデルであることに対して、次世代モデルは表面ポテンシャルをベースに物理現象をモデル化しています。微細プロセスでの短チャネル長・狭ゲート幅トランジスタや、アナログ特性、RF

特性を高精度に表現します。

STARCではEDAベンダと協力して、HiSIMモデルを組み込んだEDAツールをいち早く市場にリリースすることを進めています。7月後半には複数のベンダからHiSIMの最新バージョンを組み込んだ回路シミュレータの提供が開始されます。

(3) 関連組織との連携

2006年度にSTARCに新設された「テスト&故障解析開発室」、「高位設計開発室」との連携により、両開発室の開発成果である「STIL活用ガイド」および「TLMガイド」の業界への発信、普及を行います。

このほかJEITA EDA技術専門委員会や、OCP-IP、FSA、SPIRIT、アジア各国のIP利用促進機関などと協力して、国際標準と整合した技術標準化を進めます。

特集

SoCプラットフォーム推進室

スターシャトルとライブラリ進化論

開発第3部 SoCプラットフォーム推進室長 武智 真

素材として期待されたスターシャトル

スターシャトルは、2003年10月に運用を開始しました。当初はIP検証、SoCプロトタイプ設計を主目的として期待していましたので、図1のようなライブラリ群を準備しました。しかしながら、現実には、90nm世代のSoC開発が時期尚早であったためもあり、図2に示すように回路や解析・設計手法の検証等、研究開発や実験目的がほとんどでした。また、注目すべき点は、STARCが準備したライブラリや設計ガイドに準じた利用は少なく、想定外の使い方が目立ちました。例えば、基板の電位を制御してトランジスタの特性を変えたり、微細化プロセスで不可欠なダミー挿入を制御してデバイスの電気的特性を確実なものにするため

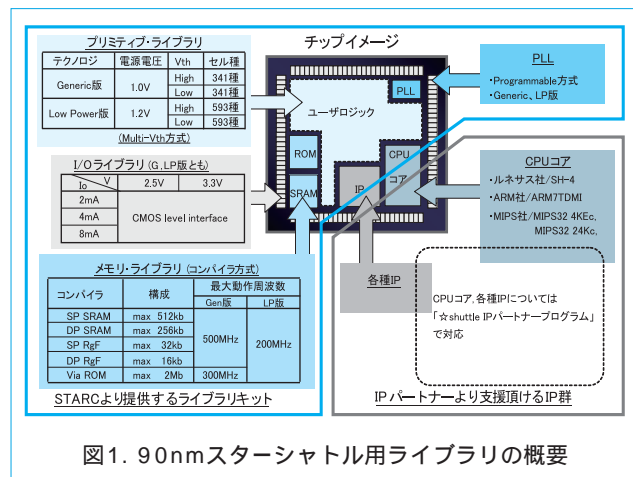


図1. 90nmスターシャトル用ライブラリの概要

ダミー禁止層を違反承知で利用する等。シャトル顧客にとっては研究課題を実証できなければシャトルの意味がありませんし、その後もこのような利用法は一層盛んになったので、スターシャトルはむしろ研究開発の素材として期待されているのではないかと思うようになりました。

確信犯的シャトル利用者救済策

設計ルール違反を承知で使うには、自分の設計したチップは動作保証無しでかつ自己責任でテープアウトすることを覚悟するだけでは不十分であり、乗り合いを前提とするシャトルでは、そのために他人のチップに影響を与えてはならないというジレンマがあります。これを解決したのがFinal GDS Checkerです。これは、GDSの最小寸法、使用禁止層、データ領域やチップ設計制約事項等をテープアウトの際にチェックするものです。Final GDS Checkerは当初ASPLA社内ツールとして作成されましたが、その有用性が検証されたため、業界シャトル移行を控えた2005年に

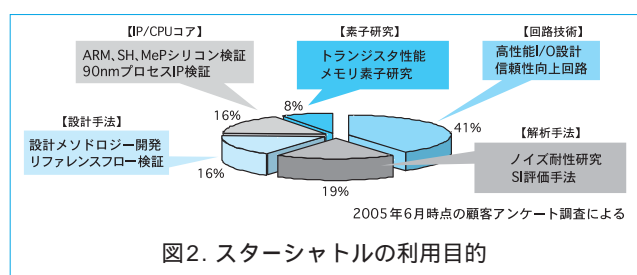


図2. スターシャトルの利用目的

は、チェック項目を見直し、ルールファイル専門家に再コーディングしてもらいました。本チェッカーの運用により、スターシャトルの設計自由度が大きくなりました。

ライブラリベース設計からデバイスベース設計へ

デジタルLSIの設計では、トランジスタを直接扱うことはなく、ライブラリとしてその形状や電気的性能を代表させます。確信犯的シャトル利用者の方々は、トランジスタ周りの設計から始めるため、デジタル設計向けに準備したライブラリではどうしても不足するテクノロジーがあります。それが、GDSから容量や抵抗を算出するLPE (Layout Pattern Extractor) です。2004年9月に大学向けにシャトル説明会を開きましたが、その席上で「LPEがないとは信じられない。大学だから見せないのか。」「隠している訳ではない。ないものは出せません。」と叱咤激励をいただき熱くなった夏の日。思い起こせば、この日がライブラリ中心の設計から、デバイスを含めた設計方式へ舵を切った記念日だったと思います。LPEは2005年の年末に完成し、新規にカスタムベースでセルやモジュールを設計するパスを実現しました。

次のターゲットはアナログ設計環境整備

しかしながら、アナログ設計はLPEがあれば盤石というわけではありません。アナログ設計では形状や性能を表現するライブラリという概念はないので、直接トランジスタや容量、抵抗等のデバイスをレイアウトし、その電気的性能を見積もって、これを回路シミュレーションしてモジュール設計をすることになります。設計の各工程ではそれに特化したツールを代わる代わる利用して、設計データを完成に近づけていく“原始的で手間のかかる設計方法”が一般的です。このためPDK (Process Design Kit) という手段が考えられました。これは、同一EDAプラットフォーム上で、アナログ構成要素を部品化し、一連の設計作業である回路図入力、ネット作成、回路シミュレーション、GDS生成をインタラクティブに設計して、アナログモジュールの開発効率向上や設計品質向上を図る手段です。STARCでは、SILVACO社とスターシャトル用PDKを共同開発し、2006年6月にリリースしました。

アナログ設計の手段は次第に充実してきましたが、高精度アナログモジュールで不可欠なインダクタ、バラクタ、MIM容量等のデバイスについての要求も強く、これらについてはスターシャトルで試作・評価した後、デバイスリストに加えることにしました。

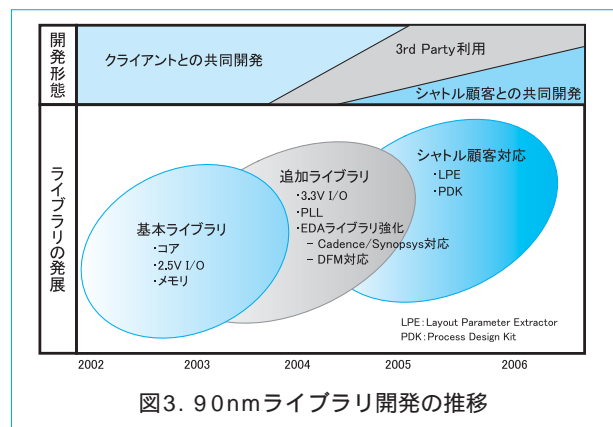
設計環境は顧客とともに創るもの

新規デバイスであるインダクタ、バラクタ素子の開発については、シャトル顧客でもある大学にTEG設計、

評価をお願いしました。シャトル顧客と共同で開発を推進することは、ニーズや目的が明確なため開発期間が短く、また必ずシャトルを利用していただけなので一石二鳥の効果があります。それだけではなく、DRでは大学の先生や学生さんの他に、旧IP開発部の各社アナログWG委員の方々にも参加していただき、詳細仕様や評価方法を決めていきました。このような機会を通じてささやかではありますが産学連携ができたことは思わぬ成果だったと思います。今回開発するインダクタ、バラクタについては、大学でのデータ取得後にSILVACO社のPDKに組み込み、2006年9月にリリースします。顧客との設計環境整備は、スターシャトルの顧客とSTARCにとってwin-winの関係となるので、今後もその可能性を追求していきます。

将来への展望

今回のプロジェクトはクライアント5社による「90nm標準ライブラリ」の開発から出発し、スターシャトルの運用と同期して、顧客のニーズに合わせて設計環境を整備してきました。また、開発主体もクライアント5社から3rd Party、シャトル顧客まで拡がり、紆余曲折を経ながらも多様なライブラリやテクノロジーが完成しました。ライブラリ開発担当者としては、正直なところ予想外の展開でした。これならデジタル/アナログ混在型LSIはあるか、機能デバイスでも設計できそうな妄想に取り憑かれそうです。



Linuxが北欧の一開発者によって作成され、その後多くのプログラマの助力により、インターネットを介して発展し標準化された例があります。ソフトウェアのLinuxとハードウェアのLSIでは、初期投資等の障壁の大きさが異なるので一概には比較できませんが、スターシャトルという手段を手に入れた現状では、緩やかな結合の中で不特定多数の開発者によりLSIを構成するデバイス、回路、設計手法等の共有資産を築くことも可能と思われます。今後はそのような顧客とのコラボレーションで、スターシャトルとライブラリ開発が発展を続けることを期待しています。

国際学会参加報告

第24回 VLSIテストシンポジウム

(24th VLSI Test Symposium)

はじめに

第24回VLSIテストシンポジウム(VTS)が、5月1日から5月3日まで、米国カリフォルニア州バークレーで開催された。

VTSはLSIテスト分野では国際テスト会議(ITC: International Test Conf.)に次ぐ歴史をもつ学会であり、スタンフォード大学のMcCluskey教授をはじめ世界各地の大物研究者が集まる。今年も例年と同じ200名あまりが参加し、57件の通常論文発表、30件の特別論文(Innovative Practice)発表、10件の特別セッション(パネル等)などが行われた。日本からも例年を上回る15名が参加、2件の通常論文と3件の特別論文を発表した。

今回の会場はカリフォルニア大学バークレー校に近い丘にあるリゾートホテル。結婚式の一行を横目に見ながら、こちらでも熱い議論が繰り広げられた。

テクニカルセッション

オープニングセッションでは基調講演と招待講演が行われた。

基調講演では、Intel社のMarberry副社長が「100Bトランジスタデバイスへの道を探る」と題して、テストコスト削減に関する提案を行った。コスト効率の良いテストと設計が必要であり、コンフィギュラブルテスト(CMT)効率的テスト可能な設計、プロダクトミックスを可能にするテストの3つの戦略が重要とのこと。Intel社では、



会場のClaremont Resort

90nm世代からCMTを導入し、65nm世代では全面適用している。結論として、テストとテストの同時最適化の重要性を強調した。

招待講演では、FEI社のCampbell副社長が「デバイスのテストと診断におけるナノスケールの課題」と題して、サイズ・形状によって性質の変化するナノゾーンのデバイスにおける、計測の観点からの課題を示した。ナノデバイスの製造上の課題としては、微小な欠陥、複雑なレイヤー、新材料など多くがあり、これらに対応するためには3次元計測が重要な技術課題となる。また、低歩留りの根本原因を解析するためには、DFM/設計データの利用と解析ツールがキーであるとの意見を述べた。

通常論文発表では、ディレイテストが前回同様3セッション(Session 1A, 10A, 11A)あり、この分野の研究の活発さが伺われる。主要な課題は高精度化(1A.1, 10A.3, 11A.1)であるが、クロストーク考慮(10A.2)への取り組みも見られる。テストデータ圧縮は今回も1セッション(Session 8A)であったが、大幅な圧縮を意識した研究が盛んになりつつある(8A.1, 8A.2)。

特別論文発表は、今年も全般的に人気を集め、とくにIntel社の順応型Microprocessorの検証に関する発表(11C.3)等では立ち見も出るほどであった。内容としては、スクリーニングテスト、テストデータ圧縮、テスト資源分割配置、同測テスト、ソフトエラー、SIPテスト等で多種多様であった。私がオーガナイズした「先端SoCのテスト戦略」のセッション(Session 6C)では、松尾氏(富士通研究所)、桐生氏(東芝)、中尾氏(ルネサステクノロジ)に発表いただいた。聴衆も多くまた会場からの質問も活発で、好評であった。

また、「実時間量産解析における要求と課題」と題するパネルがあり、パ

ネリスト6名(半導体3社、EDA3社)が意見を述べたのち、討論を行った。全般的な意見として、全体像が見えない、テストによるデータ収集とツールによる歩留り解析を連携させたソリューションが必要、シームレスなフローが必要、など統合化の重要性が指摘された。

このほか、特別セッションとして、ホットトピックス、ショートチュートリアル等の多くの企画も組み込まれており、理論と実践のバランスがうまく取れていたように思う。

ソーシャルプログラム

一方、この学会のもうひとつの重要イベントであるソーシャルプログラムでは、まず、今年の新IEEEフェローであるCredence社のWest氏の企画による、「アルキメデスの書類からの発見」が催された。スタンフォード・リニア加速器センターのBergmann氏から、アルキメデスの自筆の書物に残された、まだ知られていない多くの内容の解明に関する研究内容が紹介された。

そののち場所を変えて催されたバンケットでは、食事のほかにビリヤード台も設置されており、プロの妙技に感心するとともに、おぼつかない手つきで玉と戯れる研究者たちの様子に、普段と異なる一面が見られた。

おわりに

今回のVTSの全体的な傾向として以下の2点が挙げられる。(a)全体の関心はテストを歩留り向上につなげることでトータルコスト削減を目指すという方向に向かっている。また、真のat-speedディレイテストを効率的に実施するための、高精度なディレイテストへの関心も高い。(b)論文発表に関しては理論の域を脱しきれないものも多く見られるが、一方では企業と大学の共同研究等も活発であり、実用への意識の高まりが感じられる。

なお、次回は2007年5月7日~9日に開催される予定(開催地未定)。(テスト&故障解析開発室 畠山一実)

国際学会参加報告

2006 SYMPOSIUM ON VLSI TECHNOLOGY

概要

6月13日から15日の間、“2006 SYMPOSIUM ON VLSI TECHNOLOGY”が、ホノルルで開催された。論文件数は、例年並みでありPlenary Sessionも含め93件。論文分野は、High-k、Metal-Gate、Metallization、各種Memoryと多彩であったが、とくに、歪みSi関連とフラッシュ関連の論文が多いという印象を受けた。また、大学からの論文は、Plenary Sessionを除くと8件と、ここ10年来では最低であった。日本の大学からは、0件。学会の傾向として、“インテグレーション”の学会といった傾向がより強まっており、そのことが、大学からの発表が減少した一因ではないかと感じた。

論文の傾向

論文は、Front-Endプロセス、Back-Endプロセス、およびDevice関連に大別できる。この内、Front-Endプロセスと不揮発性メモリを中心とするDevice関連の発表が盛況であった。Front-Endプロセスで最も感じたことは、歪みSiに関する論文の多さであった。Session数は4で、NMOS、PMOSへの適用等、さまざまな検討結果が報告されていた。また、依然として、High-kおよびMetal-Gate関連の発表も多く、関連Session数は5程度であった。内容的には、High-K膜の信頼性やメタルゲートのワークファンクション制御などのより実デバイス応用を意識した論文が多かった。また、FinFETに関しては、昨年の2 Sessionから1 Sessionと減少したが、FinFETを用いてのSRAMの試作結果やFlash Memoryへの適用結果が他のMemory sessionで報告されていた。

Device関連では、不揮発性メモリで四つのSessionが設けられていた。一つが“Advanced Flash Memory”、

二つめが“Non-Volatile Trapped Charge Memory (MONOS系フラッシュ)”。他に、“Non-Volatile FinFET Flash Memory”と“Alternative Non-Volatile Memory”の二つである。単体Flash Memoryのプレイヤーは限られているが、混載用メモリとしても、Flash Memoryを代表とする不揮発性メモリへの関心は依然高い。

発表機関動向

国別の論文件数推移を図1に示す。昨年度比較では大きな変化はない。日本と米国の減少傾向はかわらず。韓国、台湾、欧州は、それぞれ21件、11件、および9件と高い水準を維持している。論文件数の多い、日本(28件)、米国(21件)、韓国(21件)の論文分野を見ると、日本と米国は類似している。High-k、Metal-Gate、歪みSi、Back-Endに関する論文が多い。一方、韓国の発表は、DRAMやFlash Memory関係に集中している。各国の注力技術分野を明確に反映している。

また、大学よりの発表は、今年は8件と、昨年の18件から半減。日本からの発表は、Plenary Sessionを除くと0件。国別で見ると台湾とシンガポール(その他のアジアに分類)とが、それぞれ3件とトップ。いずれも、先端材料を用いてMOSFETやMemoryの試作を行っている。大学のみで実施

可能なテーマではなく、国や企業のサポートをベースとした発表と考えられる。

まとめ

もともと、この学会は“微細化と集積化”に特徴を持つと考えられるが、今回はとくにその傾向を強く感じた。学会全体として、歪みSi、High-k、Metal-Gate等のインテグレーション技術を競う学会という印象であった。大学からの発表が減少した原因が、このような点にあるのかもしれない。

今回は、“VLSI TECHNOLOGY”のサテライト学会であり、その直前に開催された“2006 IEEE Si Nanoelectronics Workshop”にも参加した。元々は、Quantum device等を中心とするWorkshopであったが、現在では、それだけでなく、Si-MOSFETをはじめ、High-kやNon-Volatile Memory等の論文も多く発表されている。今年は参加者が約260名、論文発表は32件、ポスター発表は64件であった。企業から発表もあるが、大学からの発表が非常に多く、今後は、“VLSI TECHNOLOGY”だけではなく、このWorkshopにも着目する必要があると感じた。(研究推進部 吉丸正樹)

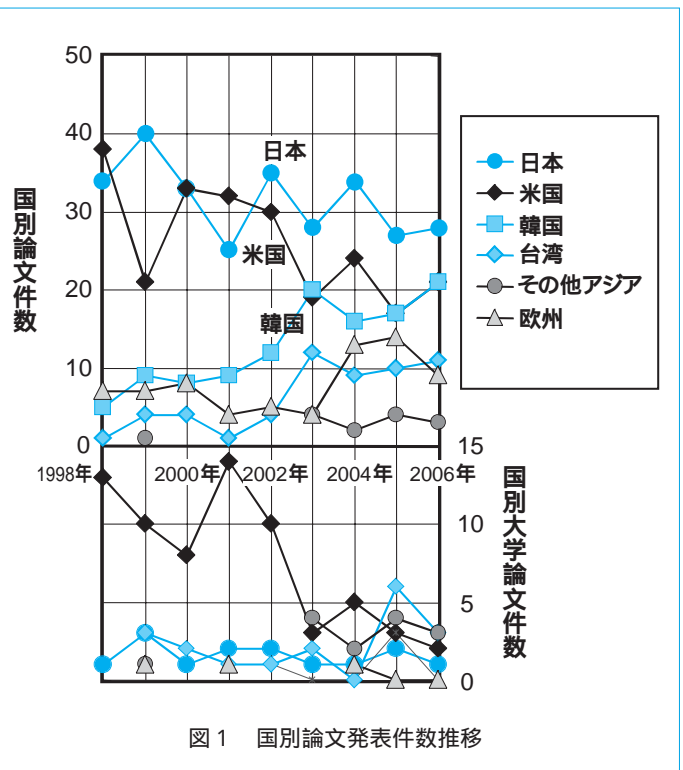


図1 国別論文発表件数推移

国際学会参加報告

2006 VLSI回路シンポジウム

(2006 Symposium on VLSI Circuits)

はじめに

2006VLSI回路シンポジウムは、6月15日より17日にかけてホノルルのヒルトン・ハワイアンヴィレッジにて開催された。先行したVLSIテクノロジーシンポジウムが参加者700人を超える盛況だったのに比較し、回路シンポジウムは参加者400人は超えたものの前回に比して減少してきておりコミティメンバーは分析と対策討議に忙しそうであった。

今年は過去最多となる412件の投稿から113件の論文が採択され、採択率は27%となった。中にはデータ・コンバータ関連など10%台の採択率となる超激戦区もあった。結果として、質の高い論文が揃ったといえる。

採択論文の傾向

図1よりわかるように、ホノルルと京都で交互開催するVLサイクルを考慮に入れても、今年の傾向として、1) 米国大学の激増、2) 日本の大学と企業の横ばい状況、3) 欧州の漸減、4) アジアの微増、がいえるかと思う。米国大学の激増(全体の3割を占める)は、要素回路の研究を大学が担当し、それを産業界がサポートし成果をインテグレートする分業体制がうまく機能しはじめたことによるのかもしれない。三星やAKM(旭化成マイクロ)などアジア企業からもオレゴン州立大学など米国大学への研究サポートが行われている。欧州の激減は、サッカーのワールドカップとぶつかったことも一因かもしれないが、欧州版のISSCCであるESSCIRCがとくにアナログ・RF分野において質・量の両面で充実してきたことの影響も無視できない。

表1にセッションごとの採択論文の傾向を示す。今回のVLSI回路シンポジウムの特徴として以下のことが見て

取れる。

- 1) メモリの比率が高いこと #2, #13, #15, #17の4セッション、4/24=17%、因みに2006 ISSCCでは3/33=9%、2005 ESSCIRCでは1/29=3%である。

る)。アジアからの発表は減ったが日本からの発表は相変わらず多い。SRAMセルの安定性、不揮発性RAM、SRAMの改良や新規メモリが議論されている。

- 2) 要素回路(高速I/O、クロック発生・分配、イコライザ、など)のセッションが多い。とくにデータコンバータはオーバーサンプル、ナイキストなど4セッション(#6、#16、#19、

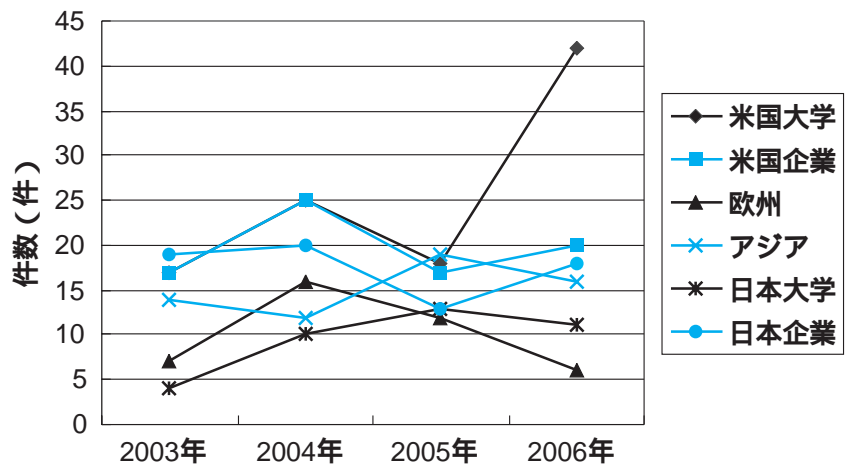


図1 VLSI回路シンポジウム採択論文数の傾向

表1 2006VLSI回路シンポジウム採択論文の傾向

(企：企業、学：大学・研究機関、共：共同研究、共同研究の数は産・学が連名になっている論文数であり内数である)

セッション	日本		アジア			北米			欧州			合計	
	企	学	共	企	学	共	企	学	共	企	学		共
2 SRAM Cell Stability	2	1	1				2						5
3 Image Sensors		1			1		1	2					5
4 Clock Generation for High Speed Transceivers	1				1		2	1					5
5 RF Blocks for Tuners and Sensor Networks	1						2	1					4
6 Data Converter Techniques					1	1	2				1		4
7 Real World Interfaces					1		2	1	1				4
8 On-Chip Environment and Process Monitoring	1	2	1				1	1					5
9 Serial Link Transceivers							1	4	1				5
10 Analog Techniques	1				1		1	1			1		4
12 Clock Generation and Distribution		1	1		1	1	1	2					5
13 Non-Volatile Memory Architecture and Circuits	3						1				1		5
14 Serial Receivers	1				2		2						5
15 SRAM Architecture and Techniques	1			1			1	1					4
16 Nyquist ADC I	1				2		1						4
17 MM-Wave					1		3	2					4
18 Digital Processing	1	2					2						5
19 Oversampled ADCs							1	4	1				5
20 Oscillators and Dividers		1	1		1		3	1					5
21 Advanced Memory and Circuits	3						2						5
22 Equalization Techniques							1	3	3	1			5
23 UWB		2	1		1		2						5
24 Reducing Power, Noise, and Leakage	2						2			1			5
25 Nyquist ADCs II		1					1	3	1				5
26 RF Front Ends and Baseband Processing					2		1	2	1				5
総計	18	11	5	1	15	2	20	42	12	4	2	0	113

#25) が編成されている。CMOS技術の微細化と低電圧化をにらみ、高精度化、低消費電力化、高速化などのターゲットを達成すべく、パイプライン方式、折り返し・補間方式、逐次比較、アルゴリズムミックスの各方式が議論されている。

3) アジアからの発表が極端に大学に偏っている。謝辞を見ると企業やファウンドリのサポートが紹介されている例も多いので、大学はコンセプトの実証から発表までを担当し産業界はそれを集積し事業化することに専念するという産学連携における分業が徹底しているのかもしれない。

4) 日本からの発表が皆無のセッションとして、
#6 Data Converter Techniques、
#7 Real World Interfaces、
#9 Serial Link Transceivers、
#19 Oversampled ADCs、
#22 Equalization Techniques、
#26 RF Front Ends and Baseband Processing、の6セッションあり、高速通信分野が弱体化しているのだからよいが少々気になる。

アナログはゴキブリ？

基調講演では、米Analog Devices社 David Robertson氏が、"The Past, Present, and Future of Data Converters and Mixed Signal ICs: a 'Universal Model'" の表題で、生物進化論や地質学や宇宙物理とのアナロジーからA-D変換器やD-A変換器の歴史と今後の進展を論じた。

地質学：信号処理の世界を、ソフトウェアを地核に順にデジタル-アナログ処理と多層化し現実世界の現象を大気に例える。これによれば、デジタルやソフトウェア領域で多くの信号処理が実行されるようになり、アナログエレクトロニクスの地層が薄くなりつつある。

宇宙物理：しかし、ビッグバンなどに代表される膨張物理のアナロジーを適用すると、1) 一定の地層厚さがあれば半径の増大とともに表面積も

増加(アプリの拡大、ユビキタス)、2) デジタル層内にも超高速の信号配線などアナログ要素のパブルが発生増加、3) アプリや領域の拡大とともに、センサと信号処理技術をアナログ技術で融合する時代が到来、など、アナログ技術の新しい可能性が見えてくる。

生物進化論：したがって、信号処理の世界において、アナログ技術は恐竜のように衰退し小さいトカゲのように細々と生き残るのではなく、ゴキブリのようにしぶとくユビキタスにたくましく環境変化に適応しつつ繁栄する。

以上を鑑み、微細トランジスタの高速動作と高密度の特性を活用すべく、今後5 - 10年先をにらんだアナログ技術の展開を以下のように見る。1) サンプリングレートの高速化による既存のアーキテクチャの棲み分けの変化：逐次比較や の高速アプリへの展開など、2) 並列構成の活用：パラレル処理やインターリーブ動作により、高精度化、低消費電力化、高速化、小面積化を図る、3) デジタルの活用：ミスマッチや動作余裕を減少をデジタル回路で補償する、などが大きなトレンドになる。

オペアンプを使わずにコンパレータやオープンループを多用する、通信の世界で採用されているプリディストーション技術のようなコンセプトを採用するなどの提言も含め、適度に笑いを取りながらメッセージのクリアな良い基調講演であった。個人的には、恐竜は絶滅したのではなく、鳥類に進化してさらに繁栄しつつあるとの喩でアナログの現在・未来を予測してくれた方がゴキブリ説よりも現実感覚に近いかなという印象であった。

STARC活動の成果

STARC関連の発表は以下の3件であった。

講演番号23: A V_{th}-Variation-Tolerant SRAM with 0.3-V Minimum Operation Voltage for Memory-Rich

SoC under DVS Environment; 神戸大学・吉本研究室との共同研究成果であり、電源電圧を動的に制御するSoC内でV_{th}がばらつくSRAMブロックのワード線電位などを読み出し/書き込み時に最適制御することで0.3V動作を実現した。

講演番号8.1: A 1-ps resolution on-chip sampling oscilloscope with 64:1 tunable sampling range based on ramp waveform division scheme; 東京大学・桜井研究室とSTARC開発部との共同研究成果であり、90nm CMOS技術の上で、時間分解能1psのオンチップ・サンプリング・オシロスコープを開発した。

講演番号25.4: A 1V 30mW 10b 100M Sample/s Pipeline A/D Converter Using Capacitance Coupling Techniques; 静岡大学・川人研究室との共同研究成果であり、90 nm CMOS技術を用いて、0.73pJ/V/秒と世界最高水準のFoMを達成した。

その他にも、共同研究中の先生方や学生さん、研究支援委員や客員研究員、企業研究者となったOB学生さんなど、多数のSTARC関係者が発表者、プログラム委員、座長、などとして活躍されておられ、ここ4 - 5年でSTARC回路設計関連の研究者の層とネットワークが格段に厚くなり密になったことを実感した。

おわりに

大学発表論文の謝辞を読むと、研究の資金提供者(機関)と試作サポート者(機関)が記されている例が増加していることに気づく。また、アジアや米国からの発表機関を見ると、要素回路の研究は大学に任せてしまっているのではないかと感ぜざるくらい大学の比重が増している。

産学双方に本当にメリットのある連携の仕方について、国際情勢もにらみながら考え直す時期に来ているように思われる。

(研究推進部 益子耕一郎)

研究推進部

研究推進部では、「大学との共同研究」と「設計技術者教育」の活動をしています。前者は、国内大学でのシリコン半導体研究基盤の強化、大学研究者層の拡充・育成をミッションとしています。1995年末のSTARC発足と同時にスタートし、あすかの現在でも基本的には同じスキームで活動を続けています。一方、後者は、2001年のあすかプロジェクトとともに開始された活動であり、国内大学およびクライアント会社の双方に向けた設計教育講座などの実施を通してSoC設計技術者のすその拡大・育成をミッションとしています。

研究推進室

大学との共同研究は2006年度は、国内24大学と46テーマについて実施しています。STARCの共同研究の特色は、テーマごとにクライアント各社からの総勢147名の客員研究員が概ね3ヶ月に1回のペースで大学を訪問し、進捗の報告を受け討論を通して共同研究を進めていくところです。

共同研究を担当しているメンバーは、今村健部長（室長兼務）以下、益子耕一郎、吉丸正樹、杉本益規の各上級研究員、宮本俊介技監、とサポート役の日永田真弥さんの6名です。

研究推進室のメンバーの主な仕事は以下の3種類です。
(1) 共同研究の遂行支援、マネージメント、(2) 研究成果のクライアント会社へのフィードバック、(3) 新規研究テーマの募集・採択、新規テーマの検討。

(1)に関しては、大学との技術打ち合わせに毎回参加し、客員研究員をサポートして、研究目標を達成すべくさまざまな支援を行います。(2)については、研究計画説明会(新規テーマ)、研究成果総合報告会(前年度終了テーマ)、研究成果報告会(継続中テーマ)など年間10日を越える報告会をクライアント向けに開催しています。(3)に関しては、テーマ選択プロセス(募集～審査～採択)を通して、次年度テーマを決定します。また、これら大学からの応募型テーマ以外にSTARCから個別に先生方にテーマ検討をお願いする方法(インキュベーションテーマ)もあすかでは取り組んでおり、今年度は6件実施しています。

上級研究員は、これら業務のため、国内大学での打合せや学会での情報収集などに、年間の半分以上の日数を出張に国内外を駆けずり回っています。

<杉本上級研究員の自己紹介>

4月1日付けで研究推進室に参りました杉本 益規です。よろしくお願いたします。出向元ではEDA分野を中心に経験を積み、ここ数年はセルベース設計の遅延やノイズ

の検証を担当していました。毎日毎日のLSI設計の現場を支える仕事で、開発も一世代先くらいが中心です。当然STARCも開発部の方とよくお付き合いをさせていただいておりました。大学との共同研究については今まで深く関わる機会はありませんでしたが、当部に参り、新しい技術の開発に向けて熱心に取り組んでいらっしゃる大学の先生、学生の皆さん、客員の方々、諸先輩を目にし、私なりの経験を生かしてお役に立てれば、という思いを強くしております。



教育推進室

設計技術教育は、あすかの5年間でその基盤が出来上がり、あすかでは更なる飛躍を求めて質・量の両面での拡充を図っていきます。そのため、仕事量が爆発的に増大していることが一つの悩みですが、室員全員目的に向かって邁進しています。

当室のメンバーは、橋詰恒雄室長以下、有賀正憲、加沼安喜良、今村陽一、西山保の各上級研究員とサポート役の小形浩美さんの6名です。

業務は以下の4つに大別されます。(1)国内大学での設計教育講座の実施・支援、(2)テキスト教材、実習教材の開発、改版、(3)クライアント向けアドバンス講座、MOT講座の開催、(4)設計技能検定試験の普及支援。

(1)(2)では、現在国内31大学での設計講座の実施をサポートしています。講義数は総計41科目、履修者数は950名/年です。テキスト教材は現行4種に加え、アナログとアルゴリズム設計の2種類の新規開発を進めています。(3)は、あすかできちんと力を入れていく分野であり、アドバンス講座は年6回開催し、クライアント事業所への配信にも力を入れていきます。MOT講座は、半導体業界独自のMOT講座を創り上げることを目指して今年からの新規スタートです。(4)は、STARC認定の試験問題により業界標準の検定試験の定着普及を目指して活動しています。

当室の活動にとって顧客は大学とクライアントの両方です。それぞれに最も相応しい教育プログラムとシステムを提供することを通して、設計技術者教育の側面から日本半導体業界の活力増強に貢献したいと室員一同考えています。



立命館大学での設計講義風景(2006年6月)

STARC 部門紹介

開発第2部

4/1付で開発第2部は3つのテーマから成る有志企業参加のあすか 選択プログラムとして新たなスタートを切りました。各プログラムでの開発技術はいずれも次世代LSIでの超大規模化、機能高集積化、高速低電力化、超微細化に欠かすことのできないキーテクノロジーです。開発支援委員を通じ各社の協力を得、密に連携しながら有志参加の特長を活かし、少数精鋭での開発加速します。庶務を担当、紅一点の佐藤裕子さんとともに強力にサポートしていきます。

(部長 岡村芳雄)



高位設計開発室

高位設計開発室は、NECエレクトロニクス、沖電気、ルネサス、ソニー、東芝からの8名のメンバーで構成され、全員が100%出向です。開発室目標のトランザクションレベル(TL)モデリング標準化と高位設計メソッド開発を各チームリーダーが指揮します。リーダーは塩月八宏さんと武井勉さんです。リーダーの下で開発を進める研究員には両方のスキルを持っていただくため、大部屋の体制をとります。研究員の皆さんは5名、伊藤徳義さん、吉永和弘さん、八木浩行さん、大島良紀さん、澁谷洋志さんです。

第1四半期は、両リーダーのもと、活動準備や位相合わせのために毎日のように全員参加で討議し、今後2年間の一体感ある活動の基礎固めができました。出向メンバが本活動を通してTL設計のスペシャリスト、業界のキーパーソンとなることを目指します。どうぞよろしくお願いたします。

(室長 柏木治久)



後列左より、澁谷、大島、柏木、八木、伊藤
前列左より、武井、吉永、塩月

テスト&故障解析開発室

テスト&故障解析開発室は、参加企業7社(富士通、松下電器、NECエレクトロニクス、沖電気、ルネサス、シャープ、東芝)から11名のテストのエキスパートが出向し、次世代テスト技術チーム、次世代故障診断チーム、標準準拠テストチームの3つのチームを構成しています。

私達は、半導体の微細化の進展に伴うさまざまな問題を早期に解決するテスト技術、故障解析技術に取り組むことにより、次世代プロセス品種のテストコストの削減、早期開発を可能とし、さらに、テスト環境の標準化を進めることにより、異なるテスト、異なるEDAツール間のデータの授受が可能となり、テスト環境構築のコストを削減することを目指します。

これらの活動を通し、新世代にふさわしいテスト、故障解析技術・環境を開発し、さらに、日本発信の世界標準を作って行きたいと考えていますので、皆様のご支援、ご協力を賜りますようお願いいたします。(室長 相京 隆)



詳細活動計画策定のために行った合宿・集中審議での一コマ(6/7,8)。
後列左より、石村、行徳、清水、野崎、福永、山元。
前列左より、上戸鎖、神鳥、畠山、相京、埜田。

Mixed Signal開発室

Mixed Signal開発室は室長である坪井邦彦、飯田哲也担当部長の2名からなり、7社(富士通、NECエレクトロニクス、ルネサス、三洋、シャープ、ソニー、東芝)の参加による選択プログラムとなっています。支援委員および国内外のEDAベンダーと協力し、最終的にはリスピン0を目指しアナログIPでのポストレイアウト検証環境の整備を推進しています。

今後さらに、低電圧化・高速化がアナログIPに要求され、高速・高精度回路シミュレータ技術、LSI/パッケージ協調検証整備等対応すべき事項は多いですが、各参加企業共通の最先端共通設計環境整備をリードしていきます。(室長 坪井邦彦)



坪井(左) 飯田

STARC 部門紹介

開発第3部

「90nmプラットフォーム技術」のDNAを引き継ぐ開発第3部

開発第3部は2006年4月に誕生しましたが、ここに至るまでの経緯はあたかも「プロジェクトX」を見るかのようです。海外ファウンドリの台頭に危機感を抱いた日本の半導体メーカー6社(当時は富士通、日立、松下、三菱、NEC、東芝)は各社が共有できる日本標準の90nmライブラリを開発すべく、2002年にSTARCに当部の前身であるIP開発部を設立しました。これと同期して、プロセス分野でも同じ6社がASPLA社を設立して90nmプロセス技術開発を開始し、両社が連携して日本のコンソーシアム活動としては初めて、設計から試作まで一貫した最先端プラットフォーム技術を完成させました。これらの技術はクライアント各社で利用されるだけでなく、STARC社内では先端設計技術開発の検証手段ともなり、当初意図していた「90nmプラットフォーム技術」のテクノロジ的側面の実証ができました。しかし、このプロジェクトの目的は技術開発にとどまらず、その普及がもう一つのテーマです。このため、2003年10月から両社はシャトル試作サービスの共同運用を始め、大学や研究機関、IPベンダー等、広範なユーザに利用していただき、その研究開発に寄与してきました。2005年10月にはASPLAのプロセス開発完了に伴い、ASPLAのシャトル運用部門がSTARCのIP開発部に合流し、それ以降「スターシャトル」は名実ともにSTARCの試作サービスとして運用を継続しています。

スターシャトルはプラットフォーム技術普及のパロメータ

本年度から始まったあすか の中では、開発第3部は選択プログラム「IP育成支援」の担当部門として、クライアント5社(富士通、松下、NECエレクトロニクス、ルネサステクノロジ、東芝)の支援を得ながら、スターシャトルを運用します。最近ではユーザ層が拡がり、機器メーカーやベンチャーの引合も増えてきました。また、マスコミにも取上げられ、90nmとしては世界で最初に一般向けリリースをしたこと、すでに200件に及ぶ実績等が高く評価されています。スターシャトルを介して90nmプラットフォーム技術の利用人口を増やし、延いては日本半導体産業の復活を現実のものとするのが我々の究極的目標です。

スリムな組織

開発第3部は、ASPLA時代からシャトル試作の運用を担当してきた「IP育成支援室」と、STARCでライブラリ開発を担当してきた「SoCプラットフォーム推進室」から成ります。

司令塔の伊藤荘一部長はSTARCに赴任されて3年、シャトルのアナログ対応策やSTARCによるシャトル引継ぎ等の転換期にタイムリーにリーダーシップを發揮され、今



後列左より、武智、高瀬、伊藤、斉藤
前列左より、早瀬、小池

日の開発第3部の基礎を築かれました。

IP育成支援室は、シャトル運用に関するすべての業務を斉藤薫室長、高瀬正史さん、小池直芳さんの3人で仕切っています。顧客や他部署に関連する業務が多いので、仕事ぶりは丁寧に見えますが、基本はPowerful & Steady。困難な状況に直面すればするほど、3人漫才のVoltageが急上昇して騒々しくなりますが、静寂さが戻った頃にはまあ妥当な結論を出しているようです。

SoCプラットフォーム推進室はシャトル顧客向けの設計サポートやライブラリ類のメンテナンス、配信が主業務です。最近では唯一のメンバーである武智真室長が、慣れないアナログ設計環境構築のため胡麻塩鬢を掻きむしっている姿が時々目撃されています。

当部の唯一の新人は、5月から庶務を担当している早瀬美和さん。有象無象の部員からの無理難題にも、快く応えていただいています。

ネットワークで組織化された強力なサポート陣

当部の社内組織はスリムでも、見えざる壁の背後には強力なサポート陣が控えています。シャトル顧客のGDS品質について問題が生じた場合は元ASPLAの技術担当者である「HelpDesk」に試作可否の判断をしていただいたり、シャトル設計時に利用するライブラリやルールファイルについて難度の高いIQ&Aやバグ対策が生じた場合はその開発担当会社に対応をお願いしています。また、シャトル試作はASPLAプロセスの移管先でもあるIDMに、顧客ごとのオプション対応も含め製造委託をお願いしています。最近では、クライアントやSTARC社内の方々から、シャトル顧客を紹介していただく機会も増えてきました。開発第3部は少人数ではありますが、実はこのようなネットワークでつながれた多くの方々の協力で成り立っているのが実態です。

今年の目標はスターシャトルの一般顧客向け拡販

一度シャトル顧客になっていただいたクライアント系やVDECの方々には、リピータになっていただくケースが増えてきました。しかし、プラットフォーム技術普及を実現するには、一般顧客の開拓が不可欠です。最近では営業活動で一般のお客様のニーズを聞く機会が多くなりましたが、そのニーズは千差万別。全員営業体制で、スターシャトルならではの企画提案をし、これらのニーズを拾い上げてシャトル便を満杯にし、早期に90nm世代の定着を図りたいと思います。

STARCシンポジウム2006

「日本半導体分野でのイノベーション活性化をめざして」

開催日：2006年9月7日(木)～8日(金)

会場：新横浜国際ホテル 南館(横浜市港北区新横浜 3-18-1)

プログラム <http://www.starc.jp/event/sympo/sympo2006/index-j.html>

9月7日(木) 13:00 - 19:30

- 基調講演 「半導体イノベーション立国への道」 桜井 貴康氏(東京大学)
- 招待講演1 「イノベーションを生みだすための産学官連携の仕組み
-九州における取組みと事例の紹介-」 影山 隆雄氏(北九州産業学術推進機構)
- ポスターセッション
レセプション

9月8日(金) 9:00 - 17:15

- 招待講演2 「地球環境を守る産学連携プロジェクト～Eliica電気自動車プロジェクト～」
吉田 博一氏(慶應義塾大学)
- 招待講演3 「より魅力ある電気・電子工学科に向けて」 小野寺秀俊氏(京都大学)
- 先端技術講演 「MEMS技術で拓く異種デバイス融合」 三田 吉郎氏(東京大学)
- 「カーボンナノチューブデバイスの最近の動向」 松本 和彦氏(大阪大学)
- 「フレキシブル・マイクロエレクトロニクスを実現する非同期回路設計」
唐木 信雄氏(セイコーエプソン)
- 「ソフトウェア設計方法論 - プロダクトライン開発のためのコア資産構築 -」
渡辺 晴美氏(東海大学)
- 「量子暗号技術の最近の進展」 富田 章久氏(日本電気)
- 「バイオメディカル計測のためのHuman-MEMSと応用展開」
三林 浩二氏(東京医科歯科大学)
- 招待講演4 「イノベーションにおけるベンチャーの役割 - 日米比較 -」
中町 昭人氏
(カークランド&エリスLLP、パートナー弁護士)
- 招待講演5 「理工系人材育成のために大学・企業・技術者は何をなすべきか？」
- 欧米の動向と日本の課題 -」 覧具 博義氏(東京農工大学)

主催：(株)半導体理工学研究センター

お問い合わせ先：STARCシンポジウム事務局 <http://www.starc.jp/sympo06>

お詫びと訂正 STARCニュースNo.28(2006年4月20日発行)の表紙ページCONTENTSで下記のとおり誤記がありました。関係者の皆さまには大変ご迷惑をおかけいたしましたこと、お詫びして訂正させていただきます。
共同研究グループ便り
(誤)尾島研究グループ (正)尾嶋研究グループ

STARCニュース No.29

株式会社 半導体理工学研究センター

発行：下東 勝博

編集：札抜 宣夫

Semiconductor Technology Academic Research Center (STARC)

〒222-0033 神奈川県横浜市港北区新横浜3丁目17番地2 友泉新横浜ビル6階

TEL: 045-478-3300 FAX: 045-478-3310

URL: <http://www.starc.jp>