

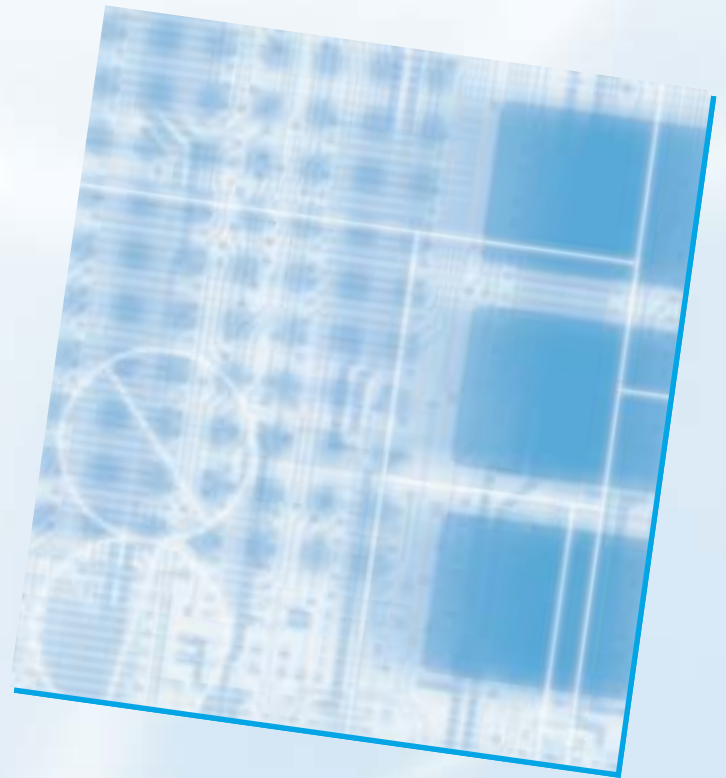
STARC ニュース

No. 28

2006年4月20日発行

株式会社 半導体理工学研究センター

Semiconductor Technology Academic Research Center (STARC)



CONTENTS

| | |
|---|----|
| 「あすか」終了に続くSTARCの新たな一歩 あすか プロジェクトへの結集と 新プログラムのキックオフ宣言..... | 2 |
| 「あすか」から「あすか」へ あすか プロジェクト&新プログラム紹介..... | 4 |
| 特 集 | |
| 次世代MOSFETモデル『HiSIM』の開発・支援活動... | 12 |
| 共同研究グループ便り | |
| 尾嶋研究グループ..... | 14 |
| 吉本研究グループ..... | 16 |
| 末吉研究グループ..... | 18 |
| EDS Fair 2006報告..... | 20 |
| 国際学会参加報告 | |
| ISSCC2006..... | 21 |
| ASP-DAC2006..... | 24 |
| 2006年度 共同研究実施テーマ..... | 26 |
| STARCフォーラム2006開催案内..... | 28 |
| トピックス..... | 28 |

2006年度、「あすか」終了に続くSTARCの新たな一歩

あすか プロジェクトへの結集と 新プログラムのキックオフ宣言

代表取締役会長

小野 敏彦 (おの としひこ)



新年度にあたり、皆様へご挨拶申し上げます。

本年3月に「あすか」プロジェクトは5ヵ年計画が終了し、4月から「あすか」として、新プロジェクトがスタートいたしました。

あすかプロジェクトは、1999年度に設立された「半導体新世紀委員会 (SNCC)」の報告書の提言に基づき、2000年度に「あすか実行基本計画」が出され、2001年度からの5ヵ年計画として策定されました。その実施はSeleteがプロセス技術開発を、STARCがSoC設計技術開発をそれぞれ担当いたしました。

STARCにおいては、創立時から大学との共同研究を行っていましたが、それに加えて「SoC設計力の強化」を担当することになり、これらの活動を「あすか」プロジェクトと総称してまいりました。

SNCC提言に基づいて開始されたプロジェクトは他に、国の委託事業として先端プロセス技術開発を目指した「MIRAIプロジェクト」と、ASPLA社設立に伴って始められた半導体デバイスメーカー5社によるSoCプラットフォーム構築を目指した「ASPLAプロジェクト」があり、STARCは、SoC設計インフラ開発を中心とした、SoCの開発で世界トップとなる最先端、共通基盤技術開発を担当いたしました。

「あすか」プロジェクトの5年間、STARCは、先端SoC設計技術開発で充分その役割を果たし、成果をあげてきたと思います。また、STARCの場に結集し活動してくださいました各社からの各委員、支援委員、出向者の方々のご努力と頑張り、厚く御礼申し上げます。

本年4月からは、第2次SNCCの提言に基づき、「あすか」プロジェクトをスタートさせました。STARCの新プログラムとして、共通コア、先端コア、選択プログラムの3本柱で活動してまいります。

皆様方の変わらぬご支援と一層強固なパートナーシップによるご協力をお願い申し上げます。

代表取締役社長&CEO

下東 勝博 (しもひがし かつひろ)



2006年度の新年度キックオフにあたり、皆様にご挨拶を申し上げます。

皆様におかれましては、ますますのご健勝とご発展を目指し、新年度に挑む気概を持ってスタートされたことと思います。今年は、STARCにとっては、2005年度「あすか」終了、2006年度「あすか」のキックオフという、大きな節目の年に成りました。私どもSTARCも一層の努力と挑戦する気概を持って取り組みますので、よろしくお願い申し上げます。

新年度初日には、新しく迎えた大勢の社員を前に、「あすか」の正式スタート、キックオフを宣言しました。「あすか」では、3つの異なる形の新プログラム、すなわち共通コア、先端コア、選択の各プログラムをスタートさせます。STARCの社員には、この新プログラムを遂行するにあたり、コンソーシア活動が日本の半導体産業の競争力を高める有力な手段であることを認識し、コンソーシア全体の理解を深め、より広い視野を持って思う存分に活躍して欲しいと思います。また、忘れてはならない心掛けとして、スピード、パートナーシップ、顧客指向、の3つ

「あすか」キックオフ、STARC全体集会



をぜひ念頭に置いて仕事に取り組むことをお願いしました。

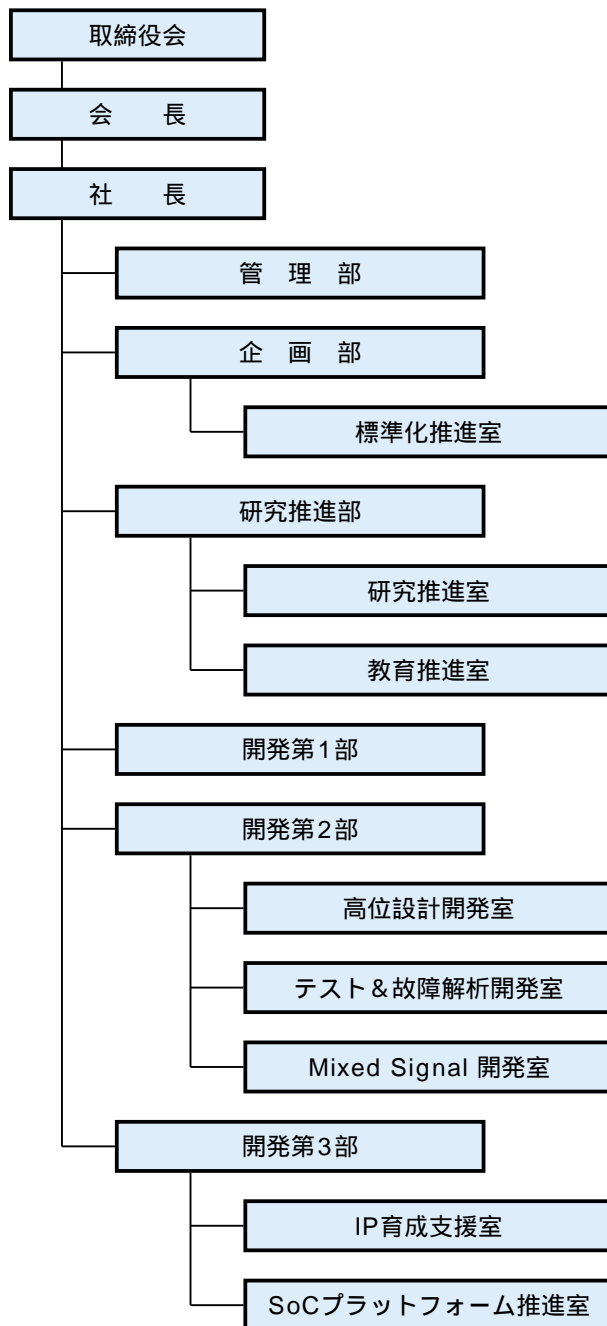
日本の半導体産業全体は、きわめてスピード感がない、技術開発が遅く世界のスピードについて行けない状況にあるとさえ思えます。スピードを意識した仕事をしなければなりません。スピードを上げるということは、仕事のやり方を変える、ということです。ただ忙しく速く走りまわることではありません。むしろじっくり深く考えて、最初にフレームワークを作り、大きな全体構想を練った後に、個別技術を同時に一気に仕上げる。従来の個別技術を積み上げる方式では、世界のスピードに追いつけません。このスピードこそが第一のポイントです。

第二のポイントは、パートナーシップです。「最初にフレームワークを作り、後で同時に一気に仕上げる」やり方考えるならば、良いパートナーシップが重要になります。良いパートナーシップとは、単なる業務発注や委託ではありません。相手を業者やベンダーと扱うのではなく、一緒になって考え、共同開発していくパートナーにすることで、さまざまなパートナーと、いろいろなネットワークで仕事をする、いろんな面でベクトルを合わせて一気に立ち上げること、これらすべてがパートナーシップであると考えて、仕事の質を上げなければなりません。

第三のポイントが、顧客指向です。コンソーシアで仕事することは、各自の仕事に集中でき、効率は上がります。しかし、ともすると技術の罫に陥る、すなわち本当に求められていることが判らなくなり、技術屋の独善に走ったり、技術のための技術開発になったりすることがあります。そこで、パートナーでもあり顧客でもあるクライアントの問題を解決するという本当の目的を見失うことなく、顧客指向を常に頭において仕事を進めることが重要です。

この「3つの心掛け」を忘れずに、社員一同思う存分に力を発揮し、「あすか」プロジェクトに邁進する所存です。皆様方の一層熱いご支援とご協力をお願い申し上げます。

STARC新組織



(2006年4月1日現在)



「あすか」から「あすか」へ 「あすか」プロジェクト & 新プログラムの紹介

1. 「あすか」誕生の背景と経緯

1990年代の日本の半導体産業は、欧米メーカーの得意分野への集中、新興アジアメーカーの低コスト生産、設計と生産の水平分業の成功、メモリLSIでの過当競争などにより、成長分野での競争力を失い世界の半導体市場で相対的地位が大きく後退しました。

半導体産業は日本が得意とする電子機器産業の基盤であり、その衰退は日本産業全体の衰退につながるの危機感から、半導体産業研究所（SIRIJ）内に「半導体新世紀委員会（SNCC）」が設立され、2000年3月に提言「日本半導体産業の復活」がまとめられました。

その骨子は、産学連携と共同開発による最先端技術開発のコストシェアと開発期間の短縮です。この背景には、各社が差異化技術としてきた最先端技術を各社独自に開発し続けることが困難になってきたことと、欧米における共同開発が成果を上げて日本が得意とする技術分野においてもキャッチアップしてきたという状況があり、日本独自の共同開発の重要性が再認識されました。

このSNCCの提言をベースに、JEITAの下で業界の具体的な共同開発計画として、半導体デバイスメーカー11社によって2000年度に「あすか実行基本計画」が立案され、国助成プロジェクトを取り込んだプロジェクト「あすか」が2001年度からの5ヵ年計画として策定され、2001年4月にスタートしました。

あすかプロジェクトでは、STARCが従来からの「大学との共同研究推進」に加え、「SoC設計力の強化」と「SoC設計技術教育推進」を担当しました。一方デバイス・プロセス技術についてはSeleteが担当しました。

なお、SNCC提言に基づいて開始されたプロジェクトとしては他に、国の委託事業として先端プロセス技術開発を目指した「MIRAIプロジェクト」（2001年度開始）と、2002年のASPLA社設立に伴って始められた半導体デバイスメーカー5社によるSoCプラットフォーム構築を目指した「ASPLAプロジェクト」があります。ASPLAプロジェクトでは、ASPLA社がプロセスインフラ開発を、STARCが設計インフラ開発を担当しました。

2. 「あすか」活動と状況変化

このようにして「あすか」プロジェクトはスタートしましたが、半導体産業を取り巻く環境変化は激しく、また、あすかの成果を各社事業に結びつけるため、「あすか」自身も自己変革をして来ました。

「あすか」プロジェクトの設計技術を中心に、この状況を説明します。

設計技術共同開発の背景として、現状のままの設計生産性向上トレンドでは、予想されるSoCの巨大化傾向に対応できず、将来的には設計不能に陥ってしまうという設計クライシスの認識があり、これを打破する施策として「あすか」では設計資産の再利用を推進する二つの技術開発を進めました。

一つはVコアという新しいコンセプトを扱うVCDSの提案と、もう一つは従来からの設計資産（IP）を再利用・流通させるための環境を整備する技術開発です。後者は標準に準拠した環境を共有化することが必須ですが、各社間で、あるいは同一社内であっても部門間の壁を越えて共有化することが困難でなかなか進展しないという実情がありました。

このような状況に対してSTARCではともかく一歩でも前進しようとの強い意志の下で活動が進められ、130nm共通デザインルールの作成、再利用のための標準・基準の策定で大きな前進をみました。

その結果、これらは各社の差異化領域であり、別会社間で共有化できるはずがないとの自己呪縛が解かれ、やればできるという共通認識が醸成され、そして、これが新たな流れにと繋がって行きます。

一つはIP流通の更なる推進にはプロセスの標準化が必要との考えからの90nmプロセスを共通化しようという流れであり、これは国助成も受けてASPLA社の設立となりました。もう一つの流れは、設計においても基盤となる技術では共同開発が可能であり、リソースの集中によりコストダウンと開発促進の両面で効果が期待できるとの共通認識が広まったことです。

これは「あすか」テーマの見直しに繋がりが、2003年度より業界標準を目指す設計メソッド開発（STARCAD-21）

とテスト技術の開発が行われることになりました。さらにこの二つの流れ、標準プロセスと標準設計メソッドは相互に関連してこそ成果は大きくなるとの認識から、両者が連携するAS PLAプロジェクトに発展しました。

3. 第2次SNCCでの検討

「あすか」プロジェクト発足後の前述のような変化以外にも、最先端技術の開発加速と一方で開発リスクの増大、海外共同開発機関のグローバルな活動などがあり、またビジネス的にもアジア勢の勢力はさらに拡大し、これに対応すべく日本企業個々のビジネスモデルも「選択と集中」により変化し、共同開発への各社要求が多様化しました。これに対する迅速な対応がコンソーシアム活動に求められるようになりました。

このような大きな状況変化には個々に対処するのでは不十分で全体最適化を図るべきとの考えにより、これについて検討すべく2003年5月にSIRIJの下に第2次SNCC（半導体新世紀委員会）が設置されました。

国プロジェクトを含むコンソーシアム活動全体の構想をまとめた提言が2004年5月に出され、骨子は二点ありました。第一点はコンソーシアムの構造的見直しであり、各社ニーズに迅速かつフレキシブルに対応できる新しい仕組みの採用で、従来の護送船団方式からの脱却、第二点は半導体基盤技術・インフラの強化であって、日本の総力を挙げた産・官・学・装置・材料の各分野連携強化と国の支援を得た総合的な研究拠点の整備でした。この中でSTARCは引き続き設計技術開発の中核と位置付けられており、SoC設計メソッド・プラットフォームの更なる確立と産学連携の新機軸を目指すことになりました。そこで2004年5月にSTARC新プログラム準備委員会を作ってより詳細な実行計画を策定して来ました。（2005年5月発行）

4. 「あすか」プロジェクトへ

STARC新プログラム準備委員会の実行計画案を以って、各社へ各プログラムの参加希望を募り、その企業で2006年度よりの具体的な開発計画を策定した後、参加企業の最終確認を行いました。

その結果2005年度終了の「あすか」プロジェクトに引き続いて、2006年度よりSTARCで実施する「あすか」プロジェクトとして、STARCの新プログラムが決定しました。

STARCの主要なプログラムは、引き続き【大学共同研究】と【設計技術開発】です。

【大学共同研究】は1995年のSTARC発足時からのミッションであり、産学連携の要として継続的な発展が望まれます。しかしながらその後の日本半導体業界地位低下などの環境変化に伴い、産業界のニーズによりマッチしたテーマ

選定が望まれるようになりました。そこで産業界からテーマを提示してインキュベーションまで行うテーマ発掘型、産業界よりの連携教授派遣などでより密着した連携の元で実施する連携強化型などを計画しました。従来からのシーズ探索を目的とした応募型と合わせ、これらの新しい形態の大学共同研究で適切なポートフォリオを作って運営いたします。

「あすか」プロジェクトで設計技術者教育をスタートさせましたが、教育の基本は継続であり、リソースの効率運用で、従来からの大学向けSoC設計教育とニーズに合致した株主社向け教育を「あすか」プロジェクトでも実施いたします。

【設計技術開発】で中心となるのは「あすか」プロジェクト成果の設計メソッドです。各企業はこの設計メソッドを適宜カスタマイズして使用しており、11社参加で開発したことにより業界標準として位置付けられ、EDA業界にも影響力を持っています。このような標準設計メソッドは継続した発展が期待されており、「あすか」プロジェクトでは45nmプロセス世代以降では大きな課題となるDFMを取り込んだレベルの高い設計メソッドの開発を目指すこととなります。一方で本技術の対象は設計技術のすべてではなく、RTLからマスクデータまでのシリコンインプリメンテーションの領域までです。そこで今まで手を付けられていなかった周辺の設計技術分野でも共同開発を進めようという機運が盛り上がりました。標準技術分野が広がればその効果は相乗効果で高まると期待されます。

そして「あすか」プロジェクトでは幾つかのテーマが取り上げられることになりました。

その一つが高位設計技術開発です。高位設計と呼ばれるシステム設計・検証は対象分野が広く仕様が多種多様にわたるため、その設計は人手が主体で自動化は遅れており、開発期間の重大なネックとなりつつあります。そこで高位設計の骨格となるトランザクションレベル（TL）設計の実用化を目指した技術開発を行います。対象領域はTLからRTLまでで、標準設計メソッドと一貫したSoC設計が期待されます。

第2のテーマがテスト故障解析技術です。半導体の微細化・大規模化は新たな特性不良と欠陥・故障を発生させており、SoC機能を保障する適切なテスト設計技術と短期間に欠陥を同定・解析して設計メソッドにフィードバックする故障解析技術が不可欠です。このうちテスト設計技術については「あすか」プロジェクトの中でスタートしましたが「あすか」プロジェクトでは、次々世代対応への継続開発と故障解析技術についても新しく開発することとなりました。

第3のテーマはMixed Signal です。アナログに関する技術は各社差異化技術の最たるものであって門外不出の扱いであり、共同開発とは最も遠い存在でした。しかしSoC

におけるアナログ部の占有面積比率は小さくても、アナログ起因の再設計は今後増加し重大な支障になると予想されています。そこでアナログ技術においても各社共有できる技術分野はあるはずで、それについては共同開発で効率化しようとの話し合いが進みました。その結果、再設計を減少するための「後検証精度の向上」に焦点を当てて共同技術開発を行うことになりました。

第4のテーマがIP育成支援です。「あすか」プロジェクトとASPLA社によるASPLAプロジェクトの成果として、LSI試作機会を提供する業界シャトルの運行があります。これを継続して大学等のSoC研究開発やIP開発を支援していくことにより、広く産業界全体の活性化実現を目指します。

コンソーシアム活動の基本の一つが技術の共有化です。それは種々のレベルの技術標準化に繋がり、この標準化推

進は「あすか」プロジェクト成果の活用において重要な役割を担っているだけでなく、関係する業界全体の発展にも寄与します。そこで「あすか」プロジェクトでは標準化推進の専任部門を設けてこれに当たることになりました。

表 STARC新プログラム

| プログラム区分 | テーマ |
|-----------|---|
| 共通コアプログラム | 大学共同研究 SoC設計技術者教育 標準化推進 |
| 先端コアプログラム | プロセスフレンドリー設計技術開発 |
| 選択プログラム | 高位設計技術開発 テスト & 故障解析技術開発 Mixed Signal 設計技術開発 IP育成支援 |

5. STARC新プログラムの紹介

あすか

共通コアプログラム：大学共同研究

STARCの産学連携活動は、STARC発足と同時に始まりました。大学共同研究は1996年度から始まり、2001年度から2005年度までは「あすか」の下で継続的に行われ、計10年間に106テーマを実施してきました。この活動を通して、国内大学でのシリコン半導体研究基盤の強化と大学での研究者層の拡充、大学研究者育成に実績を上げてきました。

「あすか」においては、これまでの産学連携活動の実績を踏まえて、さらに質・量の両面での充実・拡充を図る計画です。その概要を以下に記します。

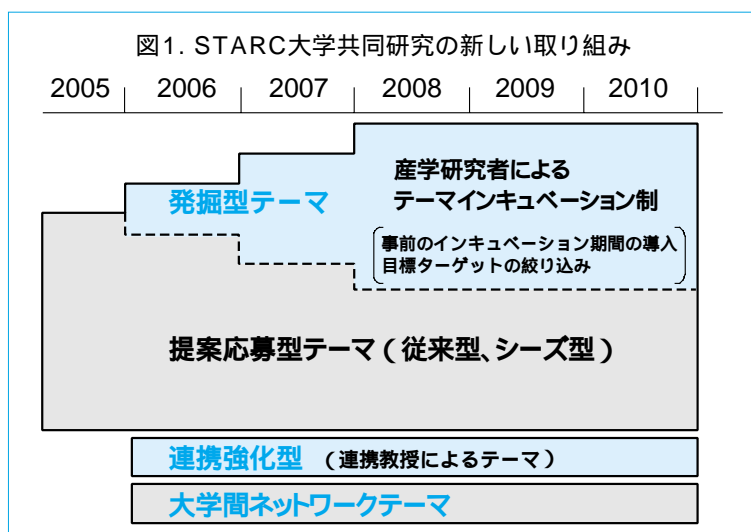
大学共同研究の新しい取り組み

STARCの大学共同研究の特徴は、株主会社からの客員研究員が参画し産業界のニーズを大学に直接伝え共同研究を遂行することにあります。この基本路線を堅持しつつ、2006年度からの「あすか」においては図1に示すように、大学共同研究に多様な仕組みを取り入れ、更なる発展と研究成果の充実・拡大を目指します。そのポイントは、従来の大学からの応募提案型（シーズ型）テーマに加えて、発掘型テーマ、連携強化型テーマ、大学間ネットワークテーマなど多彩なテーマ選択・運営の仕組みを取り入れる点にあります。

テーマインキュベーションとは、従来のような大学からのテーマ応募ではなく、まず産業界から先生にテーマ候補を個別提案し、相互の議論を通してテーマインキュベーションし、新しいターゲットが設定できた場合は共同研究として新規スタートさせる制度です。産業界ニーズの反映、出口を意識した目標設定、新領域・境界領域テーマの発掘、有望な若手

大学研究者の発掘などを狙いとしています。2005年度に5件のテーマについて試行しました。全5テーマで目標設定が行われ、最終的には2006年度の新規共同研究テーマとして採択されました。2006年度以降もこの方式を継続して進め、従来の応募型テーマとあわせて、研究遂行スキームの多様性を増やし、共同研究全体の活性化を図っていく計画です。

また、連携強化型テーマに関しては、昨年STARCから東工大に派遣した連携教授と組んで、産業界とより密接な形での共同研究を開始します。さらに、大学間ネットワーク型のテーマにも今後取り組んでいく予定です。



STARCの大学共同研究は、上記のような多様な研究の仕組みによって、技術シーズの育成、創造性豊かな研究活動の支援、優秀な研究者・学生の育成などを、コンソーシアムならではの長期的な視野に立ってこれからも継続的に進めていきます。

あすか

共通コアプログラム：SoC設計技術者教育

2005年度までの「あすか」では、「SoCアーキテクト育成とSoC設計技術者のすその拡大・育成」を目的とし、STARC作成のテキストによる設計技術講座を全国22大学・大学院で行ってきました。この講義での単位取得者は5年間で計3,000名を越えています。一方、株主会社技術者向けには、先端技術にフォーカスしたアドバンスト講座を5年間で16回開催し、ネット利用による遠隔講義受講を含む受講者総数は2,800名を数え、STARC認定「設計技能検定試験」の実施などの施策を行ってきました。また大学講義テキストの株主会社での活用は2,400セット、講義を収録したCD-ROMの活用は3,200セットに上っています。

2006年度以降の取り組み

2006年度は「あすか」のもとで、(1)講座実施大学の更なる拡充、(2)教育カリキュラムの充実・改良、(3)大学、企業双方の受講者への利便性の促進、(4)MOT講座への取り組み、(5)技能検定試験の普及、などの施策を進めていきます。それぞれの施策の概要を以下に記します。

(1) 講座実施大学の更なる拡充：2005年度の22大学に加え、新たに東京大学、東北大学、熊本大学などの大学で新規の講座を開設し、2006年度は30校で講座を実施する予定です。(図2参照)

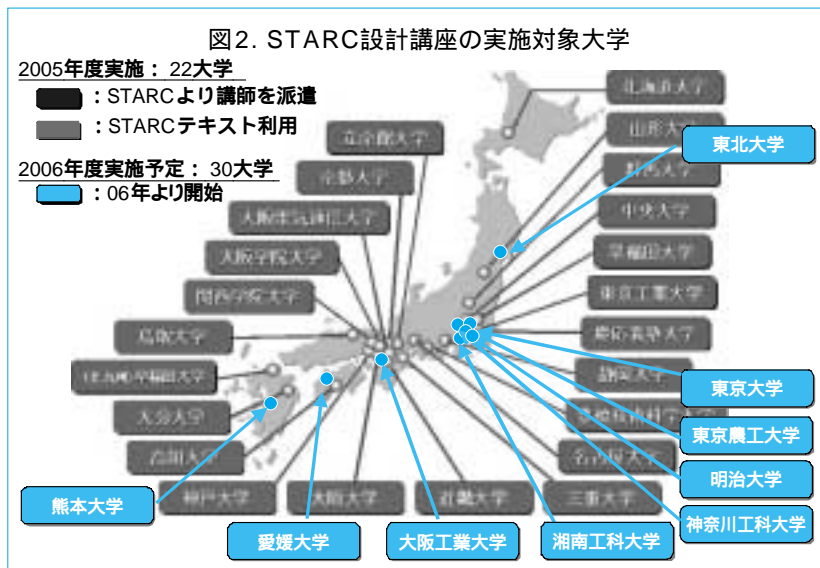
(2) 教育カリキュラムの充実・改良：アナログコースの開設を目指し、テキストの新規作成を開始します。またアルゴリズム設計教材の新規開発を行います。

(3) 講座受講者への利便性の促進：大学、株主会社双方に向けてe-Learningや遠隔講義の機会を提供し、受講者の増加と利便性向上を図ります。

(4) MOT講座：半導体分野にカスタマイズしたMOT講座を(財)社会経済生産性本部・技術経営研究センターの協力を得て開発し、2006年～2007年にかけて2回のシリーズ講座をトライアル実施し、2007年度後半からの本講座開始を目指します。

(5) 技能検定試験の普及：「RTL設計スタイルガイド」に基づく「論理設計技能試験(ESA)」の試験問題をSTARC認定とし、その普及を図ります。

上記のように、STARCの設計技術教育活動は、これまでの蓄積のもとに、大学講座の更なる充実、アドバンスト講座やMOT講座など株主会社向け講座の拡充などを図り、半導体業界の設計教育基盤強化に貢献していきます。



あすか

共通コアプログラム：標準化推進

SoC設計力を強化する標準化技術

SoCは対象とするシステムの複雑化とシリコン微細化の進展により、1社のみですべての技術とリソースを保有することは不可能となっています。各社間のさまざまな協業を実現するために、相互運用性の高い「共通技術ガイドライン」を作成し、広く業界内で利用することが解決策となると考えます。標準化推進室ではクライアントニーズを踏まえた共通技術ガイドラインを提案し、実用性の高いデファクト標準の確立を目指します。

STARCでは、これまでにSoC設計やIP設計で広く利用されている「RTL設計スタイルガイド」に加えて、2005年度には網羅性と再利用性を備えた検証IP開発のための「IP機能検証ガイド」や、SoCテスト環境構築を支援する「STIL (Standard Test Interface Language) 活用ガイド」を作成しました。これらの成果はクライアントへの成果納入とともに、書籍販売やSTARC webページからのダウンロードにより業界内に配布しています。並行して、セミナー開催により標準

技術の実用化と普及を加速させております。

2006年度の活動テーマ

標準化推進室では国内関連組織と連携して、海外標準化機関との協力関係を維持することにより、国際標準と整合した技術標準化を進めます。

具体的な活動テーマとして、(1) IP機能検証ガイドの拡充と普及、(2) STIL活用ガイドの拡充に加えて、実用化が期待される(3) 高位設計でのTLM (Transaction Level Modeling) ガイドの作成と普及を行います。STIL活用ガイド、TLMガイドについては新たな選択プログラムであるテスト・故障診断、高位設計の開発成果を業界に発信し更なる普及促進を図る所存です。また、(4) コンパクトモデルWGでは、米国CMC (Compact Model Council) の動向把握とHiSIMの実用化に向けた活動を行います。

標準化支援委員会を中心として、クライアント各社の積極的な参画を期待いたします。

あすか

先端コアプログラム：プロセスフレンドリー設計技術開発

あすかのSTARCのミッションには国内半導体企業の設計基盤技術力強化における半導体製品競争力を高めるための共通設計技術開発、とくに日本が優位性を主張できる設計メソッドおよび設計製造界面技術開発が掲げられています。開発第1部では、これに正面から取り組んでいきます。

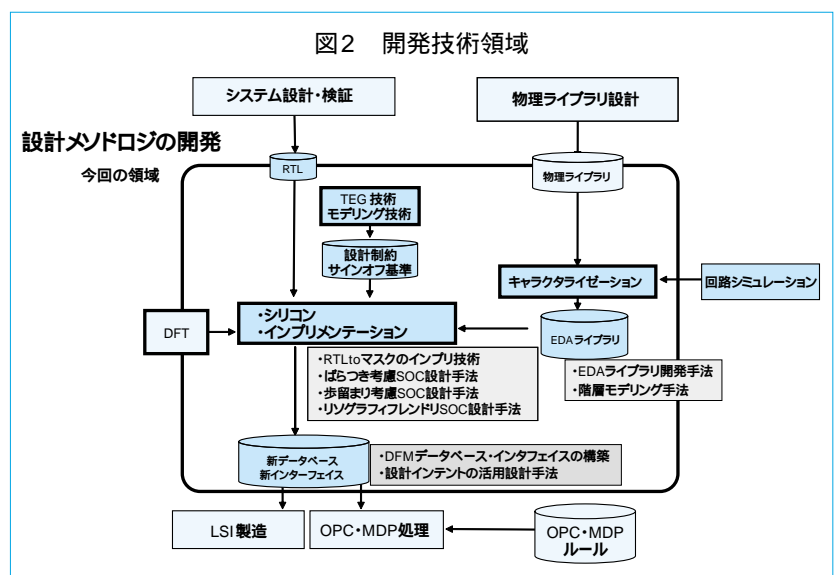
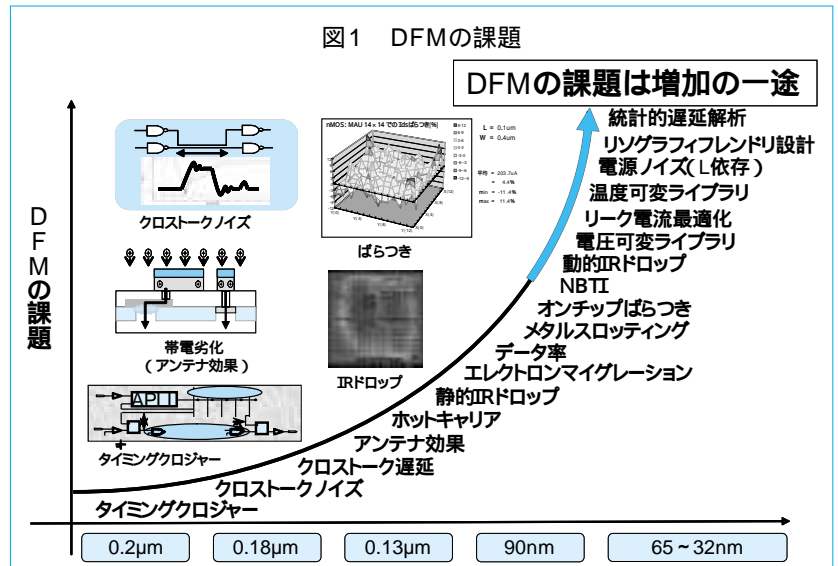
背景・問題点

システムLSIの製造プロセスは、65nm世代に入りました。そのために、1チップに1億個以上のトランジスタが集積でき、非常に多くの機能が実現できるようになりました。しかしながら、このようなシステムLSIを設計するには、いままでになかったような課題に直面しています。そのなかでも、とくに機能設計後のハードウェア記述からマスクパターン作成までのシリコンインプリメンテーション設計時に高機能、低消費電力、高歩留りなどを実現するには、製造性を考慮する必要が生じています。具体的には、微細化に伴う信号劣化やタイミングマージンの減少、ばらつきによる設計マージンの減少、さらにリソグラフィにおけるレイアウトパターンの再現性の低下などが挙げられます。またこれら課題は、プロセス世代とともに指数関数的に増えています(図1)。

開発内容

これら課題を解決しかつ実用に供するように開発第1部では、設計全体を最適化する設計メソッドを開発します。設計メソッドは設計全体に流れを構築する縦串である設計フロー開発とそのフローに組み込まれる横串である要素技術開発からなります。要素技術としてはばらつき考慮の設計手法開発、歩留まりを考慮した設計手法開発、リソグラフィフレンドリーな設計手法の開発、サインオフ技術の開発、およびライブラリ開発手法があり、それらの技術開発を行います。

また、実用にいち早く供するようにクライアント会社への技術移管の工数も開発時に考慮して業務を遂行していきます。今回のプロジェクトは5年間で予定しています。最初の2年間でロジックノード45nm(44メガゲート、700MHzをター



ゲット) 対応の設計メソッドロジを開発します。次の3年間で32nm (88メガゲート、1GHzをターゲット) 対応の設計技術の開発を行います。図2に今回の技術開発領域を示します。

抱負

2年後のSTARCの第1開発部のイメージを示します。

- (1) 65nm、45nm対応のSOCインプリメンテーションにおいて製造性を考慮した設計メソッドロジの世界最先端の技術開発集団である。
- (2) その成果物は、クライアントカンパニーに実SOC設計に幅広く使われている。
- (3) 半導体設計・製造業界、EDA業界、IPベンダに広くその活動がワールドワイドで認知されている。
- (4) 開発されている設計メソッドロジはデファクトスタンダードである。
ご支援よろしくお願ひいたします。

あすか

選択プログラム：高位設計技術開発

設計に対する微細化の影響はDFMだけではなく、マスクコスト増大に伴うリワーク・リスクの増大、設計規模拡大に伴う設計期間の長大化という側面があります。設計が複雑化する一方で、リワークを防ぎながら短期開発することが要求され、設計品質と設計生産性を同時に飛躍的に向上させる必要が出てきました。

TL (トランザクション・レベル) 設計の現状

今は設計者の頭の中で行われている「仕様/機能 RTL」という設計工程を自動化する、TL設計が期待されています。TL設計では、仕様/機能を抽象度の高いTLで書いて検証し、検証済みTLから自動的にRTLを合成します。設計の源流で検証を行い、その結果を自動合成することにより、設計品質と設計生産性を同時に向上させることができます。しかし、TLモデルやライブラリの再利用が進まないこと、このエリアの多くのEDAツールが単なるポイントツールであることから、適用が遅々として進まないのが現状です。

本活動の目的

TLレベル設計を実用化し適用を進めるために、リファレンスとなるTLモデリングガイドラインと、市販EDAツールによる実用的なTL設計メソッドロジを開発することです。

上位設計開発室との違い：図にあるように、上位設計開発室が主に技術開発を中心に活動されていたのに対し、本活動は、市販ツールを用いたメソッドロジの開発とモデリングの標準化を中心に活動して行きます。

活動方針

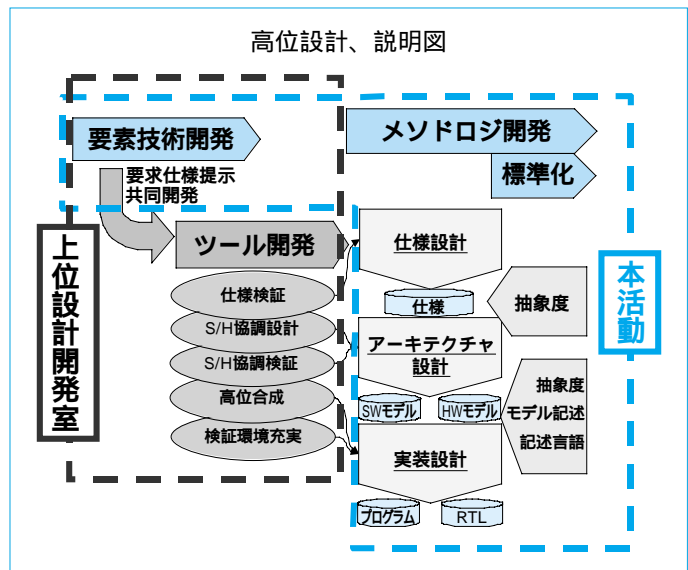
本活動は選択コアであり、基本はクライアント5社 (NECエレクトロニクス、沖電気、ルネサステクノロジ、ソニー、東芝) の開発部門の一部として活動して行きます。

これに加えて、クライアント各社だけでは行えない標準化/普及活動を各社の要求と整合された形で進めていきます。さらに、出向メンバが本活動を通してTL設計のスペシャリスト、業界のキーパーソンとなることを目指します。

抱負

今までこのエリアの社内ツールの開発/普及に携わってきましたが、本活動の企画検討を通して、TL設計の適用拡大にはモデリングガイドラインの標準化、市販ツールベースのメソッドロジ実用化が必須と考えるようになりました。この目標を達成すべく頑張りますので、ご指導、ご鞭撻のほどよろしくお願いいたします。

TL...トランザクション・レベルのこと。高位設計の標準となる設計インターフェースで、論理設計におけるRTLのようなもの。



あすか

選択プログラム：テスト & 故障解析技術開発

近年の半導体の微細化の進展に伴い、論理規模の増大が進んでいます。さらに、微細化により、従来は顕在化していなかった欠陥が故障の原因として、クローズアップされてきています。このため、今後のテクノロジーにおけるSoCを開発・製造する上で、テストおよび故障解析の重要性が今まで以上に増してきています。

そこで、テスト&故障解析技術開発室では、45nm、32nmのそれぞれのテクノロジーにおいて、現実的な時間でSoCのテスト、故障解析を行うことが可能な技術を見極め、EDAツールとして実用化を行うことを目標としています。さらに、標準的なテスト環境を構築し、必要なテストがその環境の下ででき、LSIテスト（ATE）ベンダ、EDAベンダがその環境に容易に対応できることも開発の目標としています。

具体的には、次に示す三つのテーマの開発を計画しています。

活動計画

(1) 次世代テスト技術

45nm、32nmのそれぞれのテクノロジーでの論理規模に対応したテストデータの圧縮技術、すなわち、各種圧縮パターンテスト、ロジックBIST、メモリBISTの技術の評価・改善を行い、実用化を行います。そして、「あすかプロジェクト」の成果であり、微小ディレイを考慮したテストの指標として定式化された統計的ディレイ品質モデル(SDQM)について、その計算精度の向上、および、微小ディレイ対応の自動テスト生成(ATPG)のエンハンスを行います。そして、今後重要となるテスト実行時に電力、電源ノイズの問題を起こさないテスト手法の開発、実証を行います。さらに、システムティック不良等の次世代プロセスでより顕在化するとと思われる不良に対応したテスト技術の開発を行います。

(2) 次世代故障解析技術

現在の量産テストパターンは、なるべく短いテストパターンで多くの故障を検出しようとするため、同一のテストパターンで複数の故障を同時に検出します。そのため、故障の原因箇所を特定することが困難となっています。このような状況に対応するため、故障解析時にテストパターンを追加して、故障候補を絞り込むための追加テスト生成技術の開発を行います。そして、45nm、32nmのテクノロジーにおいては、早期の歩留り向上、プロセス立ち上げが、より困難になるといわれています。そこで、次世代プロセスで顕在化する故障・欠陥に対応した故障モデルとその故障解析技術の開発を行います。

(3) 標準準拠テスト環境構築

あすかプロジェクトの最終年に開始した標準準拠テスト環境構築のテーマを引き続き実施します。これは、STIL (IEEE1450.x) を標準のテスト言語としてテストの環境を構築することにより、各種EDAツール、テスト間を効率良く連携させるものです。

活動の狙い

以上の活動を行うことにより、半導体の微細化の進展に伴うさまざまな問題を早期に解決するテスト技術、故障解析技術に取り組むことにより、次世代プロセス品種のテストコストの削減、早期開発が可能となり、さらに、テスト環境の標準化を進めることにより、異なるテスト、異なるEDAツール間のデータの授受を可能とし、テスト環境構築のコストを削減できる狙いがあります。

これらの活動を通し、我々は新世代にふさわしいテスト、故障解析技術・環境を開発し、さらに、日本発信の世界標準を作って行きたいと考えています。

最後に、このプロジェクトの参加各社のより一層のご支援、ご協力を賜りますようお願い申し上げます。

あすか

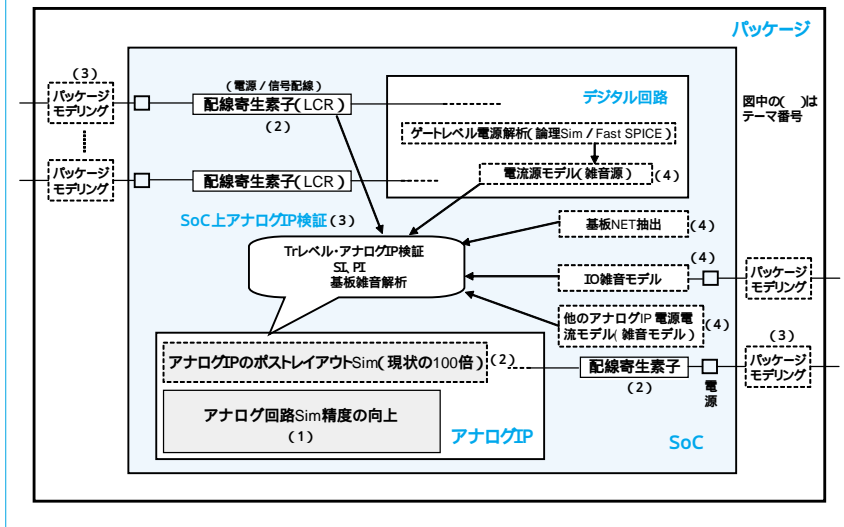
選択プログラム：Mixed Signal設計技術開発

SoCの微細化・高性能化に伴いアナログ設計はさらに困難になりアナログ起因のリスピン回数が増加すると予想されビジネスに甚大な影響を与える可能性があります。リスピンの主因は「アナログIPのポストレイアウト検証精度の不足」であり、至急、「高精度なレイアウト後検証環境」を構築する必要があります。熟練アナログ技術者は限られており、共有化可能なアナログ設計基盤技術を共同開発することは各社にとって非常に大きなメリットがあると考えております。本プログラムでは下記の4つの推進テーマを設定、06年度上期はSTARC（2名）および参加企業7社（富士通、NECエレクトロニクス、ルネサステクノロジ、三洋電機、シャープ、SONY、東芝）による委員会形式で活動を進めEDAツール改良仕様書等を作成、06年度下期以降EDAベンダーにツール改良を依頼する計画です。なお、06年度上期の成果を踏まえてプロジェクト参加継続もしくは追加参加の判断機会を06年度上期末に設定する予定です。

推進テーマ

- (1) シミュレーション精度向上（素子自体の精度）
- (2) ポストレイアウトSimの高速高精度化（アナログIP単体の検証）
- (3) LSI/パッケージ協調検証（SoC上でのアナログIP検証）
- (4) 基板ノイズシミュレーション（SoC上でのアナログIP検証）

推進テーマ(1)~(4)全体関連図



抱負

65nm、45nmと微細化が進むにつれIPおよびSoCの開発費が鰻登りに増加しリスピンの許されない状況であり、その上、韓国および台湾等のアジア各国の追い上げが厳しい日本半導体業界の危機的状況を打破するためにも、日本の半導体各社が互いに協力する必要があります。「何で作るか」ではなく「何を作るか」が差異化領域であり、本プログラムで構築するアナログIP検証環境は日本の半導体メーカーの共有財産と位置付け、他国に先駆け、逸早く「アナログIPのVirtualシリコン検証環境」を構築したいと考えています。

活動の狙い

日本の半導体メーカーのSoCビジネスは、リピンによる開発費の高騰および開発の遅延により、利益率の低下もしくはビジネスの失注を余儀なくされていますが、本プロジェクトの計画を着実に実行し高精度なポストレイアウト検証環境を構築することにより、リピン削減による開発期間短縮および開発費最小化を実現し、SoCビジネスの高収益化に寄与したいと思っています。

あすか

選択プログラム：IP育成支援

STARCはこれまで、ASPLA社(2005年9月会社解散)と共同で、90nmプロセス開発(ASPLAが担当)とそれによるライブラリ開発(STARC・旧IP開発部が担当)により90nmSoCテクノロジープラットフォームを構築してきました。そして2003年10月からその成果を活用したシャトル試作をスタートさせ、昨年10月にはシャトル運営の全ミッションをSTARCに移して「スターシャトル」の名でこれを継続しています。

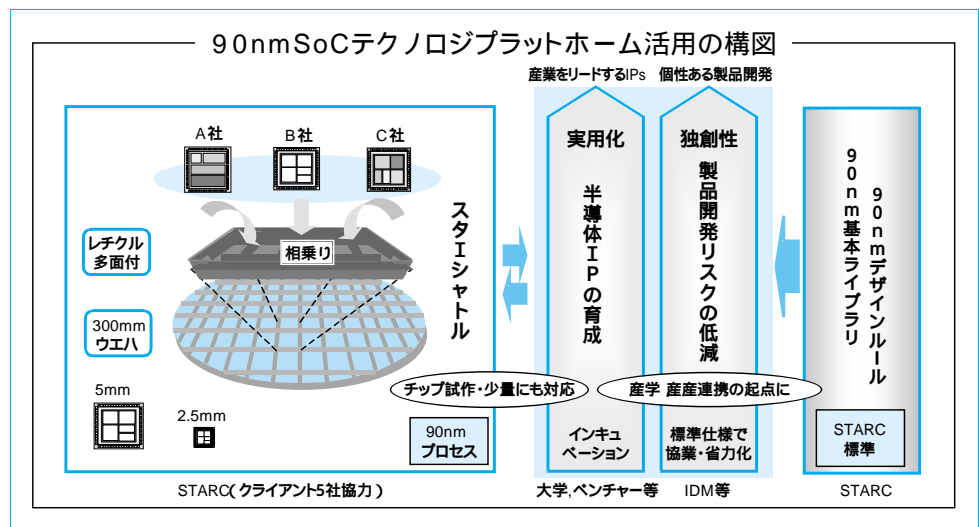
抱負

「スターシャトル」はこれまでに、16便、170デザインの試作実績を築き上げてきました。それらは主に、研究開発ステージにおけるSi検証のニーズに応えてきたもので、昨年5月までの実績では、シャトルをご利用いただいた中の6割にも及ぶデザインがその試作結果を活用して学会に論文投稿いただいています。また、今後さらに複雑化するSoC開発における総合的なリスク低減手段の一つとして、シャトル活用を当初から開発計画に組み込んでトータルのTATや費用を改善する考え方は、その有効性について種々のケースで検討され、活用されてしかるべきだと考えています。

活動の狙い

企業における少量試作に便利なことはもちろんのこと、製品事業を核とする企業にとってもすると手薄になりがちな要素技術の領域をカバーする大学の基礎研究や、ベンチャーなどのユニークな発案の実検証などにご利用いただけるのが「スターシャトル」です。

私たちはこのように、これらの活動を通じて、広く半導体技術のインキュベーションや実用化に寄与して行きたいと考えています。これがすなわち「半導体IPの育成支援」です。



次世代MOSFETモデル『HiSIM』の開発・支援活動

1. HiSIMとは

LSI設計における回路シミュレーションではツール内部に組込まれるトランジスタモデルがいかに高精度に電気的特性を表現できるかが重要です。この課題に向けてSTARCは広島大学と共同で1998年より次世代MOSFETモデルの研究開発を継続しています。このモデルをHiSIM(Hiroshima university & STARC IGFET Model)と呼んでいます。

2. HiSIMの特徴

図-1に示すように、従来モデルであるBSIMなどの閾値をベースにしたモデルでは、90nm以降の超微細プロセスへの対応に限界がきており、HiSIMのように、トランジスタの表面ポテンシャルをベースとしたポアソン

方程式と電流連続式によって物理現象を忠実にモデル化することが必須となっています。表-1に示すようにHiSIMには数々の優位性があり、さらにSOIやマルチゲート構造などの新規デバイスへの拡張、さらには今後重大となるバラツキ評価等への適用などにも大いに期待できます。図-2はHiSIMが実測データを高精度にフィッティングできることを示し、図-3は回路シミュレーションの実行時間比較において、他のMOSFETモデル

よりはるかに優れていることを示しています。

図-1 BSIMモデルとHiSIMモデル

HiSIMは超微細トランジスタの物理現象を忠実に表現可能

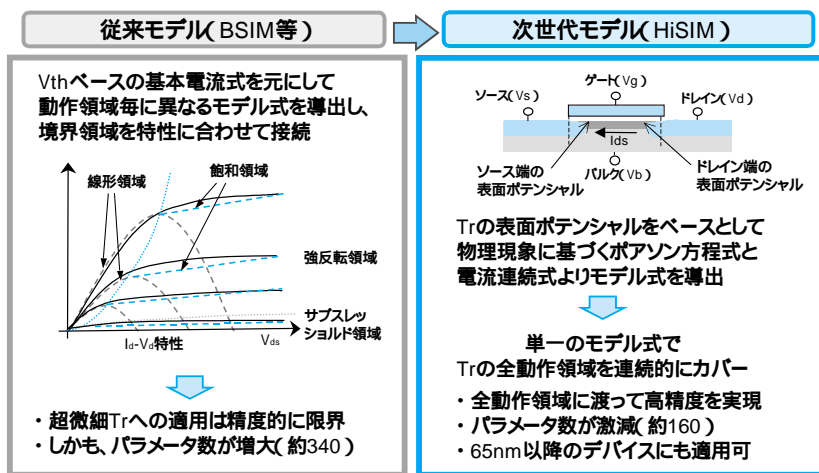


表-1 HiSIMが優れている点

- 1) 計算時間が早く、収束性が良い
Cコードを採用、計算手法で高速化を実現
- 2) アナログ回路等の動作も精度高く解析
トランジスタの物理現象を忠実に表現
- 3) Trのサイズ(L,W)変化、バラツキ対応に有利
モデルパラメータのスケーリングが可能
- 4) ノイズ特性予測、RFシミュレーションに強い
正確なモデルによる高周波特性解析
- 5) SOI、Multi Gate等へのモデル拡張が容易
Poisson方程式に基づいた構造解析

3. CMC標準モデル選定の活動

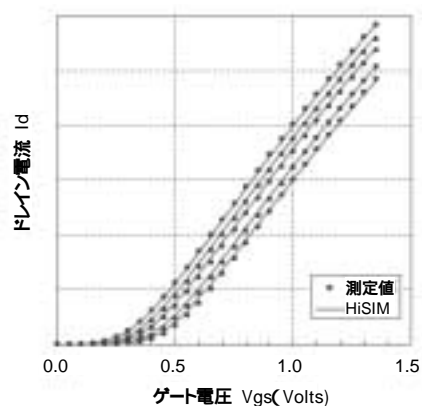
2004年初めにCMC(Compact Model Council)が次世代標準MOSFETモデル選定プロジェクトを開始しました。広島大学はSTARCとの共同研究成果であるHiSIMを世界に発信し、実用化普及を図る絶好の機会ととらえてこれに立候補し、モデルの一層の高度化を実現しました。一方STARCはこれを全面的に支援し、クライアント各社と連携しつつ



三浦道子教授を囲むHiSIMの開発&支援メンバ

HiSIMの評価を通してモデル改善に携わりました。図-4に示すように5つあった候補モデルの中で、HiSIMはBSIMよりも評価が高く、最終のphase3に残りました。最終選考ではEDAベンダ等を絡めた支援活動を展開し、クライアント各社からも鋭意協力を得ましたが僅差で惜敗しました。しかしこの間、4回のモデル改良と計25件に及ぶ評価レポートの発表やWeb掲載を果してHiSIMの優れた技術の世界にアピールし、高い技術レベルの認知を得たことは大きな成果です。

図-2 実測データとモデルの表現精度



4. 今後の活動

2006年度からは標準化推進室にコンパクトモデルWGを設置し、その業務の一環として広島大学と連携してHiSIMの特徴を実設計に役立てるための活動を行います。とくに、アナログRF分野やSOI対応などの実用化に向けた取り組みを進めていく予定です。

(STARC技監 間 佐五郎)

図-3 回路シミュレーションの実行時間比較

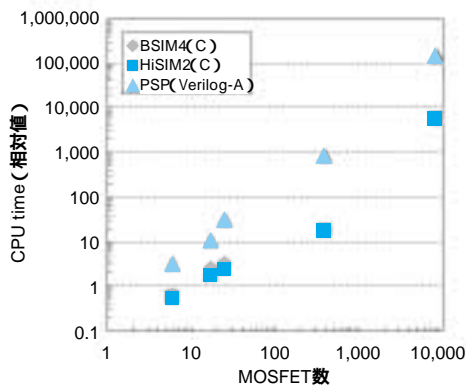
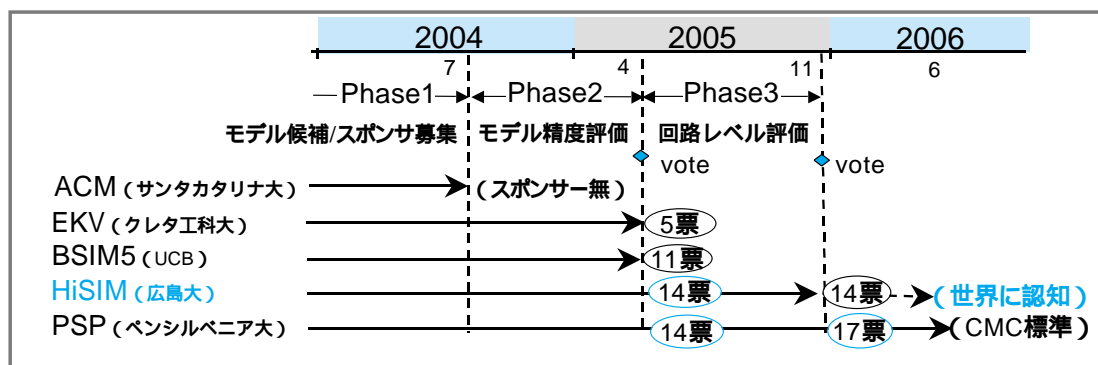


図-4 CMCの次世代標準モデル選定経過





共同研究
グループ
便り

尾嶋研究グループ

テーマ名 High-k絶縁膜の高分解能コンビナトリアル放射光解析
研究代表者 東京大学大学院工学系研究科応用化学専攻 教授
尾嶋 正治(おしま まさはる)



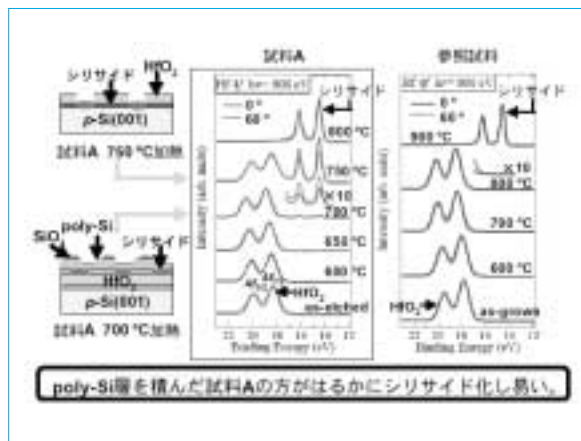
前列左から 劉客員研究員(NECEL)、劉客員研究員(沖)、臼田客員研究員主査(東芝)、尾嶋先生、池田客員研究員(富士通)、吉丸上級研究員(STARC)
後列左から 安原(B4)、小松(B4)、豊田(D1)、岡林助手、組頭講師、高橋(M1)

研究の紹介と抱負

放射光を用いたゲート絶縁膜の高分解能解析

尾嶋研究室ではシンクロトロン放射光を用いた材料解析の研究を行っています。放射光の持つ高輝度性、波長可変性などを利用すると、ゲート絶縁膜の状態を詳しくかつ正確に測定することができます。私自身は1981年から4半世紀にわたって放射光研究をやっており、例えば、Si表面の初期酸化など基礎的な研究を行ってきました。しかし、1999年度から5年間のSTARC共同研究(第1期)でSiON膜やhigh-k膜の解析をやり、企業研究者との白熱した議論を通じて「デバイス側から本当に頼りにされる放射光解析」の重要性を痛感し、真の産学連携を目指して研究を行っています。

第2期は2004年度から3年間の予定で進めています。客員研究員として臼田宏治主査(東芝)、池田和人氏(富士通)、劉国林氏(沖)、劉紫園氏(NECEL)、吉丸正樹氏(STARC)の5名が参加されています。より高速な解析をめざして「high-kゲート絶縁膜のコンビナトリアル放射光解析」というタイトルをつけ、ゲート絶縁膜の界



面反応やバンドオフセットを解析しています。

放射光研究の環境

放射光はつくばの高エネルギー加速器研究機構(KEK)放射光研究施設(PF)で年間夏、秋、冬の3回利用できます。我々はKEK-PFの特別課題2005S2-002(3年間)プロジェクトを走らせていますので、その中で各期に3週間程度のビームタイムを確保しています。この実験結果をもとに年間に4~5回STARC尾嶋グループ打ち合わせを行っていますが、毎回午後2時から7時ごろまで白熱した議論が続きます(写真は尾嶋グループメンバー)。第2期は光電子顕微鏡を用いてゲート絶縁膜の微小領域を解析するテーマも取り入れています。私が代表者として科学研究費補助金基盤研究(S)「放射光光電子顕微鏡によるナノ分光法の開発」プロジェクトを行っており、SPRING-8やPFでhigh-k材料の光電子顕微鏡解析も精力的に進めています。

研究室報告

昨年3月にはSTARC関係の研究をやっている修士2年豊田智史君(現D1)と卒論生高橋晴彦君(現M1)がそれぞれ修論発表最優秀賞と卒論発表最優秀賞を獲得しました。2004年は豊

田君の成果が、また2005年には高橋君の成果がAppl. Phys. Lett.誌に掲載されましたので、いずれも日刊工業新聞に発表しました。図に示す光電子スペクトルはポリシリコン電極とhigh-kゲート絶縁膜の界面でシリサイド化反応が起きている証

拠を見つけた結果です。この成果は昨年11月のKEKニュースに「コンピュータを高性能に」- 半導体素子の界面反応を探る~というタイトルで採り上げられ、PFでもこのSTARC共同研究は高く評価されています。尾嶋研究室では学生の約半分が放射光に関係しており、このSTARC研究の進め方に大いに刺激されています。実際、尾嶋研を卒業してSTARC関連11社に就職した学生は14名にのぼります。

放射光の分析シャトルと解析技術移転セミナー

私はNTT研究所に21年間在籍し、東大に来て10年以上経ちますが、放射光の産学連携研究をライフワークにしています。このSTARCプロジェクトはまさにぴったりのテーマで、相当気合を入れて取り組んでいます。2004年からは共同研究の成果をSTARC関連企業に還元するため、STARC関連企業技術者を対象とした放射光分析シャトルを実施しています。それらの成果は共同研究として企業側が中心学会発表しています。放射光シャトル便は年間6件実施していますので、気楽に尾嶋oshima@sr.t.u-tokyo.ac.jpに問い合わせてください。また、毎年秋には放射光解析技術移転セミナーをSTARC会議室で開催しています。ぜひお気軽にご参加ください。

高輝度ビームラインの建設

東京大学は柏キャンパスへの高輝度放射光源の建設を断念し、SPring-8、PFに高輝度ビームラインの建設を行うことを決めました。私とその取りまとめ役をやっており、新しいhigh-throughput解析で産学連携を推進しようと企画しています。放射光利用研究の新しい展開に期待してください。

客員研究員主査からのコメント

株式会社東芝 研究開発センター
LSI基盤技術ラボラトリー

臼田 宏治

Si-MOSFETデバイスの高性能化には、スケーリング則に基づく素子寸法の縮小=微細化が必須であり、最新の素子形成プロセスにはナノオーダの制御技術が要求されています。とりわけゲート絶縁膜の薄膜化要求は、これまで長きにわたり利用されてきた酸化シリコン絶縁膜厚換算で1nmオーダと厳しくなり、例えばリーク電流低減が急務となっています。このため次世代以降の高性能素子では、極薄高誘電率絶縁膜(所謂high-k膜)の導入が期待され、世界中がその開発に凌ぎを削っています。

尾嶋研究グループでは独自の放射光評価技術を切り札として、この極薄絶縁膜形成技術の発展に向けた研究に通算7年間取り組んできました。膨大な情報の蓄積がある酸化シリコン絶縁膜と異なり、材料として新しくかつnmオーダと薄い高誘電率絶縁膜の開発では、その誘電率やバンド構造といったMOEFETの設計に欠かせない基礎情報はもとより、組成分布、欠陥、界面反応、結晶化といった素子の電気的信頼性にも関わる多様な物性を正確かつ効率良く評価する技術が求められています。放射光利用評価技術はこの要請に最適な手法の一つと考えられ、技術開発のスピードアップが実現できると期待されています。

そこでまず世界最高性能の高分解能放射光XPSを第1期に開発し、薄膜絶縁膜評価技術の基礎を築きました。第2期では、第1期の成果を背景に放射光の特徴を生かした独自の絶縁膜評価技術の提案と標準化、およびその技術のSTARC参加企業への還元を目指した取り組みを研究テーマの両輪として取り組んでいます。

その結果、世界で初めて実トランジスタと同じMOS構造(電極/絶縁膜/チャンネルSiの3層構造)での極薄絶縁膜評価に放射光XPSを用いて成功し、企業の研究開発にも直接役立つ可能性を秘めた新しい知見を発信し始めました。

一方、尾嶋研が第1期に開発した評価手法を各参加企業が利用できるシャトル分析サービスを第2期からスタートさせています。各企業が準備した試料の評価を請け負うという、産学連携を大事にされる尾嶋先生ならではの斬新なアイデアを抛り所とした画期的な仕組みです。

この尾嶋研のSTARCとしての活動は2006年が第2期の最終年度となります。独自の放射光評価技術が、企業の希望も取り入れていただきながら、より高度かつ有効な手法として発展することを客員研究員一同期待しております。



共同研究
グループ
便り

吉本研究グループ

テーマ名 実時間動画認識プロセッサVLSIの設計技術研究

研究代表者 神戸大学 工学部 情報知能工学科 教授

吉本 雅彦(よしもと まさひこ)



前列左から 深山助手(金沢大) 吉本先生(神戸大) 松田先生(金沢大) 川口助手(神戸大)
後列左から 福山(M1) 山本(M1) 片桐(M2) 宮越(D2) 峯岸(D3)

研究代表者の抱負 研究室紹介

私達の研究プロジェクトは、神戸大学工学部情報知能工学科吉本研究室と金沢大学自然科学研究科松田研究室の共同研究チームにより、研究をすすめています。

今後、IT技術とロボティクス技術が融合するとともに、数GIPSを越えるコンピュータの性能向上とテラビット級広帯域ネットワークの構築が現実となり、人と物の一切合切が、シームレスにつながるユビキタスメディア社会の実現が期待されています。そのためにはシステム技術上、最も重要な研究開発キーワードの一つは、ワイヤレス、バッテリー動作仕様のための超低消費電力システム技術の研究です。しかしながら、要求機能を実現するための処理負荷をデスクトッププロセッサで実現するには、2010年においても数百Wの電力が必要で、一方、モバイ

ル・スーパー・コンピュータに要求されるピーク電力は75mWといわれており、そのギャップは4桁にも及びます。このギャップを埋めるには、さらなる微細化はもちろんのこと、アルゴリズム、アーキテクチャ、回路、デバイスの各技術階層間の同時協調研究が必須となります。

我々は、これまで大負荷処理の動画像符号化処理の低消費電力化研究(前のSTARCプロジェクト)を実施し、2桁の電力削減にメドをつけました。そして、もう一つの大負荷処理として統合知覚認識処理の低消費電力化研究に着手しています。それには、動画像認識処理(Visual Perception)と音声言語処理(Verbal Perception)およびそれらを統合化した認識処理が必要です。ここでも、アルゴリズムから回路まで縦に通した垂直統合型研究を実施しております。

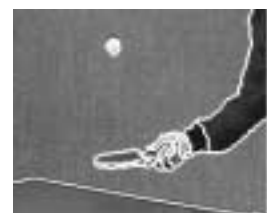
STARCテーマ内容と研究状況

今回のSTARC殿との共同研究テーマは、「実時間動画認識プロセッサVLSIの設計技術研究」であり、具体的にはスケーラブル・オプティカルフロープロセッサの開発を実施していますが、それは上述のVisual Perceptionのための要素技術開発という位置づけにあります。

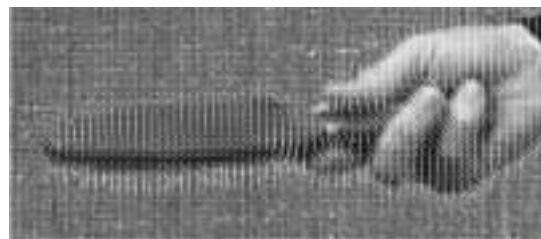
オプティカルフローとは、動画像中の各画素毎の動きベクトル情報であり(図1) 動画像認識における動き特徴量として用いられます。車両安全システム、知能ロボットシステム、知的監視システム等、今後重要な応用分野へ



原画像



動領域抽出



オプティカルフロー

図1. オプティカルフローとは

客員研究員主査からのコメント

三洋電機株式会社 研究開発本部
デジタルシステム研究所
BWA通信システム開発部

渡辺 剛

動画認識技術は今後の産業界においてさまざまな分野での応用が考えられます。ロボット分野はもちろんのこと、今後の急成長が見込まれている車載分野では歩行者・障害物の認識に用いることができますし、監視カメラなどのセキュリティ分野でも侵入者認識に利用することができます。

吉本研究グループでは、将来における動画認識VLSIの実現に向けて基礎的な技術となるオプティカルフロープロセッサの設計技術に関する研究を行っています。オプティカルフロー演算は画素ごとに動きを検出するもので、この技術によって動画における高精度な動き検出ができるようになります。一方、オプティカルフロー演算に必要なとされる演算量は莫大なものであるため、VLSIとして実現をするためには回路の小規模化を行うことが不可欠です。高精度かつ小規模、この相反する要求を満たすために、本研究では単にRTL設計を行っているだけではなく、アルゴリズム・アーキテクチャのレベルから考案・改良・設計を進めています。また、本研究により考案されたアーキテクチャは画素数や精度に対するスケーラビリティも持っている汎用性の高いものになっています。

さて、本研究が開始されてから早くも2年が経ちました。この間にオプティカルフローのアルゴリズム・アーキテクチャ関連にて学会発表3件、特許申請1件といった成果ができました。また、毎回の打ち合わせの時に学生諸氏から提出される大量のレポートも設計技術のノウハウの蓄積として大変有益なものだと考えています。

本研究の成果が将来の画像認識の分野において幅広く応用されることを期待しています。

の展開が期待されています(図2)。本研究の目的は、高精度ではあるが大演算負荷のために、これまで高解像度画像の実時間動画認識に用いるのが難しかったオプティカルフロー検出処理を今後のDeep-Sub-Micron (DSM) 技術を用いて実現するためのVLSI向きアルゴリズムとアーキテクチャを研究することです。

昨年度は高精度なHOE (Hierarchical Optical-flow Estimation) アルゴリズム (Version1) のVLSI向け最適化検討およびVLSIアーキテクチャ開発を行いました。その結果、従来技術(解像度: CIF15、平均角度誤差: 11~16度)に比べ、5~6倍の解像度画像(VGA30)に対応でき、かつ平均角度誤差を7度以

下まで改善できる(図3)。90nm技術を用いたVLSIアーキテクチャを構築しました。性能を劣化させることなく、ぎりぎりまで演算精度をチューニングする適応的演算語長設定とフロー導出に専用化されたデータパスアーキテクチャ、および大容量内蔵フローバッファの面積を42%低減できる4トランジスタ2ポートDRAMの開発により、この性能を実現しました。この成果は、この4月に開催されるCool Chips IXにて主担当学生が発表します。

今年度は、抽出されるオプティカルフローの精度を維持しながら、低コスト版(消費電力、コア面積、メモリ削減)プロセッサ (Version2) を開発する予定です。

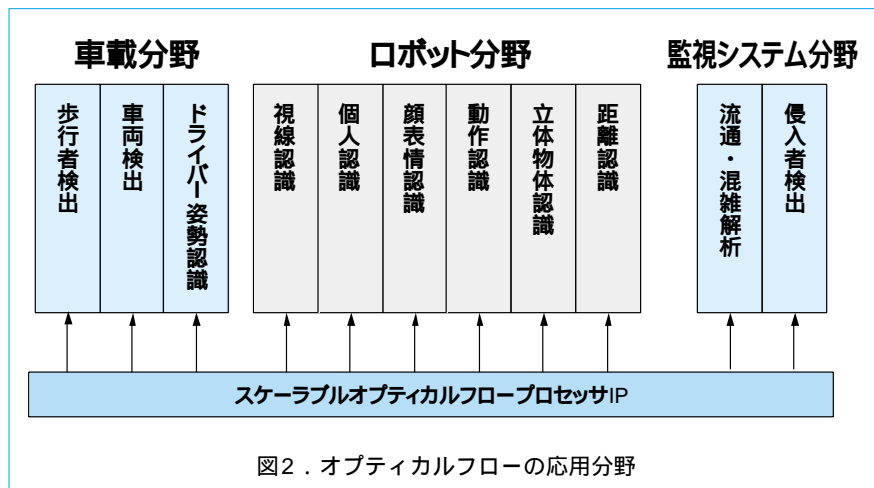


図2. オプティカルフローの応用分野

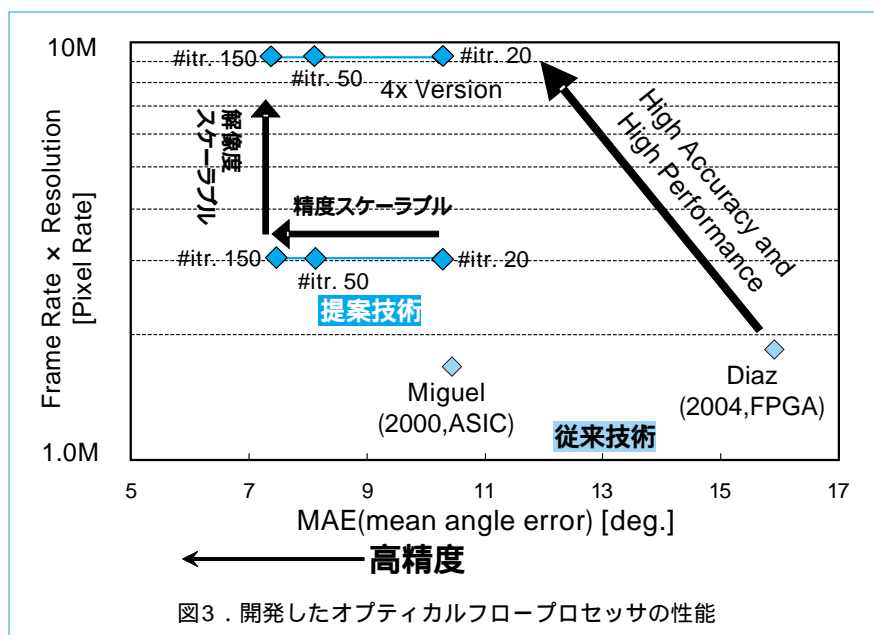


図3. 開発したオプティカルフロープロセッサの性能



共同研究
グループ
便り

末吉研究グループ

テーマ名 リコンフィギャラブルシステム技術とその応用

研究代表者 熊本大学大学院自然科学研究科情報電気電子工学専攻 教授

末吉 敏則(すえよし としのり)



- 1列目左から 柴村助手、久我先生、武田客員研究員主査(三洋)、末吉先生、飯田先生、弘中先生(広島市大)
- 2列目左から 市川(広島市大 M2)、谷川助手(広島市大)、瓶子客員研究員(松下)、鈴木客員研究員(ソニー)、宮本上級研究員(STARC)、下川(B4)
- 3列目左から 清田(M1)、木佐(M1)、中山(M1)、坂本(M2)、山口(B4)、松山(B4)、濱邊(M2)、尼崎(D1)

リコンフィギャラブルシステム

世の中では、ハードウェアは「硬いもの」、ソフトウェアは「柔らかいもの」というのが常識でしょう。従来のハードウェアは、いったん設計・製作してしまえば変更が難しい。ちなみに、現在主流となっているコンピュータの特徴の一つは、その構造ならびに機能が固定的なことです。ただし、その機能は汎用性を備えているので、ユーザがコンピュータの構造・機能に解法アルゴリズムを合わせてプログラムを作成することで解決を図っています。

一方、PLD/FPGAといういつでもどこでもカスタム化できる、「やわらかいハードウェア」とも呼べるプログラマブルロジックの登場によって、ハードウェアによって適応性を求める試みが現実味を帯びてきました。とりわけ、FPGAが出回り始めた1990年代初頭から、アプリケーションごとにハードウェア構成を適応的に再構成するシ

ステムの研究開発が世界各地で活発化し、従来のハードウェア・ソフトウェアという古典的な仕分けを超えた統合的なコンピューティングの枠組みとして注目を集めるようになりました。

リコンフィギャラブルシステムとは、まさに「やわらかいハードウェア」の再構成性を最大限活用し、LSI製造後もアプリケーションに合わせてデータパスを含めたハードウェア構成を適応的に変更するシステムの総称です。これは専用ハードウェアを開発する方法と比べて柔軟であり、それぞれのアプリケーションに応じて最適な構成をとることができます。このため、高い柔軟性と性能を兼ね備えるシステムとして大きな期待が寄せられています。

研究グループの紹介

研究スタッフは、熊本大学大学院自然科学研究科情報電気電子工学専攻に所属する教員4名(教授 末吉敏則、助教授 久我守弘、助教授 飯田全広、

助手 柴村英智) 学生43名(博士後期課程3名、博士前期課程20名、学部20名)です。また、広島市立大学の弘中哲夫助教授と谷川一哉助手をはじめとする同大スタッフが共同研究者として参加しています。

リコンフィギャラブルシステムの普及には、アーキテクチャ、デバイス、設計技術、CAD、システム技術、並列処理、解法アルゴリズム、アプリケーションなど、基礎と実用の両領域を含む多面的な研究を推進していくことが重要となります。そこで、コンピュータアーキテクチャを中心に、新たなシステムを実現するハードウェアとソフトウェアに跨る、これらの研究を皆で手分けして遂行しています。

共同研究テーマの内容

本研究は、微細化が進むシステムLSI時代におけるリコンフィギャラブルコンピューティングの要件を満たすリコンフィギャラブルロジックデバイスのアーキテクチャを提示して評価するとともに、ロジック仮想化やRTOS拡張機能などのシステム技術を開発して本格的リコンフィギャラブルシステムの実現化に向けた一つの指針を示すことを目的としています。

近年、最先端のプロセスで高性能なシステムLSIを作っても利益が上がらないという問題があります。従来の生産設備は少品種多量生産向きであるのに対し、市場ニーズの多様化や頻繁な世代交代に対応するため、実際には多品種少量生産とならざるを得ない。結果として、1チップ当たりの利益率は下がり、設計製造コストの上昇分を吸収できないことが大きな原因です。

このため、回路のプログラマビリティを持つリコンフィギャラブルロジックをシステムLSIに持ち込み、さまざまな製品に対応しようとするアイデアが生まれました。リコンフィギャラブルロジックは必要に応じてさまざまな回路を実装できることに加え、開発から実装までを短TATで設計可能です。

とくに、1クロックで回路を書き換えることができるような動的再構成LSIは、従来のシステムLSIでは対応できなかった設計の複雑さや、低消費電力化といった問題を解決できる可能性があります。このようにリコンフィギャラブルロジックにかかる期待は大きく、市場サイクルが早い製品に対しての導入が望まれています。

しかし、FPGAに代表される従来のリコンフィギャラブルロジックでは回路実装効率が悪く、それゆえにチップ面積が大きくなり消費電力も高い。このことは、小面積、低消費電力が求められる電子機器にとっては致命的です。よって、これらの問題を解決するリコンフィギャラブルロジックの開発が危急の課題となっています。

共同研究の状況

従来のリコンフィギャラブルロジックに見られるアーキテクチャは、一つの論理演算要素(ALU、シフト、LUTなど) が扱うデータサイズによって粗粒度アーキテクチャと細粒度アーキテクチャに大別できます。しかし、これらのデバイスにアプリケーションを実装する場合、処理の内容に応じて粗粒度処理に適したものと細粒度向きに適したものがあため、実装面積と速度を両立することが難しい。そこで、これらの課題を解決するために粗粒度と細粒度の両アーキテクチャを統合する二つのアプローチを採り、その可能性を調

査しています。また、次世代リコンフィギャラブルロジックを搭載したシステムを効率よく運用するためのリコンフィギャラブルシステムアーキテクチャに関する応用研究を進めています。

これまでの具体的研究成果としては、算術演算の基本となる加算器と論理演算の基本となる標準形の共通点に着目し、全加算器にコンフィグレーションメモリを持たせることで、全加算器と標準形が実装可能なハイブリッドセルアーキテクチャを提案しました。このハイブリッドセルを基本論理素子とし、4個の基本論理素子で粒度可変構造を持つ論理セル(Variable Grain Logic Cell、略称VGLC) を実現しました。VGLCは4ビットリップルキャリアアダー、マルチグレイン(2~4入力) 構造を持つ標準形、ワイドレンジのマルチプレクサが実装可能です。

このアーキテクチャは、粗粒度演算を行う場合はリップルキャリアアダー、細粒度演算を行う場合はクラスタ化された細粒度ユニットとして考えることができます。これにより、従来のALUベースの粗粒度演算セルと同程度の面積で、アプリケーションに応じた高い柔軟性と面積効率の良い実装が期待できます。この粒度可変構造を持つ再構成論理セルアーキテクチャは特許出願中であり、STARCクライアントによってリコンフィギャラブルロジックIPとして活用されれば幸いです。

最後になりましたが、いつも有益な

コメントをいただいているSTARC研究推進部の宮本俊介部長、客員研究員の武田和彦主査、瓶子岳人氏、鈴木伸治氏の皆様に感謝いたします。

客員研究員主査からのコメント

三洋電機株式会社 研究開発本部
デジタルシステム研究所
システムデザイン研究部

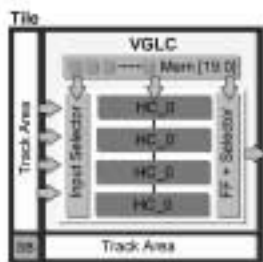
武田 和彦

リコンフィギャラブル技術は、対象とする分野が多様化し、かつ短期間での市場投入が望まれる民生分野でのSoC開発において、ソフトウェア並みの柔軟性と専用LSI並みの高速性を両立することができる技術として、今後ますます重要性が増す技術である。

リコンフィギャラブルシステムの普及のためには、「動的再構成が可能」なダイナミックリコンフィギュレーションを実現することが必要である。末吉研究グループでは、この課題の解決のために、熊本大学と広島市立大学とが共同し、粗粒度アーキテクチャと細粒度アーキテクチャからの二つのアプローチにより、高速な動的再構成が可能なりコンフィギャラブルシステムの研究を進めている。その研究を通じ、二つのアプローチを統合し、粒度に注目した新アーキテクチャを提案し、用途に応じて粗粒度・細粒度方式に構成を変える論理素子を考案・特許出願したことが研究成果の一つとして挙げられる。これは冗長性が少なく粗粒度・細粒度の特長を併せ持つ動的再構成実現のために有望な素子である。さらに、単なるアーキテクチャ提案だけではなく、アプリケーションの適用検討や評価といった、実用化を見通した研究も進められている。

本研究は3年間のプロジェクトの最終年を迎えている。仕上げの年として、開発したシステムの有効性を実証するためにも、先ほど述べたアプリケーションの適用検討・評価、さらには消費電力の観点からの研究でも成果を出すことに期待している。ユビキタス社会という言葉が聞かれるようになって久しいが、本研究の成果が、ユビキタス社会におけるSoC開発において必須のリコンフィギャラブル技術の進展に大きく貢献するものと考えている。

粒度可変構造を持つ再構成論理セルアーキテクチャ



- ① ブロック内部のクラスタ結合でHC同士は、高速に動作可能
- ② 論理の完全性を持ち、かつマルチグレイン構造を取る

特徴



Electronic Design and Solution Fair 2006(EDSFair2006)報告



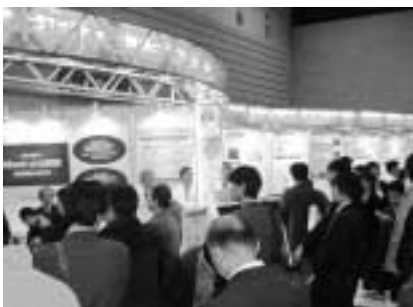
EDS Fair 2006入場口付近の賑わい

電子情報技術産業協会(JEITA)主催のEDS Fair2006は1月26日(木)、27日(金)の2日間にわたり、パシフィコ横浜で開催された。出展社は148社およびユニバーシティプラザ出展は22大学であった。半導体理工学研究センター(以下STARCと略)ブースでは、大学共同研究の中から6テーマのセミナーやSTARCAD-21セミナーが開催され、多くの方々が聴講されていた。また、出展者セミナー、会場特設ステージでのSTARCからの発表もなされた。



ご来賓へのSTARC活動ご説明

主催者発表によると来場者数は11,003名で昨年とほぼ同程度であった。STARCブースの説明員は、今年からSTARCカラーのイベントブルゾンに



STARCブース周辺の賑わい



大学共同研究セミナーに多数の聴講者

身を固め、来場者をお待ちしていた。ブース右端と左端に発表区画を設置し、パネルは通路に面して配置するなどオープンなレイアウトになるよう、準備段階から配慮がなされた。当日はセミナー会場のプロジェクトが故障するなどのハプニングもあったが、関係者の協力の下、迅速な対応がなされ無事2日間の行事が行われた。

左端の発表区画では、大学の共同研究、教育、スターシャトル、STIL(Standard Test Interface Language)ガイドなどが発表された。大学共同研究発表は、今井、高松、藤田、末吉、小林、永田各研究グループからの発表が、各グループ研究代表者などからなされ、通路にあふれるほどの方々が熱心に聴講されていた。右端の発表区画はSTARCAD-21コーナーとして、デモを中心に各種技術を紹介した。

11月26日の出展者セミナーでは「最先端SoC開発に活用が進む最新設計技術」と題して札抜企画部長を初め4氏がSTARC共同開発内容、標準化活動などを紹介した。会場内特設ステージ



STARCAD21コーナー



出展者セミナーでのSTARC説明

では技術動向セミナーで「サブ100ナノメータSoCで低消費電力設計を成功させる」と題し、西口開発第一部長が講演、同じく特設ステージで開催された出展者プレゼンテーションステージでは、「ようこそ! Verification Methodology Manual for System Verilogの世界へ!」のテーマに豊田開発第二部長が出席した。



特設ステージでの設計技術講演

EDS Fair恒例のユニバーシティプラザでは22大学の若手研究者が研究中のテーマや今後のテーマ展開について、熱心に説明を行っていた。

2006年度から開始される「あすか」においても、より一層の情報発信をSTARCブースから続けていきたい。

(STARC技監 宮本俊介)



ユニバーシティプラザ

国際学会参加報告

ISSCC2006出張報告

(IEEE International Solid State Circuits Conference)

1. はじめに

ISSCC2006は2月5日から2月9日の5日間にわたりサンフランシスコで開催された。2005年は579件の投稿論文数に対し採択数が233件と40%の採択率であったが、今年は680件の投稿(17%増)に対し、採択数255件(内2件は取下げ)で37%の採択率とさらに狭き門となった。参加人数もITバブル崩壊後の最多を記録した模様である。そろそろ会場となっているマリオットホテルの容量の限界との声も聞こえる。

図1の地域別発表件数の推移からわかるように、欧米やアジアの他地域に比し日本からの件数の伸び悩みが大学・企業とも明らかに見て取れるようになってきた。ISSCC全体の活況やワールドワイドでの半導体ビジネスの好調さに対比すると日本のみが取り残された状況に見える。これが、システムLSIあるいはSoCビジネスにギャチェンジするための小休止であり業界再編

過渡期の一時的な踊り場であれば幸いだが、相次ぐリストラによる組織と個人の疲弊であり若い才能と情熱が日本の半導体業界に流入しなくなったことの表れであるとすれば事は重大である。早急な検証と対策が必要と考える。

一方で、台湾勢の躍進は止まるところを知らない。国別の発表件数で見ると、米国・日本に次ぐ第3位であり韓国を追い抜いた。ナショナルSi-Softプロジェクトのビジョンが見事に結実した結果といえる。2001年時点ですでに、自国の強さ弱さを分析し、教育のインフラ充実と台湾・シリコンバレー・メインランド中国の3極体制を構想している(<http://www.eic.nctu.edu.tw/SOC/doc/Sisoft-Eng.pdf>)。学ぶところ大である。

2. 採択論文の傾向

表(22頁)の採択論文の傾向を概観すると、昨年も顕著であったアナログ/RF関連がさらに増大していることが

見て取れる。とくに、ADCはオーバーサンプリング、ナイキスト、超高速、の括りで3セッションを構成しており、あいかわらず米国の論文が多い。扱う信号の多様性、アプリケーションが要求する仕様、プロセス技術からの制約などの境界条件の下で、種々のアーキテクチャが提案され各々が独自に進化すると同時に、プロセス技術の進展で棲み分けの境界線があいまいになったり、アプリケーションの変遷で有力なアーキテクチャが入れ替わったり、と三国志における諸国の興亡を見るようなダイナミックな歴史があり、今なお若い研究者・技術者が参入してくる古くて新しい技術分野である。アーキテクチャのみでなく回路技術やレイアウトの巧拙も大きく性能に影響し、実現した性能が、サンプリング周波数、分解能、消費電力、占有面積、ダイナミックレンジ、線形性や、それらを組み合わせた性能指数(FoM: Figure of Merit)で比較される公平かつシビアな分野でもある。

STARCと大学の共同研究でも現在全体の約1割がADC関連のテーマであり、パイプライン型、逐次比較型、サブレンジ型、と多岐にわたる研究が進行している。これらの研究がISSCC採択に結実するためには、アーキテクチャの斬新さのみでなく、目標性能や仕様の適切さと、試作・測定評価・改訂のサイクルを通じた設計の完成度の高さが要求される。そのためには、産業界からは充実したアナログ系のPDK(Process Design Kit)や検証インフラが完備した安価な試作サービスの提供と単なる情報提供に留まらない深いコミットメントが重要であり、大学側からは現状の修士学生主体の研究体制から経験豊富な博士や助手クラスの活躍する研究体制への移行が必須になると考える。アナログ・RF分野における欧米や台湾の有力研究室では博士号を取得するのに5年以上かかるのが普通と聞くが、それでも志望者が殺

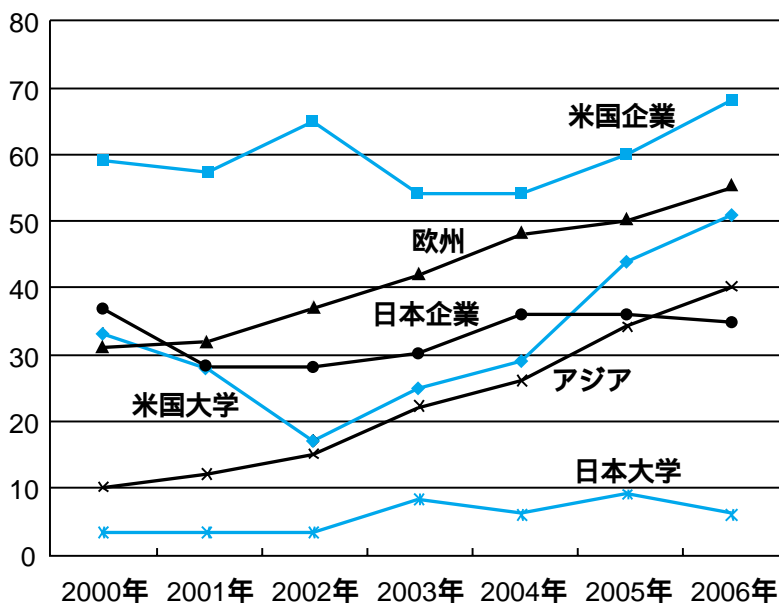


図1 ISSCC発表論文件数の地域別推移

到するのは何故かを真摯に考察する必要があろう。以下では今年のISSCCで特徴的な傾向について解説と分析を行いたい。

3. バイオメディカル分野の台頭

昨年まではセッションとして独立してなかったバイオとメディカル分野対応のセッションが今年は一挙に2セッション編成された。セッション2の「Biomedical Systems」とセッション30の「Silicon for Biology」である。余談であるがフィリップスの研究者と昼食をとをした際に、フィリップスが今後注力する分野は「ヘルスケア」と言い切っていたのが印象的であった。

今後世界的に進行すると思われる長寿命化と「Quality of Life」への関心の高さが背景であろう。

セッション2の内訳は、DNA検出アレイ関連が2件、聴覚や視覚の機能回復のために内耳や網膜をエミュレートするチップが3件、脳波や筋電位、心拍動をリアルタイムモニターするフロントエンドチップが2件の計7件である。論文2.3は、すでに90,000件以上の実績がある内耳の蝸牛 (cochlea) 移植において課題とされている回復度の個人差解消、中国語のような声調を有する言語の聞き取り、音楽鑑賞、などを解決するために、聴覚神経を刺激する電極を格段に増やす蝸牛電極アレイの研究成果である。寸法の制約と、

ワイヤレスでのデータ/電力の送受信を解決し、8mm×500μmの細長い薄膜電極アレイを形成し音の高低認識を改善している。謝辞にはNSF基金の他にカリフォルニア在住の婦人よりの個人寄付も記されているのが印象的である。

論文2.4、2.5は網膜チップの移植を目指すものであり、視神経を刺激する電極アレイを眼窩に納める寸法の制約、ESD、生体との適合性の制約、電力やデータの送受信(眼鏡に取り付けたパワーアンプやコイルを用いる)などを解決している。論文2.6、2.7は、小型軽量の装置を身に付け脳波や筋電位などの微弱生体信号をリアルタイムモニターするためのアナログフロントエンドの研究である。μVオーダーの微弱信号を常時監視することで身体異変を検知し適切な対処を取ることが可能となる。生体信号は微弱なだけでなくノイズなどの性質が放送・通信電波と大きく異なるため、回路方式や仕様にも新奇なものが求められる。

セッション30の内訳は、脳神経信号を活用し義手などを制御するもの、そのために必要な知見を得るために脳神経信号を観測・記録するチップ、内耳の動きを模倣したプリプロセッサにより携帯電話などに音声認識機能を持たせる研究、人体通信、DNA解析、たんばく質検出、の計6件であり、非常に多岐にわたっている。

論文30.1は、脳神経の活動を記録処理して制御信号に変換するチップの研究である。そのチップを脳に埋め込み、その制御信号を義手などの受信回路にワイヤレスで送信することにより、脊髄を損傷した人が脳で考えるだけで義手などを操作できるようになることを目指している。現状、4mmに100個の逐次比較型ADCセルと信号処理、信号と電力のワイヤレス送受信回路を集積し、100本のチャンネル(電極)を形成している。この研究は6ヶ所から資金提供を受けているとのことであ

ISSCC2006採択論文の傾向

(企 : 企業、学 : 大学・研究機関、共 : 共同研究、共同研究の数は産・学が連名になっている論文数であり内数である)

| セッション | 日本 | | | アジア | | | 北米 | | | 欧州 | | | 合計 |
|--|----|---|---|-----|----|---|----|----|----|----|----|----|-----|
| | 企 | 学 | 共 | 企 | 学 | 共 | 企 | 学 | 共 | 企 | 学 | 共 | |
| 2 Biomedical Systems | | | | 1 | | | 2 | | | 2 | 2 | | 7 |
| 3 Oversampling ADCs | 1 | | | 1 | | | 1 | 2 | | 2 | 1 | 1 | 8 |
| 4 Gigabit Transceivers | | | | 1 | | | 4 | 2 | | 1 | | | 8 |
| 5 Processors | 1 | | | | | | 6 | | | | | | 7 |
| 6 UWB | 1 | | | 2 | | | 2 | 1 | | 1 | 1 | | 8 |
| 7 Nonvolatile Memory | 3 | | | 1 | | | | | | 3 | | | 7 |
| 8 DRAM and TCAM | 2 | | | 2 | 2 | | | | | | 1 | 1 | 7 |
| 9 Display Drivers | 1 | | | 1 | | | 1 | | 1 | | | | 3 |
| 10 MM-Wave and Beyond | | | | 1 | | | 1 | 2 | | 1 | | | 5 |
| 11 RF Building Blocks and PLLs | 1 | | | 3 | | | 1 | 3 | | | 2 | 1 | 10 |
| 12 Nyquists ADCs | 1 | | | 1 | | | 4 | 2 | 2 | | | | 8 |
| 13 Optical Communication | 1 | | | 2 | | | 5 | | 1 | 1 | | 1 | 9 |
| 14 Baseband and Channel Processing | 1 | | | 1 | 1 | | 2 | | | 1 | 2 | 1 | 8 |
| 15 Organic Devices and Circuits | 1 | 1 | | | | | 2 | | | 2 | 2 | 1 | 8 |
| 16 MEMS and Sensors | 1 | 1 | | | | | 2 | 1 | 1 | 2 | 2 | | 9 |
| 17 RFID and RF Directions | 2 | | | 1 | | | 2 | | | | 3 | | 8 |
| 18 Clock and Data Recovery | 2 | | | 1 | | | 3 | | | 2 | | | 8 |
| 19 Analog Techniques | | | | 2 | | | 4 | | 1 | | 2 | 2 | 8 |
| 20 WLAN/WPAN | 1 | | | | | | 4 | 2 | | 1 | | | 8 |
| 21 Advanced Clocking, Logic and Signaling Techniques | | | | | | | 4 | 3 | | | | | 7 |
| 22 Low Power Multimedia | 2 | | 1 | 5 | 1 | | | | | | | | 7 |
| 23 Technology and Architecture Directions | 1 | 2 | 1 | | | | 3 | | | 2 | | | 8 |
| 24 High-Performance Digital Circuits | 1 | | | | | | 3 | 2 | 1 | | 1 | | 7 |
| 25 RF/IF Circuits | | | | | | | 2 | 5 | 2 | | 1 | | 8 |
| 26 Cellular Building Blocks and SOCs | 1 | | | | | | 2 | 3 | | 2 | 2 | 1 | 10 |
| 27 Image Sensors | 2 | | | 1 | | | 3 | 1 | | | 2 | | 9 |
| 28 Wireline Building Blocks | 2 | 1 | | 2 | | | 3 | 1 | 2 | | 1 | | 10 |
| 29 Power Management and Distribution | 3 | | | 1 | | | 3 | | | 1 | | | 8 |
| 30 Silicon For Biology | 1 | | 1 | 2 | | | 3 | | | | | | 6 |
| 31 Very High-Speed ADCs and DACs | | | | | | | 3 | 4 | 1 | 1 | 1 | | 9 |
| 32 PLLs VCOs, and Dividers | 1 | 1 | | 2 | 1 | | 2 | 2 | | | 1 | 1 | 9 |
| 33 Mobile TV | | | | 2 | 1 | | 3 | | | 1 | | | 7 |
| 34 SRAM | 1 | | | | | | 4 | 1 | | | | | 6 |
| 総計 | 35 | 6 | 3 | 9 | 31 | 2 | 68 | 51 | 12 | 28 | 27 | 12 | 255 |

る。因みに、発表者の一人であるスタンフォード大のTeresa Meng教授は、CMOS無線LANチップで市場を席卷しているAtheros Communications社の創設メンバーの一人であり、現在も経営陣に残っている。

この技術が実用化されるまでには気の遠くなるような試作・評価・人体実験が必要であろう。論文30.2は、このような研究を遂行するに不可欠な、脳神経の活動電位を収集し外部に送信するチップの発表である。0.5 μ m CMOS プロセスで4.7×5.9mm のチップに100個の増幅回路や信号処理回路や送信回路、受信電力の整流回路などが集積され、100個の電極アレイが剣山のように形成される。

人体という器の制約から、寸法、電力供給、ワイヤレス信号の送受信、動作電圧、熱、材料、インタフェース、など、これまでのアプリケーションと異なる回路技術や集積技術が必要となる。学際的分野であり、異種技術・材料集積技術のアプリケーションの最前線である。ビジネスのみでなく人類への福音という観点からも今後注力していくべき分野と考える。

4. アナログ・RFにもデジタルCMOS技術

昨年までのアナログ・RF関連の論文では、デジタルCMOSプロセスに、MIM容量、高精度ポリSi抵抗、厚膜金属配線、高抵抗基板などのオプションを付加して性能を競うものがほとんどであったが、今年はデジタルCMOS技術で作成したことをアピールするのが目立つようになった。以下は、論文タイトル/アブストラクト/本文のどこかにデジタルCMOSの記述があったものをリストアップしたものである。ヨーロッパの研究機関/企業が多く、技術ノードは65nmから2.5 μ mまで広がっている。

・セッション12：ナイキストADC

・論文12.1 フィリップス
「A 90nm CMOS 1.2V 10b Power and Speed Programmable Pipelined ADC with 0.5pJ/Conversion-Step」

・論文12.3 ソニー
「A 30mW 12b 40MS/s Subranging ADC with a High-Gain Offset-Canceling Positive-Feedback Amplifier in 90nm Digital CMOS.」

・論文12.6 インフィニオン
「A 14b 100MS/s Digitally Self-Calibrated Pipelined ADC in 0.13 μ m CMOS」

・セッション17：RFID and RF Directions

・論文17.3 CEA - LETI (フランス)
「A 34Mb/s RFID Front-end for Proximity Applications based on a Delta-modulator」

・論文17.7 CSEM (スイス)
「A Low-Power 2.4GHz CMOS Receiver Front-End using BAW Resonators」

・セッション26：Cellular Building Blocks and SoC's

・論文26.10 ヘルシンキ大学
「A 1.2V Dual-Mode GSM/WCDMA Modulator in 65nm CMOS」

・セッション31：超高速ADCおよびDAC

・論文31.1 IMEC
「A 0.16pJ/conversion-step 2.5mW 1.25GS/s 4b ADC in a 90nm Digital CMOS Process」

・論文31.7 アリゾナ州立大学
「A Bandpass RF-DAC with Embedded FIR Reconstruction Filter」

この他に、論文11.5「A 5GHz Resistive-Feedback CMOS LNA for Low-Cost Multi-Standard Applications」ではインテル社がLNAを90nmのRF-

CMOSプロセスとデジタルCMOSプロセスで作成し比較評価している。デジタルCMOSで作成した方が若干性能的に劣る傾向があるが、ポリ抵抗のモデルと抽出誤差及び基板抵抗によるものとしている。

デジタルCMOS採用の増加は、1) 低コスト化、2) アプリケーションから要求される性能の向上速度が鈍化、3) デジタルCMOSの方がファウンドリのインフラ/サービス/データが充実、などの理由によるものと思われる。これは、大学の回路系の研究室にとっては回路技術で勝負できる場面が増えることであり、朗報と考える。

技術の高度化とともに、製造やツールやアプリから要請される制約の数が爆発的に増加している。時折、自分の仕事を棚卸し、真に必要な制約とパラメータの一つに過ぎないものとを峻別し、最適な解を見出し柔軟に対処していくことが益々必要になっているといえる。

5. 所感

ISSCCはモノリシック・スケーリングの呪縛から脱しつつあるようにみえる。ミリ波やバイオ・メディカルなど新たなアプリケーションをフィーチャーし、従来と異なる性能仕様と制約を業界に提示するようになってきた。一方で、それらのアプリケーションに対するソリューションとして、MEMS、ポストCMOSプロセス、SIP、あるいはチップ-パッケージ-基板の統合設計などを提示している。A-SSCCやASP-DACなどアジア発の学会が増加しているが、投稿されてきた論文を採択するに留まらず、未来を先取りする意志を示すことが、アジアが世界に情報を発信し業界をリードしていくために必要と考える。

(研究推進部 益子耕一郎)

国際学会参加報告

第11回 ASP-DAC2006

(Asia and South Pacific Design Automation Conference)

はじめに

ASP-DAC2006 (第11回 Asia and South Pacific Design Automation Conference) が1月24日から27日までパシフィコ横浜において開催された。DAC、DATE、ICCADの姉妹学会で設計自動化技術に関する国際学会である。主催はIEEE回路システム部門と電子情報通信学会ほかである。参加者は731人で2004年横浜開催時の1.4倍という盛況であった。

投稿件数と事例発表

投稿論文数は424件(27カ国)で135件が採択された(採択率は31.8%)。51件が産業界からで373件が大学関係である。論文発表以外にはDesigner's Forumにおいて「CELLプロセッサ」と「モバイル設計」の2セッション、

および「検証」と「トップ10設計課題」の2パネル討論があった。また大学部門のLSI設計コンテストでは19件が口頭発表に引き続きポスター討論された。EDAの設計理論だけでなく実際の設計事例の発表などもあり、EDA技術者とLSI設計技術者が一堂に会して情報交換できる有益な学会であった。

基調講演

「自動車用エレクトロニクス (設計チェーンの変革)」

初日の基調講演は「自動車用エレクトロニクス(設計チェーンの変革)」と題してアルベルト・サンジョバンニ・ヴィンセンテリ教授(カリフォルニア大学パークレイ校教授、Cadence共同創業者)が行った。設計メソドロジーとAUTOSAR組織、将来技術とし

ての無線センサーネットワーク、システムレベル設計技術などに関する興味深い講演であった。はじめに1990年代は自動車の価格の中で機械系が76%で電子系は13%を占めていたが、2000年代には機械系が55%で電子系が24%になり、またソフトウェアが13%になり、エレクトロニクス関連の比率が大幅に伸びると予想した。また自動車技術の進歩は90%以上がエレクトロニクス関連であると述べた。自動車エレクトロニクスは車両制御系と情報処理系に大別されるが、最近の自動車ではマイクロプロセッサが80個以上使われており、100万行のコード開発が必要であるそうだ。自動車のサプライチェーンはエンジン制御や駆動系などのサブシステムをトータルシステムに統合する集積化であり、調整するパラメータは500以上ある。半導体業界は最適ソリューションを提供することによりビジネスチャンスがあると力説した。とくに今後はソフトウェアの開発が鍵となりプラグ&プレイが要求されると述べた。日本経済新聞によれば日本では自動車関連のソフトウェア開発に毎年1000億円以上が使われており、2014年には1兆円になると予想している。AUTOSARには自動車業界と半導体業界から80社が参加しており、要素技術の標準化などを目指していると説明した。現在、基本ソフトウェア開発、機能API、ソフトウェア統合などを進めている。

次に将来技術として無線センサーネットワークの適用について述べた。無線センサーネットワーク技術は環境監視や農業技術への適用が検討されているが、自動車にも適用が可能である。カ



アルベルト・サンジョバンニ・ヴィンセンテリ教授

リフォルニア大学バークレイ校では「Berkeley Dust Mote」と名付けて10セント硬貨大のいわゆるsmart dustの開発を進めている。この技術は自動車のさまざまな自動化や情報処理に適用可能で新しい発展が期待できる。米国では最近、タイヤの空気圧管理制御に標準装備することが検討されている。半導体技術者はチップ設計だけではなく上流のシステム設計に関わるべきであると強調した。

最後にシステムレベル設計の時代はEDA業界にとって大きなビジネスチャンスであると締め括った。

自動車用のエレクトロニクスは欧米よりも日本のほうが技術的に進んでおり、半導体業界と自動車業界が協力すれば、わが国の半導体産業復活の起爆剤となると期待される。

基調講演 「デバイスイノベーション への挑戦」

基調講演ではルネサステクノロジーの伊藤達社長が「デバイスイノベーションへの挑戦」と題して講演した。革新的な各種応用として、3つの重要な将来技術について発展予測と技術指針を示した。最も重要な応用である自動車開発において電子デバイスは重要な役割を担うようになっていく。自動車開発コストのうち電子デバイスの占める割合は、2004年ではパワーステアリング・ナビゲーション等で約19%であったが、2015年では知的輸送システム等高度な自動化システムを加え、コストの40%を占めるようになると予想されている。第2の重要分野としての口

ポット分野では、半導体技術が革新を引き起こすのは、将来必要性が増すと考えられている生活支援ロボット等である。ロボット用半導体のロードマップとして2004年にはCPU性能が0.5GIPSであったものが2013年には8GIPSを越えるという指針を示した。第3の応用は、移動通信である。ストレスのかからない使いやすい通信を実現するためには、半導体技術の発展が必須である。また、ユビキタス時代ではソフトウェアの開発は大きな挑戦に直面する。過去10年くらいの間にソフトウェアの開発規模は3桁くらい増加しており、ソフトウェアの開発は今迄以上に重要性を増している、と述べた。

さらに設計コストの増加も大きな問題であり、最近では年率1.5倍の割合で設計コストが増加し、設計コスト削減が大きな課題となってきた。シリコンコストの削減には、製造のための設計技術（DFM）およびテスト設計があり、設計コスト削減にはシステムレベル設計・バラツキ考慮設計およびシステムインパッケージ技術等がある。

最後に、ユビキタス時代にはデバイスの革新が応用の発展を可能にする、微細化の経済性は規模の経済を実現するものであり大きな挑戦である、シリコンコストと設計コストを削減するEDAの大幅な活用は次世代半導体デバイスを成功させるキーである、と締め括った。

「Designers' Forum Panel : Top 10 Design Issues」

セッション9D 「Designers' Forum Panel : Top 10 Design Issues by LSI

Designers versus EDA Developers」では、EDA開発側とそれを使うLSI設計側が、現在直面している問題点を議論するパネル討論会が行われた。モデレータは萩原良昭氏（ソニー フェロー）が務め、パネリストは米国のEDAベンダーから3名、日本と韓国の半導体メーカーからLSI設計者が3名参加した。LSI設計者は松下電器産業のHirofumi Taguchi氏、キヤノンのYasuhiro Tani氏、韓国Samsung Electronics Co. Ltd.のSoo-Kwan Eo氏、でEDAベンダー側は米Synopsys, Inc.のPaul Camposano氏、米Mentor Graphics Corp.のJoe Sawichi氏、米Cadence Design Systems, Inc.のTed Vucurevich氏である。

LSI設計側からは、EDAベンダー間で相互協力をもっと進めて、共通の環境を構築してもらいたいとの要望がでた。例えば、EDAベンダー間でSystemCのインプリメンテーションに差があり、互換性がないなど。これに対し、EDAベンダー側からは、唯一のプラットフォームに縛られるのは設計側も望まないはず、競争原理から考えても複数あるほうが健全であろう、とのコメントがあった。

タイトルの10大課題は、アンケート調査の結果（168人） 開発管理（46票） 設計の複雑性増加（28票） 検証（22票） 低消費電力化（15票） IP再利用（10票） 設計ツール、EDA価格（8票） 設計期間短縮、モデリング（6票） 雑音、DFM、アナログ混載（5票）であった。

（研究推進部 平田雅規）

システム/回路分野 System/Circuit Area

- | | |
|--|---|
| <p>1. 「並列化コンパイラ協調型チップマルチプロセッサ技術」 研究代表者：早稲田大学 笠原 博徳</p> <p>2. 「実時間動画画像認識プロセッサVLSIの設計技術研究」 研究代表者：神戸大学 吉本 雅彦</p> <p>3. 「リコンフィギャラブルシステム技術とその応用」 研究代表者：熊本大学 末吉 敏則</p> <p>4. 「CMOS RF・アナログBBシステムの高性能化とスケーラブルな設計手法の研究」 研究代表者：東京工業大学 松澤 昭</p> <p>5. 「動的電圧制御によるGALS型高性能低消費電力プロセッサの研究」 研究代表者：東京大学 中村 宏</p> <p>6. 「ミックスドシグナルLSIのためのオンチップ診断技術」 研究代表者：神戸大学 永田 真</p> <p>7. 「超広帯域無線機LSIのための機能回路ブロックに関する研究」 研究代表者：北見工業大学 谷本 洋</p> <p>8. 「SoC / SiP設計のためのパワー/シグナル・インテグリティ検証統合化システム」 研究代表者：静岡大学 浅井 秀樹</p> <p>9. 「DSMテクノロジーを想定したEmbedded Processorのハードウェア/ソフトウェア協調設計環境」 研究代表者：早稲田大学 大附 辰夫</p> <p>10. 「生体内埋込型超高感度バイオフォトニックLSIの開発」 研究代表者：奈良先端科学技術大学院大学 太田 淳</p> <p>11. 「アーキテクチャ技術による低消費電力プロセッサの研究」 研究代表者：名古屋大学 島田 俊夫</p> <p>12. 「ミリ波ワイヤレス通信用CMOS要素回路の研究」 研究代表者：北海道大学 佐野 栄一</p> <p>13. 「極微細CMOS回路のための超高周波物理レイアウトの評価および最適設計に関する研究」 研究代表者：東京大学 藤島 実</p> <p>14. 「微細プロセスにおけるチップ内の特性変化を積極的に利用するASIC向け再構成デバイス」 研究代表者：京都大学 小林 和淑</p> <p>15. 「CMOS RF回路によるマルチバンド・マルチモード無線送受信回路の研究」 研究代表者：東京工業大学 益 一哉</p> <p>16. 「半導体EMC設計のGHz対応信号/ノイズ制御技術」 研究代表者：京都大学 和田 修己</p> <p>17. 「低電源電圧高速アナログ集積回路設計技術」 研究代表者：東京工業大学 高木 茂孝</p> <p>18. 「組込みマルチVLIWコアプロセッサ向け高効率コード自動生成についての研究」 研究代表者：東京工業大学 杉野 暢彦</p> | <p>1. "Parallelizing Compiler Cooperative Chip Multiprocessor Technology" Hironori Kasahara (Waseda University)</p> <p>2. "An Algorithmic and Architectural Study of VLSI Processor for Realtime Image Recognition" Masahiko Yoshimoto (Kobe University)</p> <p>3. "Research on Reconfigurable Systems and their Applications" Toshinori Sueyoshi (Kumamoto University)</p> <p>4. "Research on High-Performance CMOS RF/Analog Baseband System and its Scalable Design Methodology" Akira Matsuzawa (Tokyo Institute of Technology)</p> <p>5. "High-Performance and Low-Power GALS Processor with Dynamic Voltage Scaling" Hiroshi Nakamura (The University of Tokyo)</p> <p>6. "On-chip Diagnosing Techniques for Mixed-Signal LSIs" Makoto Nagata (Kobe University)</p> <p>7. "Study on Functional Analog Circuit Blocks for Wide Band Wireless Transceiver" Hiroshi Tanimoto (Kitami Institute of Technology)</p> <p>8. "Integrated Verification System of Power/Signal Integrity for SoC/SiP Design" Hideki Asai (Shizuoka University)</p> <p>9. "Hardware/Software Codesign Environment for Embedded Processors based on the Deep Submicron Technology" Tatsuo Ohtsuki (Waseda University)</p> <p>10. "Implantable High-Sensitivity Bio-Photonic LSI" Jun Ohta (Nara Institute of Science and Technology)</p> <p>11. "Low power consumption processor using architecture technology" Toshio Shimada (Nagoya University)</p> <p>12. "CMOS RF Circuits for Millimeter-wave Communication Systems" Eiichi Sano (Hokkaido University)</p> <p>13. "Study on Modeling and Physical Synthesis for Ultra-High-Frequency CMOS Design" Minoru Fujishima (The University of Tokyo)</p> <p>14. "A Reconfigurable Device against Within-die Process Variations on Nanometer-scale Technologies" Kazutoshi Kobayashi (Kyoto University)</p> <p>15. "Multiband/Multimode Wireless CMOS RF Transceiver Circuits" Kazuya Masu (Tokyo Institute of Technology)</p> <p>16. "Signal and Noise Control above 1 GHz for Semiconductor EMC Design" Osami Wada (Kyoto University)</p> <p>17. "Analog Integrated Circuit Design for Low-Voltage and High-Speed Applications" Shigetaka Takagi (Tokyo Institute of Technology)</p> <p>18. "Automatic Code Generation and Optimization Methods for Embedded Multi Core Processor Architectures" Nobuhiko Sugino (Tokyo Institute of Technology)</p> |
|--|---|
-
- | | |
|--|---|
| <p>2006年度新規開始テーマ</p> <p>19. 「ワイヤレスシステム革新 RF-MEMSの研究」 研究代表者：立命館大学 鈴木 健一郎</p> <p>20. 「組込みマルチプロセッサシステムのアーキテクチャ探索手法とツール」 研究代表者：名古屋大学 高田 広章</p> <p>21. 「製造ばらつき、電源・温度変動を統一的に取り扱った静的タイミング解析技術」 研究代表者：大阪大学 橋本 昌宜</p> <p>22. 「シリコンチップ間ワイヤレス信号伝送技術の研究」 研究代表者：広島大学 吉川 公麿</p> <p>23. 「異種命令セットを同時に実行するマルチスレッディング・プロセッサの構成」 研究代表者：広島市立大学 北村 俊明</p> <p>24. 「大規模LSIの上流からのフォールスパス判定とテスト不要化合成に関する研究」 研究代表者：奈良先端科学技術大学院大学 藤原 秀雄</p> | <p>New themes started from 2006</p> <p>19. "Innovation of RF-MEMS in Wireless system" Kenichiro Suzuki (Ritsumeikan University)</p> <p>20. "Architecture Exploration Methods and Tools for Multiprocessor Embedded Systems" Hiroaki Takada (Nagoya University)</p> <p>21. "Static timing analysis with a unified approach to manufacturing, supply voltage and temperature variation" Masanori Hashimoto (Osaka University)</p> <p>22. "Inter-chip wireless signal transmission technology" Takamaro Kikkawa (Hiroshima University)</p> <p>23. "Simultaneous multiple instruction sets multi-threading processor" Toshiaki Kitamura (Hiroshima City University)</p> <p>24. "Research on test time and yield loss reduction through false path identification and its propagation from behavioral to structural representations" Hideo Fujiwara (Nara Institute of Science and Technology)</p> |
|--|---|

25. 「低消費電力、超高速AD変換器に関する研究」
研究代表者：鹿児島大学 大畠 賢一
26. 「特性可変で広帯域な無線受信システムの構成理論および実証的研究」
研究代表者：東京理科大学 兵庫 明
27. 「ナノメータ技術を考慮した集積化アナログ回路技術の研究」
研究代表者：武蔵工業大学 堀田 正生
28. 「高速高分解能A/D変換器の低電力設計技術に関する研究」
研究代表者：静岡大学 川人 祥二
29. 「超低電圧動作・変調ドメイン信号処理技術を用いたアナログ融合回路の研究」
研究代表者：広島大学 岩田 穆
30. 「システムLSI設計教育のためのリテラシープラットフォームの構築」
研究代表者：東京大学 浅田 邦博
31. 「テストチップの製作とその解析に基づく製造容易化設計のための新故障モデルとそのテスト・故障診断に関する研究」
研究代表者：愛媛大学 高松 雄三
32. 「LSI製造性考慮設計に向けたばらつき要因の統計学的研究」
研究代表者：東京工業大学 中山 範明
33. 「低消費電力型超高速無線通信システムの実現とそのコグニティブレディオ化に関する研究」
研究代表者：北海道大学 宮永 喜一
34. 「上位設計記述に対する等価性検証ツールの開発」
研究代表者：東京大学 藤田 昌宏
25. "Study on a low-power, ultra-high-speed AD converter"
Kenichi Ohhata (Kagoshima University)
26. "A study for theory and implementation of a wide band RF receiver system with controllability"
Akira Hyogo (Tokyo University of Science)
27. "Research on Integrated Analog Circuits Referred to Nanometer Technology"
Masao Hotta (Musashi Institute of Technology)
28. "Low-Power Design Technology for High-Speed High-Resolution A/D Converters"
Shoji Kawahito (Shizuoka University)
29. "Low Voltage Analog-Digital merged Circuits based on Modulation Domain Signal Processing"
Atsushi Iwata (Hiroshima University)
30. "Development of SoC design platform for System LSI literacy education"
Kunihiro Asada (The University of Tokyo)
31. "Study of new fault models and their applications for test and fault diagnosis on design for manufacturability -based on development and analysis of test chips-"
Yuzo Takamatsu (Ehime University)
32. "Statistical study on LSI variation factors for the design for manufacturability"
Noriaki Nakayama (Tokyo Institute of Technology)
33. "A Study on a Low-Power System and Cognitive Radio Design of High-Speed Wireless Communication"
Yoshikazu Miyanaga (Hokkaido University)
34. "Development of formal equivalence checker for high level design descriptions"
Masahiro Fujita (The University of Tokyo)

プロセス/デバイス分野 Process/Device Area

1. 「HiSIM2：回路シミュレーション用RFデバイスモデル」
研究代表者：広島大学 三浦 道子
2. 「High-k絶縁膜の高分解能コンビナトリアル放射光解析」
研究代表者：東京大学 尾嶋 正治
3. 「超臨界流体を用いた新規ナノ配線形成プロセスの創製」
研究代表者：山梨大学 近藤 英一
4. 「低速陽電子ビームによる次世代半導体材料の評価」
研究代表者：筑波大学 上殿 明良
5. 「相変化薄膜素子の微結晶性と不揮発性多値記録特性に関する研究」
研究代表者：群馬大学 保坂 純男
6. 「基板およびプロセス歪の非破壊高精度分布測定」
研究代表者：明治大学 小椋 厚志
7. 「次世代異種新材料複合MOSFET集積化技術」
研究代表者：東京工業大学 岩井 洋
8. 「原子レベルの材料特性を考慮した3次元量子輸送デバイスシミュレータの開発」
研究代表者：神戸大学 小川 真人
1. "HiSIM2: A MOSFET Model for Circuit Simulation with Focus on RF Applications"
Mitiko Miura-Mattausch (Hiroshima University)
2. "Synchrotron radiation high-resolution combinatorial analysis of high-k dielectrics"
Masaharu Oshima (The University of Tokyo)
3. "Development of a novel thin film deposition technique from supercritical CO2 for ULSI applications"
Eiichi Kondoh (Yamanashi University)
4. "Characterization of next-generation semiconductor materials by means of monoenergetic positron beams"
Akira Uedono (University of Tsukuba)
5. "Nanometer-sized crystallization of a phase change material for multilevel nonvolatile memory"
Sumio Hosaka (Gunma University)
6. "Precise measurement of strain profiles induced by process and substrate"
Atsushi Ogura (Meiji University)
7. "Si, Ge High-k metal gate stack technology"
Hirosi Iwai (Tokyo Institute of Technology)
8. "Three Dimensional Quantum Device Simulator Reflecting Material Characteristics "
Matsuo Ogawa (Kobe University)

2006年度新規開始テーマ

9. 「High-K材料を用いたドット系メモリの新プロセス提案」
研究代表者：奈良先端科学技術大学院大学 浦岡 行治
10. 「高機能ゲート絶縁膜を用いたフレキシブル有機トランジスタの動作特性の解明」
研究代表者：大阪府立大学 内藤 裕義
11. 「量子輸送シミュレータを用いた新構造・新材料デバイスの性能予測」
研究代表者：大阪大学 森 伸也
12. 「プラズマプロセスによるダメージ層形成メカニズムの解明と抑制技術に関する研究」
研究代表者：京都大学 江利口 浩二
9. "New fabrication process of dot-type memory using High-k materials"
Yukiharu Uraoka (Nara Institute of Science and Technology)
10. "A study of physical mechanisms underlying flexible organic field-effect transistors with high-dielectric-constant gate insulators"
Hiroyoshi Naito (Osaka Prefecture University)
11. "Quantum-Based Simulation for Device Exploration and Optimization"
Nobuya Mori (Osaka University)
12. "Study of mechanisms of plasma process-induced damage and its controlling techniques"
Koji Eriguchi (Kyoto University)

New themes started from 2006

STARCフォーラム2006

「コラボレーションによる新たな価値の創造」

開催日：2006年7月7日(金)

場 所：新横浜国際ホテル 10:00～19:30

〔主旨〕

STARCにおけるSoC設計技術開発のコラボレーション(スピード・パートナーシップ・顧客志向) 新たな価値の創造や成果を最大化するためのポイントなどを講演やパネル討論などで探ります。また、HiSIM、STIL、スターシャトルなど、STARCと外部とのコラボレーションによる新たな進展を紹介します。あすか プロジェクトの発足にあたり、STARCの各プログラムの内容と狙いを紹介します。

〔プログラム〕

- ・基調講演
- ・招待講演
- ・STARC活動報告
- ・STARCが関わるコラボレーション活動(講演)
- ・パネル討論
- ・レセプション

プログラムの詳細は、STARCホームページ [<http://www.starc.or.jp>] に5月Mに掲載します。

参加費：無料(申し込みは、オンライン登録をお願いいたします。)

<http://www.starc.jp/event/reg-j.html> 受付期間は5月M～6月30日(木)です。

主 催：株式会社 半導体理工学研究センター(STARC)

後援(予定)：経済産業省

独立行政法人 新エネルギー・産業技術総合開発機構(NEDO技術開発機構)

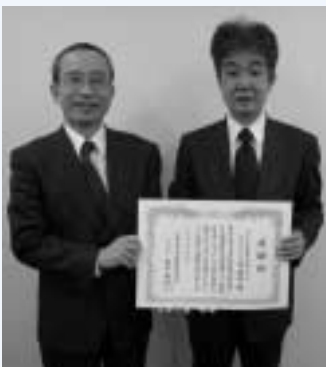
協 賛：半導体産業研究所(SIRIJ)

株式会社 半導体先端テクノロジーズ(Selete)

お問い合わせ先：STARCフォーラム事務局

TEL：045-478-3300 FAX：045-478-3310 e-mail：forum@starc.or.jp

トピックス



京都大学よりSTARC支援講座に感謝状が贈呈

京都大学での2003年度～2005年度の3年間にわたる、「STARCシステムLSI設計技術テキスト」を用いた、講師の派遣を伴う支援講座(Bコース：LSI設計編、毎年後期10月～1月)が、修了証累計74枚の実績にて終了いたしました。3月23日に、京都大学大学院情報学研究所通信情報システム専攻小野寺秀俊先生から同研究科長富田眞治先生名で、STARC下東勝博社長に、感謝状が贈呈されました。2006年度以降は、大学側の講座に引き継がれ、引き続き教材を活用するとともに、実習(9月)も予定されておりSTARCの支援は新たな形で続きます。

STARCニュース No.28

株式会社 半導体理工学研究センター

発行：下東 勝博

編集：札抜 宣夫

Semiconductor Technology Academic Research Center (STARC)

〒222-0033 神奈川県横浜市港北区新横浜3丁目17番地2 友泉新横浜ビル6階

TEL：045-478-3300 FAX：045-478-3310

URL：http://www.starc.or.jp