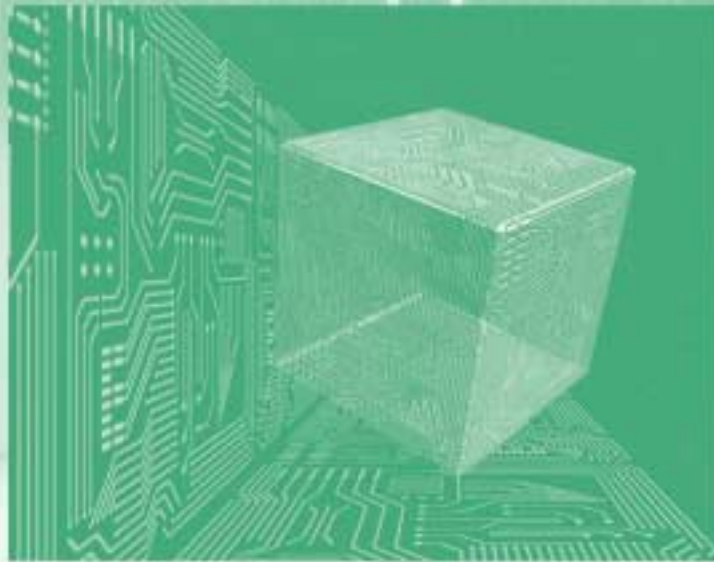


# STARCニュース



No. **27**

2006年1月10日発行  
株式会社 半導体理工学研究センター  
Semiconductor Technology Academic Research Center (STARC)



- 2 **新年挨拶**
- 4 共同研究グループ便り / **桜井研究グループ**
- 6 共同研究グループ便り / **藤田研究グループ**
- 8 共同研究グループ便り / **森研究グループ**
- 10 特集 / テスト設計開発室  
**標準テストインターフェース言語『STIL』活用の  
取り組みの紹介と、その標準化動向について**
- 15 学会参加報告 / 36th ITC  
/ **システムLSIワークショップ**  
/ A-SSCC 2005  
/ IEDM 2005
- 20 EDS Fair 2006 **出展案内**

# 新年のご挨拶



代表取締役会長  
**小野 敏彦** (おの としひこ)

新年を迎え皆様にご祝辞を申し上げます。  
明けましておめでとうございます。  
皆様におかれましては、ますますご清栄の事とお慶び申し上げます。

昨年は、ようやく製造業の回復基調が鮮明となり、輸出も大きく伸び収益の回復を背景に設備投資が増加するなど、日本経済全体に明るさが戻って参りました。我々半導体業界もようやくシリコンサイクルの底打ち感が出てきたような状況

にあると思います。

半導体需要拡大期には何より先端技術を、次々に事業部門に移転させ付加価値の高い製品を短期間で開発し続けることが重要です。今年3月に完了する「あすか」プロジェクトの5年間、STARCは製品開発に有用な先端SoC設計技術開発で充分その役割を果たしてきたと思います。

4月からは、新たに「あすか」プロジェクトが始まります。微細加工技術の進展に遅れがちな設計技術を世界に先駆けトップレベルにして勝ち続ける日本の半導体産業を確固たるものにしなければなりません。そのためにSTARCに課せられた使命は極めて重大ですが、必ず期待に応えてくれるものと信じております。STARCに結集した若い人達に頑張りど復活のドラマがあると思います。

引き続き皆様のご支援とご協力をお願い申し上げます。

2006年が皆様にとって、より良き年となることをお祈りして、新年のご挨拶とさせていただきます。



代表取締役社長 & CEO  
**下東 勝博** (しもひがし かつひろ)

新年明けましておめでとうございます。  
2006年の新春を迎え謹んで皆様にご挨拶を申し上げます。  
昨年の日本経済は久しぶりに安定した上昇基調に入り、経済全体に涉る明るい兆しがみえてきました。半導体業界も世界的なデジタル家電の本格的立ち上げを目の前に上昇環境が整いつつあります。STARCは過去5年間にわたり、このデジタル家電の重要な技術であるSoCの設計技術のコンソーシアムとして、「あすか」プロジェクトをはじめとする各種活動の中心的な役割を果たしてきました。本年3月で完了する「あすか」プロジェクトでは、半導体業界は協業の基礎を作り上げました。主なポイントは業界連携の協業とそれによるコストシェアであったかと思えます。本年4月以降は、新しい枠組みの「あすか」プロジェクトがスタートいたします。半導体産業では、何より先端技術を次々に事業展開させ付加価値の高い製品を短期間で開発し続けるということが重要であり、STARCは、引き続き製品開発に有用な先端SoC設計基盤技術開発でその役割を果たし行きたいと思えます。

「あすか」では、スピードとバラエティの両立を目指すように協業を一層進化させます。「あすか」のプログラムは『共通コア』、『先端コア』、および『選択』プログラムと多様になっています。このような多様性にも拘らず開発スピ

ードをさらに上げることが第一のポイントと考えています。スピードこそがグローバル化を生き抜く大きな力となるでしょう。

第二のポイントは、業務委託からパートナーリングへの進化ということです。世界に広く目を向け知恵を集めるための情報収集によって異なる技術を持つグループとパートナーリングを行うことが不可欠になります。単なる業務委託から脱却し、資本参加やリスク分担により真のパートナー化を推進したいと考えています。パートナーリングとはお互いに責務を分担できる自立したグループによる協業であり単なる業務委託は卒業すべきです。

第三のポイントは、STARCの最終的な目標はクライアントとの協業によってクライアントの問題を一緒に解決することです。身勝ちな技術本位の開発は百害あって一利なしと思っています。クライアントとの協業では、短期的にはクライアントの要望を踏まえて行いますが、その中で中長期的な課題を見出し新たな提案を行える力を持たねばなりません。志を高く持ち、常に考え続ける姿勢こそがコンソーシアム進化の要諦です。

新たにスタートする「あすか」プロジェクトでは、最先端の技術を世界のトップレベルにして勝ち続ける日本の半導体産業にしなければなりません。そのためにSTARCに課せられた使命は極めて重大です。STARCに結集する技術者の皆さんが必ず期待に応えてくれるものと信じております。

クライアント各社および共同研究を推進する大学関係の皆様、引き続き皆様のご支援とご協力をお願い申し上げます。2006年が、より良き年となることをお祈りして、新年のご挨拶とさせていただきます。



## 企画部長 札抜 宣夫

あけましておめでとうございます。昨年4月に企画を引継いで以来、来年度から始まる新プログラムの立上げに奔走している間に、早や1年が過ぎようとしています。時の流れの速さに圧倒されます。お蔭様で、2006年度に開始するプログラムの目鼻は付きました。あとは実行部隊の集結と管理体制の確立が最後の山です。しかし振り返ってみると、まだまだやり残していることがたくさんあります。例えば、産学連携センター構想やDFMに関連したつくば（新Selete）との連携、大学間ネットワークの具体化、大学との共同研究成果を実用化する橋渡し、等々。コンソーシアムが強みを発揮できる場所は叡知の結集だと思います。しかしそれにスピード感がなければ勝負には勝てません。うーん、時の流れの速さに圧倒されている場合ではありませんね。変わらぬご支援をお願いいたします。



## 開発第1部長 西口 信行

あけましておめでとうございます。いよいよ後3ヶ月で5年間のあすかプロジェクトが終了します。メソドロジ開発室に勤務して3年、開発第1部長と6ヶ月、まさにドッグイヤーを体験してきました。開発第1部としては、終わり良ければすべて良しというわけではありませんが、あすかプロジェクトの成果を十二分にクライアント各社に技術移管することをこの3ヶ月の最重点項目として推進してきましたと思います。その結果、あすかプロジェクトは大成功であり、今後のSTARC活動のあり方の基盤を作ったと広く認識されることを期待しています。また、2006年度から始まる「あすか」のプロジェクトにおきましても、直接的、間接的に今回の技術成果が引き継がれていくと思います。最新の技術開発は一企業だけでは不可能であることは全員一致することであり、皆様とのコラボレーションをさらに推し進め、このドッグイヤーを乗り切りたいと思います。よろしく申し上げます。



## 開発第2部長 豊田 栄次郎

皆様、明けましておめでとうございます。

本年はSTARCの開発部門にとって、大変革の年となります。ご承知のように、あすかプロジェクトは5年間の開発テーマを終了し、4月からは新しい枠組みで新テーマがスタートします。

私は2003年から2年間は企画を担当していましたが、2005年度はあすかの最終年ということで、開発の第一線である開発第2部を担当させていただき、IP技術開発/上位設計開発/低電力技術開発の3テーマを完了させるべく、部員の皆様と努力をしております。

改めてこの5年間の成果を見直してみますと、標準化技術の面でも、先端技術の面でも、小さいながらも光るものがあることを再認識した次第です。これらの成果は、従来よりさ

まざまな形でクライアントの皆様に移管をさせていただいていますが、今回はもう一度分かりやすくまとめて皆様にお渡ししたいと思っています。ぜひとも各社のお役に立てていただきますようお願いいたします。

また、新しく始まるテーマに対しても、最大限のご支援をお願いいたします。



## 研究推進部長 今村 健

2006年度から新たに始まる「あすか」新プログラムにおいて、大学共同研究と教育支援はともに共通コアプログラムとして実施されます。これまでの実績を踏まえて、2006年度では大学共同研究のテーマ数を43から47へ、教育支援の実施大学数を22校から30校へと拡充させる計画です。それに加えて種々の新しい取組みを通して活動をさらに発展・充実させることを目指しています。昨年はその準備段階として、共同研究ではインキュベーション型テーマの試行と産学連携強化型研究をスタートさせました。また、教育支援では論理設計試験にSTARC認定を付与し一般実施への道を開くとともに、遠隔講義やMOT教育講座など次年度以降の支援拡充の準備を進めてきました。2006年度からの活動に関して皆様のますますのご支援・ご協力をお願いするしだいです。



## IP開発部長 伊藤 荘一

あけましておめでとうございます。

昨年10月、IP開発部はASPLA社の解散とともにシャトル運営を引き継ぎ、当部の開発成果であるライブラリ群を背景にした設計サポートと合わせてシャトル運営のミッションすべてがIP開発部に集結しました。

この業界シャトルは「スターシャトル」の愛称で呼ばれています。登録商標「 Shuttleスターシャトル®」の読み方そのものです。

私たちはこの業務において、シャトル試作の顧客との仲介だけでなく、お客様への設計用デザインマニュアル、ライブラリなどの便宜提供や、種々問い合わせへの対応などを行っています。また、現在ご利用いただいている多くが要素技術の研究段階の試作であるため、この領域でニーズの多いアナログ設計への便宜強化（PDK file化など）を現在進めています。

一方、複合機能の検証などにもご利用いただけます。とくに微細・高性能化に伴うリワークの低減手段の一つとして、シャトル活用を当初から開発計画に組み込んでトータルのTATや費用を改善することは、今後その有効性について種々ケースで検討され活用されるべきではと考えています。

私たちはこれらの活動を通じて広く半導体技術のインキュベーションや実用化に寄与して行きたいと願っています。これがすなわち「半導体IPの育成支援」です。

最後になりましたが、本年もスターシャトルのご活用をどうかよろしく願い申し上げます。

<スターシャトルはSTARCホームページにて概要紹介を行っています。>

## 共同研究 グループ 便り

### 桜井研究グループ

テーマ名 ダイナミックリークを低減するナノサーキットの研究

研究代表者 東京大学国際・産学共同研究センター 教授

桜井 貴康(さくらい たかやす)

#### 研究代表者抱負

小学生で真空管のアマチュア無線機を作って感電し、中学生でトランジスタにしばれて以来、エレクトロニクスは大好きです。今はまだ考えられないような場所やシチュエーションでエレクトロニクスが使われるようになって、人々の暮らしをより安全、安心で豊かにするのに貢献する。そんなユビキタス・エレクトロニクス世代をお手伝いしたいというのが研究代表者の願いです。

例えば、人、家、街角、森や湖に何千何万何億というような集積回路が使われるようになると、それぞれのチップは大変低電力でなければならぬでしょう。そうでなければ、社会の許容消費エネルギーをチップだけで使い切ってしまうからです。これが低電力LSI設計を研究している一つの理由です。

また、もう少し直近の問題としてもチップの低電力化は重要です。消費電力の急増は、ムーアの法則に従って高集積化、高性能化を続ける集積回路にとって頭の痛い問題だからです。別な言い方をすれば、今後のLSI差異化の鍵は低電力化技術が握っているといっても過言ではありません。その一環として、今回のLSIの低リーク化の研究に取り組んでいます。

#### 研究室現況紹介

当研究室は主に低電力LSIシステムを研究しており、高宮真助教授と密接に連携してソフトウェア、システム、デジタル、アナログ、無線ひいては配線、実装や有機トランジスタなどをベースとする大面積エレクトロニクスに



後列左から ダナルドノ(D3)、皆川(M2)、肖(M1)、石田(M1)、鬼塚(D1)、呉(M1)、チャン(D3)、石田研究員

前列左から 益子上級研究員(STARC)、橋口客員研究員主査(SONY)、山本客員研究員(松下)、桜井先生(教授)、野村客員研究員(NEC)、高宮先生(助教授)、稲垣技術職員、右：上田客員研究員(三洋)

至るまで広範な技術をカバーしています。現在、技術職員1名、ポスドク研究員1名、博士課程4名、修士課程6名の学生が在籍していて、皆、LSI設計に強い興味をもっており、卒業後も多くがSTARCのクライアント企業へ就職しています。

研究室の最近の活動についてはホームページ(<http://lowpower.iis.u-tokyo.ac.jp>)を参照ください。

#### 共同研究テーマ内容と状況

今回の共同研究は動作時においてもリーク電流が支配的となるような環境下でリーク電力を低減することを目指しています。第一の研究項目は、新型のパワーゲーティングの研究です。オフのトランジスタがスタックされるような構造をとることによりリーク電流を低減することに着目し、Zigzagパワーゲーティング方式を提案、回路試作を通してリーク電流を2桁削減できることを実証しました。この方法では

スタンバイからの復帰時間が早く、こまめにスタンバイ状態と動作状態を切り替えることでより低リーク化が可能です。

第二は、メモリブロック、とくにSRAMの低リーク化です。非アクセス時には電源電圧を低下させておき、アクセス時のみ必要なロウ単位で電源電圧を上げることによりリーク電流を低減させるというRow-by-Row Dynamic VDD手法を提案し、16KビットのSRAMチップ試作を通して効果を実証しました。本研究成果は2005年のVLSI回路シンポジウムで発表され高い評価を得ました。

第三に、より効果的なVDDホッピング技術に関するものです。電源線をごく短時間グラウンドとショートさせる方法を提案し、ナノ秒でのVDDホッピングを実現しました。これできめ細かい電源電圧ホッピングが可能になります。この発表はアジア固体回路会議(A-SSCC)において注目論文の一つに取り上げられました。

## 客員研究員主査からのコメント

ソニー株式会社 半導体事業グループ  
システムLSI事業本部 先端LSI設計開発部門

橋口 昭彦

DSM (Deep Sub-Micron) 世代の課題に、消費電力の増大が訴えられるようになって久しくなります。この問題は、携帯機器においては連続使用時間の減少という課題として認識されてきていましたが、90nm以降のデバイスでは、セットトップボックス等、据置型機器の発熱の問題としても顕著となり、先端プロセスを使用する装置全般に及ぶ問題となっています。

速度向上のトレンドを維持しようとすると、プロセス世代が進むに従い、トランジスタのリーク電流が指数関数的に増大して活性化電流を上回るようになります。このため、リーク電流を削減することが消費電力削減の重要課題となっています。

さらに上記デバイスのトレンドに加え、搭載ゲート可能容量が向上し、その有効利用のため内蔵されるメモリの比率が増加していくことが予測されています。このため、論理ゲートの消費電力だけでなく、メモリの低消費電力化、低リーク化が、先端LSIの消費電力削減に大きく寄与します。

このような問題を解決するには、デバイス技術開発だけでなく、設計、アーキテクチャ、OS/アプリケーションまで含めた対策を打っていく必要がでてきており、リーク電力削減に向けて、トータルなソリューションを持つことが重要となっています。

上記課題を元に、桜井研究室では、下記のアクティビティを実行しています。

- 1) ダイナミックリーク支配下でのクロックゲーティング代替回路の研究
- 2) メモリのダイナミックリークの低減方式の研究
- 3) VDDホッピング技術によるダイナミックリークの低減
- 4) 遅延スラックを利用したVDD、VTH、サイジングの統括的設計手法

どのテーマも非常に興味深い結果を見いだすことができ、今後の半導体開発の発展に大きく寄与することを期待しています。

## 産学協同に関して

今回は益子上級研究員をはじめ4社より客員研究員にご参加いただき、ほぼ3ヶ月に一度の研究ミーティングで深い議論をさせていただいています。示唆に富んだコメントによって研究を正しい方向へ向けることができましたし、学生にとっても第一線で活躍する企業の研究者と議論できる場は大変有用でした。

最後は低リークFPGAの研究で、低電圧バス、高速・高マージンレベルシフト、Zigzag化されたルックアップテーブル、高速周波数・電圧ホッピングなどを総合して、その成果は論文や特許の形でまとめられています。

以上の研究成果はISSCC 1件、VLSI回路シンポジウム 2件、CICC 1件、A-SSCC 2件、ESSCIRC 1件等、世界の主要な回路関連で発表され高く評価されました。また、2件の特許を出願しています。

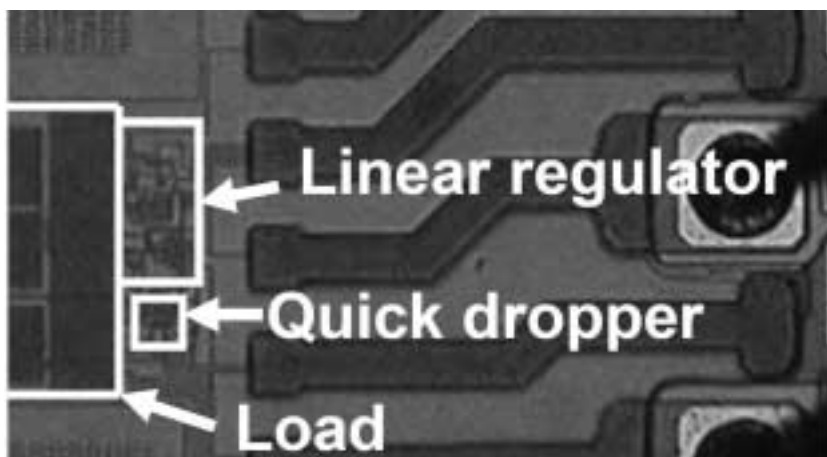


図1：高速VDDホッピング回路

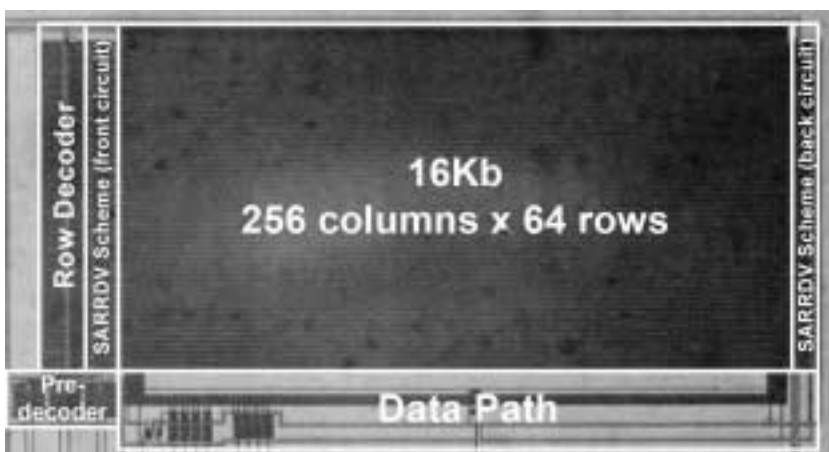


図2：低リークSRAM

## 共同研究 グループ 便り

### 藤田研究グループ

テーマ名 システムレベル仕様・設計検証技術に関する研究

研究代表者 東京大学大学院 工学系研究科電子工学専攻 教授

藤田 昌宏(ふじた まさひろ)

#### 研究室の紹介

藤田研究室は、東京大学大学院工学系研究科電子工学専攻に属しており、大規模集積システム設計教育研究センター(VDEC)と密接に協力をしながら研究・教育を推進しています。研究代表者は、2000年3月に米国富士通研究所から東京大学に着任して以来、大規模化を続ける集積システムの設計危機を回避するために、主にレジスタ・トランスファ・レベル以上の設計を対象とした設計支援技術の研究に取り組んできています。主な研究テーマとしては、設計の形式的検証/デバッグ技術、SW/HW協調設計技術、UMLを用いた上位設計手法、などであり、2003年度からは「システムレベル仕様・設計検証技術に関する研究」というテーマでSTARCとの共同研究を実施しています。

現在、研究室には、藤田教授、小松助手の2教員と、ニューヨーク市立大学ハンターカレッジからのShankar客員教授、ポスドク研究員2名、教務補佐員1名、事務補佐員2名、博士課程学生4名、修士課程学生4名、学部学生4名、合計20名が在籍しており、比較的小規模ではありますが、皆一丸となって研究に取り組んでいます。そのうち、STARCとの共同研究には、ポスドク研究員1名、博士課程学生2名、修士課程学生2名、学部学生2名が参加しています。教員、大学院学生のほぼ全員が、アメリカのEDA企業において短～中期の研究・開発の経験があり、現在実施中の共同研究においてもツール開発に大きく役立っています。

#### 研究テーマの概要と現状

STARCとの共同研究では、主にシ



前列左から 黒川客員研究員(松下)、平田上級研究員(STARC)、小松助手、藤田先生、河野客員研究員主査(東芝)、山田客員研究員(シャープ)  
後列左から 松本(D1)、高(B4)、佐々木(M2)、瀬戸(ポスドク)、安藤(B4)、西原(M1)、Sakunkonchak Thanyapat(ポスドク)、田中客員研究員(ローム)

ステムレベル設計に対する形式的検証に取り組んでいます。形式的検証は、シミュレーションで発見することが難しいコーナーケースのバグを発見するための有効な手段です。私たちは、形式的検証をシステムレベル設計に適用することによって、より早期に、より多くのバグを発見できるようにすることを目的としています。

これまで、私たちは2つの検証手法、同期検証と等価性検証を提案してきました。システムレベル設計では、通常、図1に示すように、人手、もしくは、対話的なツールによる設計詳細化が繰り返行われます。そのため、私たちが提案するような形式的検証を設計中の重要なポイントで適用することによって、シミュレーションでは発見することが困難な設計誤りを効率的に発見できると考えています。

現在、高位設計に対する形式的検証に関しては、数多くの研究が行われており、実際にソフトウェアとして使用可能なものもいくつかあります。しかし、大きな設計が検証できるほど十分に効率的なものはほとんどなく、また、多くの検証ツールで、設計者自身で状

態遷移表現などの検証モデルを用意する必要があるのが現状です。そこで、この研究では、システムレベル設計で多く用いられるCベース言語を直接入力できること、大規模な設計に対しても適用可能な効率的な検証手法であること、に重点を置いて研究を進めてきました。

同期検証ではSpecC言語設計中の同期が正しく設計されているかを検証します。同期に関するバグは、デッドロックのように、システムにとって重大な不具合を引き起こす場合が多く、形式的手法で網羅的に検証することが望まれます。基本的なアイデアは、各ステートメントが実行される順序関係を等式・不等式で表し、線形計画法でデッドロックの有無など、設計者が指定するプロパティを検証します。しかし、生成される式の数が設計規模に対して指数的に増加するため、そのままでは大規模な設計には適用できません。そこで、同期に関するステートメント(Wait, Notify)だけを残すような抽象化を行い、検証の効率を高めています。

一方、等価性検証では、Cベース言語で記述された設計の入出力の等価性

を検証します。システムレベル設計では、機能の等価性を保ったまま最適化や詳細化を行う場合が多く、等価性を保証しながら設計を進める必要があります。提案する手法では、ワードレベルの記号シミュレーションによって、2つの設計記述間の等価性を検証します。ビットレベルではなく、ワードレベルで検証を行うことによって、非常に効率的に検証を行うことができます。さらに、記述間の差異を利用することによって、記号シミュレーション範囲を小さくする効率化も採り入れています。

これらの2つの検証手法は、すでに、プロトタイプが実装済みで、研究員の方々から提供していただいた、いくつかの例題に対して実験を行い、検証が可能であることを示しています。例えば、Point-to-Pointプロトコル、MPEGデコーダの同期検証や逆離散コサイン変換の等価性検証に成功しています。

さらに、残された研究期間で、より多くの実例題を用いて検証し、検証手法を改善していくことをはじめとして、検証によってバグがあることが分かった場合に、バグの位置を特定する手法やデバッグ支援手法に関する研究も併せて進めています。

## 研究代表者抱負

STARCとの共同研究により、システムレベルにおける設計検証について、同期検証、等価性検証ともいくつかの要素技術を確立できたと考えております。共同研究という枠組での研究活動ということで、学生にとっても、基礎的な研究だけでなく、産業界からの要求など、広い視野に立ちながら研究を進めることができ、非常に有意義でした。今後、そのような学生を、即戦力として産業界に還元することができるよう、指導を継続していきたいと考えています。

本共同研究には、STARC側から4名の客員研究員に参加していただいております。企業側からのニーズという面から考えても、非常に重要な研究テーマであると認識しております。また、客員研究員の方々から数々のアドバイスをいただき、さらに、実際の設計現場で利用されている例題の提供をしていただき、現実的な設計フローに適用可能なレベルに近づけることができました。最後になりますが、STARCの平田上級研究員、河野客員研究員(主査)、田中客員研究員、山田客員研究員、黒川客員研究員の各氏に深く感謝いたします。

## 客員研究員主査からのコメント

株式会社 東芝 セミコンダクター社

### 河野 和義

システムレベルでのシミュレーション環境、高位合成ツール等の整備に伴い、設計レベルが徐々にシステムレベルへと移行しつつあります。これに呼応して、今後システムレベルでの検証がますます重要になってきます。藤田研究グループでは、2つの検証手法、同期検証と等価性検証、を用いて効率的にシステムレベルの検証を行うことを目的に研究を進めています。

逐次的な処理の一部を並列に実行させるといったような変更は設計の過程で頻繁に行われます。同期検証では、並列化に伴う同期が正しく設計されているかを形式的に検証します。同期に関する設計誤りはデッドロック等システムにとって重大な不具合を引き起こす場合が多く、同期検証に関する研究は非常に重要です。一方、設計の過程では、機能を等価に保ったまま実装を変更する、といったこともよく行われます。典型的な例として、高位合成で質の良いRTL記述が生成されるように動作記述を変更する、というケースが考えられます。このような場合、変更前後で機能が等価であることを検証することが必要です。藤田研究グループでは記号シミュレーションによって変更前後の記述の機能の等価性の検証を行うことを研究しています。

藤田研究グループでのこれらの研究成果が、今後のシステムLSIの開発現場において設計期間の短縮に多大な貢献をすることを期待しています。最後に藤田研究グループの学生の方々に一言。皆さんとは2年以上に渡って共同研究を行ってきました。ミーティングを行うごとに、皆さんが成長していく様子を目の当たりにしました。今後の大学および企業でのご活躍を期待しています。

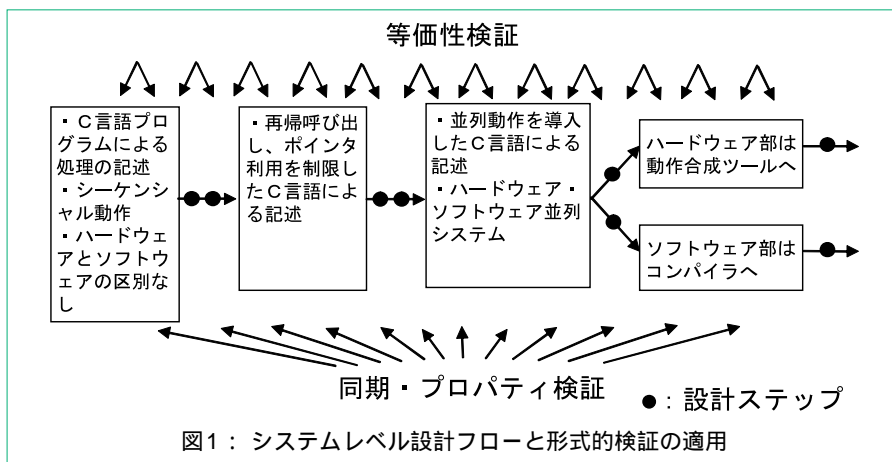


図1: システムレベル設計フローと形式的検証の適用

## 共同研究 グループ 便り

### 森研究グループ

テーマ名 ゲート長10nm世代を見据えた量子輸送シミュレータの開発

研究代表者 大阪大学 大学院 工学研究科 電子工学専攻 助教授

森 伸也 (もり しんや)

#### はじめに

10年ほど前にイギリスのノッティンガムに住んでいたことがあります。ノッティンガムは地理的にイングランドの中央に位置しています。列車に乗ると、ロンドンのセントパンクロス駅から2時間ほどでノッティンガム駅に着きます。ノッティンガム駅から北東へ、小さな丘を登っていくと、大きな風車があります。グリーン関数で有名なグリーン<sup>①</sup>が働いていた風車です。グリーンがグリーン関数に関する著書を自費出版したのが1828年であり、それから180年近く経った今日でも、グリーン関数はさまざまな場面で使われ続けています。シュレディンガー方程式に対するグリーン関数を用いることで、トランジスタのソースから注入された電子がドレインへと流れていく様子をシミュレートすることができます。

本研究では、グリーン関数を用いて、ゲート長10nmクラスのシリコンMOS型デバイス用のシミュレータを作成しています。研究グループは、大阪大学側のメンバーが、森 伸也 (研究代表者) 竹田 裕 (PD) 岡本 真輝 (M2) 三成 英樹 (M1) であり、STARC側のメンバーが、平田 雅規 上級研究員、岡 秀樹 客員研究員主査 (富士通研) 石川 清志 客員研究員 (ルネサス) 山本 豊二 客員研究員 (NEC) です。

#### STARCテーマ内容

半導体デバイスの微細化は年々進み、このままのペースで進むと、10年以内にゲート長は10nmを切ると予想されています。微細化が予定通りに進み、それに伴いデバイスの性能が向上すると、半導体集積回路の大幅な性能



前列左より 森先生、平田上級研究員 (STARC)

後列左より 三成 (M1)、岡本 (M2)、石川客員研究員 (ルネサス)、岡客員研究員主査 (富士通)



竹田 (ポスドク)



山本客員研究員 (NEC)

向上が達成できるはずですが、しかし、そのような微小な領域において、単純なデバイスサイズの縮小だけでは、これまでのような性能向上は図れないとも考えられています。性能向上を得るためには、どのような方針でアプローチするのが最善かを明らかにする必要があります。

我々は、極微細デバイス開発の指針をシミュレーションから探っています。デバイスのサイズがナノメートルスケールになると、量子力学的な効果がデバイス特性に大きな影響を及ぼします。例えば、ゲートトンネル電流だけでなく、ソースからドレインへと、ゲート直下のポテンシャル障壁を直接トンネルする電流成分が現れます。また、位置と運動量の不確定性のため、シリコン/酸化膜界面から離れた位置に電子が分布するようになります。さ

らに、電子波の干渉のため、デバイス特性が不純物配置に敏感に反応するようになります。

量子力学的な効果を考慮することができるシミュレータとして、本研究では、非平衡グリーン関数法に基づくデバイスシミュレータの開発を行っています。量子輸送デバイスシミュレーションの重要性が広く認識されるようになった現在、多くの研究機関で、さまざまな量子輸送モデルを用いてシミュレータの開発が進められています。非平衡グリーン関数法を用いているグループだけでも、パデュー大学のグループや神戸大学のグループをはじめとして多数あります。そのような中で、本研究では、現実的なデバイス構造への対応と物理モデルの精密化という点を中心にして研究を進めています。

(株)富士通研究所 基盤技術研究所

岡 秀樹

MOSFETの微細化はすでにゲート長が10nmを切る所まで達しており、まさにナノ領域の世界に入っている。従来、MOSFETのシミュレーションは永らく古典的なドリフト拡散モデルに基礎を置くTCADで行われていた。その間、エネルギー、運動量緩和近似を用いたオーバーシュート効果を取り入れた定式化も提案されてきたが、デバイス設計で用いられることなく、ドリフト拡散モデルが主流であった。一方で、物性物理サイドでは多体問題へのグリーン関数を用いた場の量子論の応用が広がってきており、それをデバイスのキャリア輸送に適用しようとする試みは提案されつつあった。筆者もかれこれ20数年前にグリーン関数を用いて解く試みをしていて、永らく中断していたが、最近になって米国のPurdue大学やNASAグループがとくに2次元のMOSFETをターゲットにして非平衡グリーン関数を解く試みが急速に進歩し、隔世の感がある。これは計算機の高速化も大きな寄与をしているが、MOSFETのサイズが量子的な振る舞いが現れるサイズになってきたことで、物理サイドの研究者がエンジニアリングに積極的に参加するようになってきたことが原因である。

今回、この分野で先鞭を付けられた大阪大学の浜口先生の研究室から森先生をはじめとして優秀な物理サイドの研究者がエンジニアリングに参加していただいていることは、企業サイドとしては心強いばかりである。

今後、デバイスの微細化とともに量子論を用いた原子レベルの解析が必要不可欠となってきており、物理サイドの研究者からの貢献はますます増えていくことは必至である。この共同研究は2年間という短期間ではあったが、森研究室の頑張りやSTARC、客員研究員のご協力、先の先駆者と対等以上なレベルにまで達することができた。今後はこの手法の啓蒙活動とともに、ユーザの使い勝手を向上し、広くナノMOSの開発に貢献できるように、努力していただきたい。

## 共同研究状況および産学協同に関して日頃感じていること

本研究は平成16年4月より開始しました。それまで、半導体物理、それも主に化合物半導体の強磁場量子輸送現象などを中心に研究を行ってきましたので、STARCの共同研究において、企業の研究者の方々と定期的な打ち合わせができるようになったことに非常に感謝しています。学生にとっても大変良い経験になっています。あと数ヶ月で研究期間が終了しますが、それまでに、作成したシミュレータをできるだけ使い易い形にまとめる作業を行いたいと考えています。

近年、法人化に伴い、我々の研究環境も大きく変わってきました。工学部の教員としてこれまで以上に産業界への貢献を求められています。共同研究を行うかぎり、研究期間という時間スケールで研究成果をあげることが必須だと思います。その一方で、長期的な視点で、日本の半導体技術を支える人

材の教育を怠ってはいけないはずで、その意味で、学生の育成にも理解の深いSTARCの存在は大変ありがたいと日頃から感じています。

## おわりに

一昨年の10月にノッティンガム大学物理学科の研究室で微細MOSトランジスタに関するセミナーをしました。ゲート長5nmのトランジスタが実際に動作していることなどを話したところ、「True Nanotechnology」とかいつて、大変喜んでもらえました。デバイスの微細化には解決しなければならない問題も多くあると思います。しかし、一方で、多くの学生・研究者にとって十分に魅力的なテーマであるとも思います。この面白さを一人でも多くの学生と共有できればと思っています。

1) グリーンの著書をはじめとするグリーンに関する資料がノッティンガム大学のウェブページにまとめられています。  
<http://www.nottingham.ac.uk/physics/gg/>

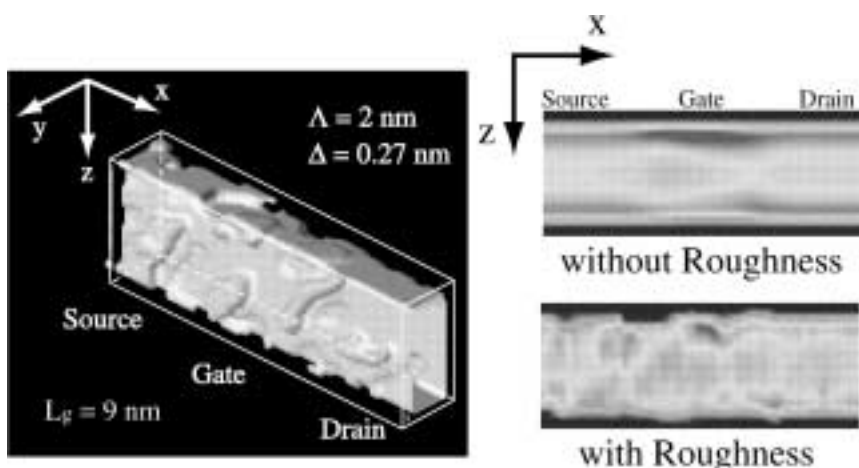


図1 ゲート長9nmのFinFETに対する3次元シミュレーション結果の例  
 界面ラフネスの分布とその電流密度分布への影響

# 標準テストインタフェース言語『STIL』活用の 取り組みの紹介と、その標準化動向について

開発第1部テスト設計開発室

## 1. はじめに

設計とテストのインタフェースを考える場合、テスト実行を司るための情報、つまりテストパターンとそれを制御するテストプログラムが重要な役割を持っています。これまで、これら情報は、各EDAツールやテスト装置、半導体メーカーごとにさまざまな規格を持っていました。このテストパターンの記述言語のみならずテスト設計とテスターのインタフェースであるテスター制御のテストプログラム言語が今IEEE標準規格の『STIL』(スタイルと呼ぶ)に統一されようとしています。関連業界も『STIL』を採用しサポートしていく機運にあり、『STIL』をインタフェースとする標準準拠のテスト環境を構築するための外部環境が整ってきました。本特集記事では、『STIL』とその標準化動向、および『STIL』の活用による新しいテスト環境構築とその効果、環境構築へ向けたSTARCの取り組み、などを紹介いたします。

Engineers, Inc.)にて標準化されたテスト記述言語で、8つのサブWG (STIL1450.0~1450.6、1450.AMS)で標準化活動が進められています。現在までに1450.0(テストパターン記述)、1450.2(DCレベル記述)、および1450.1(設計環境記述)、1450.6(コアテスト記述)の4つの標準化が終了し、主に設計関連業務で利用するテスト関連の記述が標準化され、テストパターンまで標準化されています。今後はP1450.3(テスター制約記述)、P1450.4(テストフロー記述)、P1450.5(テストメソッド記述)において主に評価関連業務で利用するテスター制御情報に対する標準化が進み、『STIL』はテストプログラムへと進化していきます。

これまではデジタル主体のテスト言語の標準化でしたが、2005年になって昨今のSoCテストの事情を鑑みて、P1450.AMS(アナログ・ミックスド・シグナル)のWGの組織化がスタート、活動に入ろうとしており、標準化の裾野を広げてきています(図1参照)。

## 2. 『STIL』の標準化動向

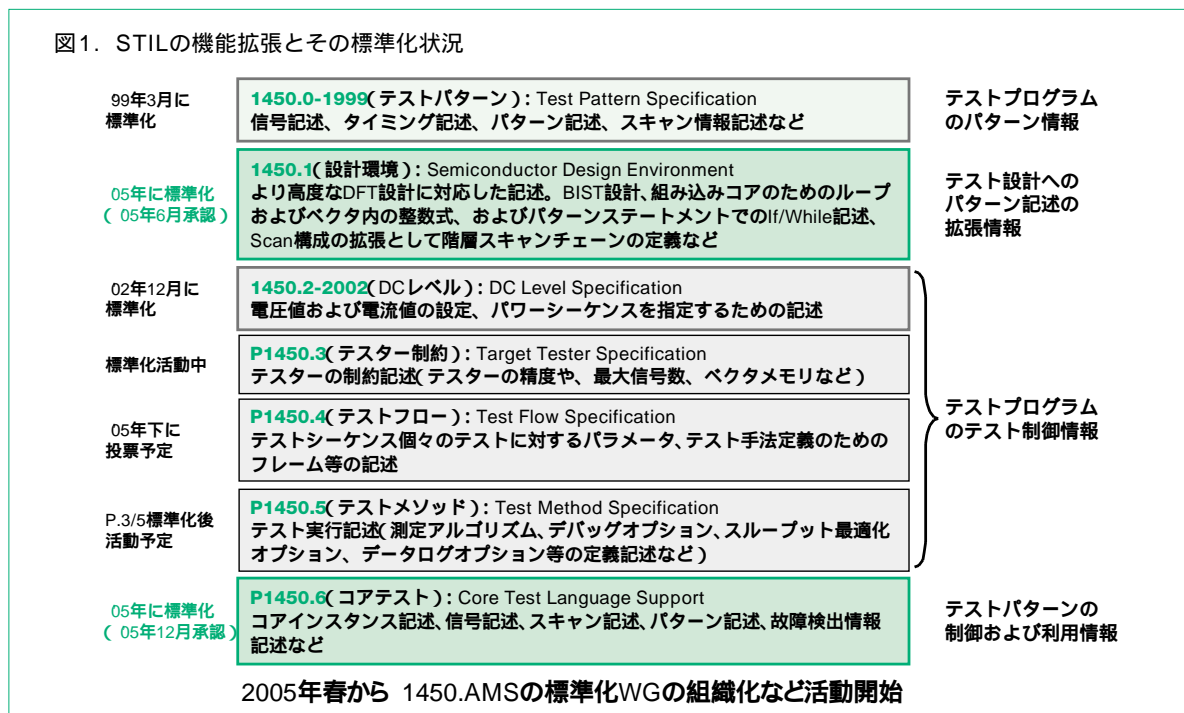
標準テストインタフェース言語として IEEE Std. 1450 STIL (Standard Test Interface Language、スタイルと呼ぶ)が1999年に標準化されています。

『STIL』は、IEEE (Institute of Electrical and Electronics

## 3. 『STIL』標準化の効果と狙い

『STIL』は、標準化されたテスト記述言語で、テストに関わるすべての情報が『STIL』で記述できることになります。これまでは、テストの各情報がさまざまな形態で表現されており、設計サイドとテストサイドの技術者のコミュニケーション

図1. STILの機能拡張とその標準化状況



オンが取りづらかったところも、両者共通の言葉で会話が可能となります。さらにテストに関する情報を『STIL』として集約できることから、情報の伝達面のみならず管理面での効率化も期待できます。また言語自体、経験者で練られて作られたものであり、さまざまな表現形式を持っているため、複雑なテストも容易に表現でき使えるようになります。例えば高位テスターでしかできなかったタイミング表現も容易に記述できるため、従来封印されていたテスター機能の隅々までを使って、以前よりも効率よくテストができるケースも多々みることができま

す。『STIL』標準化の環境ではテスターの種類に依存しない標準のテスト記述言語『STIL』でテスト開発ができるため、工程間のデータ変換や、やり直し作業をなくして効率を大幅に向上させ開発TATの半減化を狙うことができます。

なぜなら、テスト関連のEDAツールやテスターでは共通にSTILデータが使えるためそのまま再利用が可能となるからです。STIL記述の資産（テストパターンやテストプログラム）はツールやテスターに依存せず共通に利用できるグローバルスタンダードなテスト資産となります。各社テスター独自の言語によるローカルユースの開発環境から、『STIL』によるグローバルスタンダードの開発環境への早期移行によるテスト開発効率の改善が製品競争力強化の面から強く求められています。

#### 4. テスト言語統一の背景

これまで幾度かテスト言語統一の動きがありましたがいつの間にか消え、いつしかテストインタフェース言語の統一は夢となってきました。1980年代のゲートアレイに端を発し半

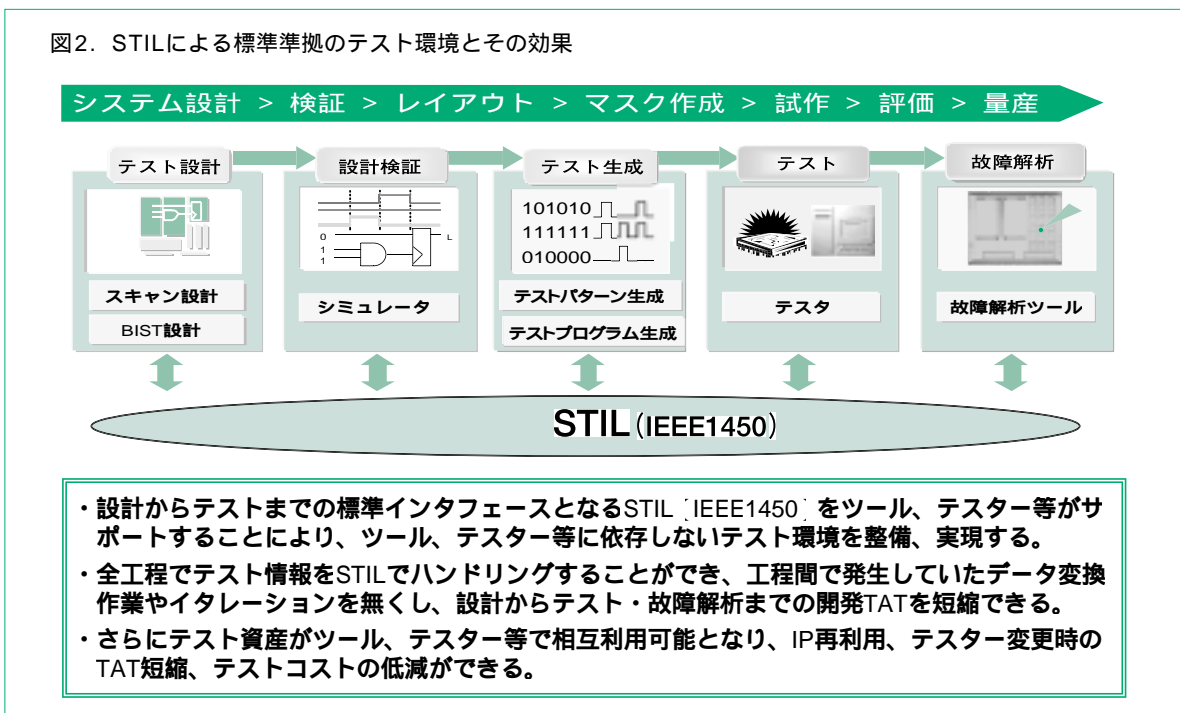
導体メーカーは独自のテストパターン記述言語でASICを中心にビジネスを展開してきましたが四半世紀を経た今、SoCに対応できる自由度の高い記述言語へのリニューアルが求められる時期にきています。EDAベンダーは、半導体メーカー各社のテスター独自言語のサポートから、標準の『STIL』のみをサポートする方針をいち早く打ち出してきました。またテスターメーカーもICテスターからLSIテスターへと独自のテストプログラム言語を展開してきましたがSoCテスターの時代となり、ハードウェアのオープン化と相まってグローバルスタンダードのサポート機運が出てきています。

このような背景の中、テストパターンの記述言語が『STIL』として標準化され、現在もおテスター制御情報を取り込み、テストプログラムを記述できるよう標準化の拡張作業が続けられています。『STIL』でのテスト記述言語の統一と、この『STIL』が利用できる標準準拠のテスト環境が待望されており、STARCはこの環境の実現に向けた『STIL』の普及活動に積極的に取り組んでいます。

#### 5. 『STIL』標準準拠のテスト環境構築

標準のインタフェース言語『STIL』を使えばテスト設計からフィールドテスト、故障解析までの各工程で必要とされるテストに関する情報をやりとりできます。これまでツールやテスターで各社独自の言語でバラバラであったテスト記述言語の標準としてこの『STIL』を採用し、各社共通に利用していくための『STIL』活用の枠組みを作ることにより、ツールやテスターに依存しない標準に準拠したテスト開発の環境が構築できます。図2にこの標準準拠のテスト環境を示

図2. STILによる標準準拠のテスト環境とその効果



します。

標準準拠のテスト環境ではテスト資産をグローバルスタンダードの『STIL』で記述して持つことにより、IPのテストパターンをはじめとするテスト資産のリユースを容易にし、テスト開発期間を短縮、そして増大するテストコストの低減を図ることができます。 独自言語で記述されたローカルコースの既存テスト資産はリユースのために『STIL』に変換する必要があります。 早期『STIL』環境構築により無駄な変換が必要となるローカルコースのテスト資産の増加を食い止め、グローバルスタンダードのテスト資産を増やすことができます。

現状の『STIL』ではコアになるIPのテストパターンをSoCとして利用できるまでテストパターン記述の標準化が終わり、テスター制御情報を取り込みテストプログラムとして機能するよう現在も拡張が続けられています。この拡張により標準準拠のテスト環境では、『STIL』が標準のテストパターン、テストプログラムとしてテスター共通に利用できるようになります。さらに今後テストボード、テスト治具などハードウェアの面でもテスター共通に利用できるようにすること、ツールやテスターの操作面でも可能な限り共通化を図るなど標準化を活用し共通利用を進めることによる効率アップとコストダウンが狙いとなります（図3参照）。

## 6. 『STIL』普及へのSTARCの取り組み

『標準準拠のテスト環境』を構築するためには『STIL』を共通に利用するための枠組みを作り、テスト関連のEDAツールやテスターに『STIL』サポートを働きかけるとともに

『STIL』の普及を推進していく必要があります。このためにSTARCのクライアント各社の委員で構成されるSTILテスト推進委員会を2005年4月に立ち上げて『STIL』を共通に利用していくための枠組みを作り『STIL活用ガイド』としてまとめる活動を開始しました。

またEDAツールベンダーやテスターメーカーへも参画を呼びかけ、2005年7月から一緒に活動を始めています。まとめた『STIL活用ガイド』へ意見をフィードバックしていただき、標準準拠のテスト環境の早期実現を目指しています。

STILテスト推進委員会は、「あすかプロジェクト」のテーマの一部として2005年度にスタートしました。本プロジェクトは2005年度で終了しますが、2006年度から始まるSNCC2プロジェクトでは、本活動をより発展させ、国内外の関連コンソーシアムとも連携を取りながら、EDAツールやテスターへの『STIL』サポートを働きかけによる『STIL』の普及、世界標準となりうる標準準拠のテスト環境の実現を目指します。

標準準拠のテスト環境は『STIL活用ガイド』に沿って『STIL』をサポートするツールやテスターで構成され、『STIL活用ガイド』に沿った『STIL』の利用によってはその効果を発揮します。 関連業界一体となって標準準拠のテスト環境の構築を進め『STIL活用ガイド』に沿った『STIL』の利用を国内のテスト開発の標準として早期定着を図り、その効果を各社で等しく享受できるよう協調して取り組んでいかねばなりません。

## 7. 『STIL活用ガイド』とは

『STIL』は記述の自由度が高い言語体系であるがゆえに表現の曖昧な部分もみられ文法解釈の相違が生じる危険性がある

図3. 標準準拠のテスト環境構築に向けた課題

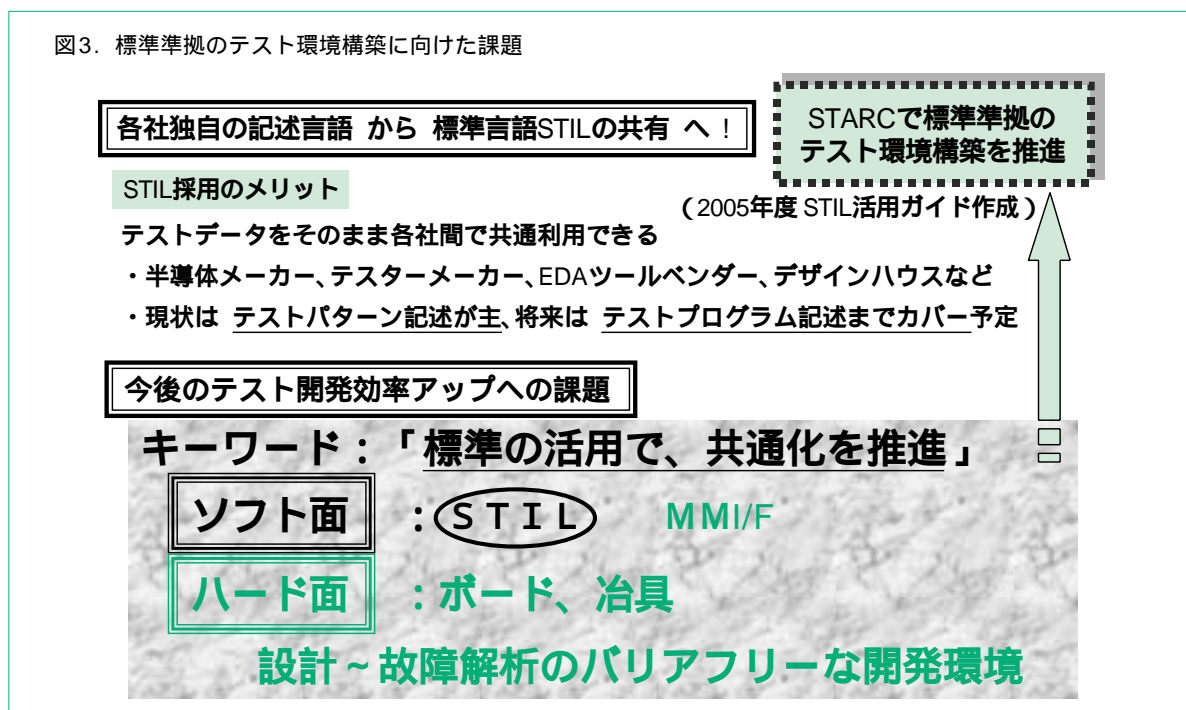
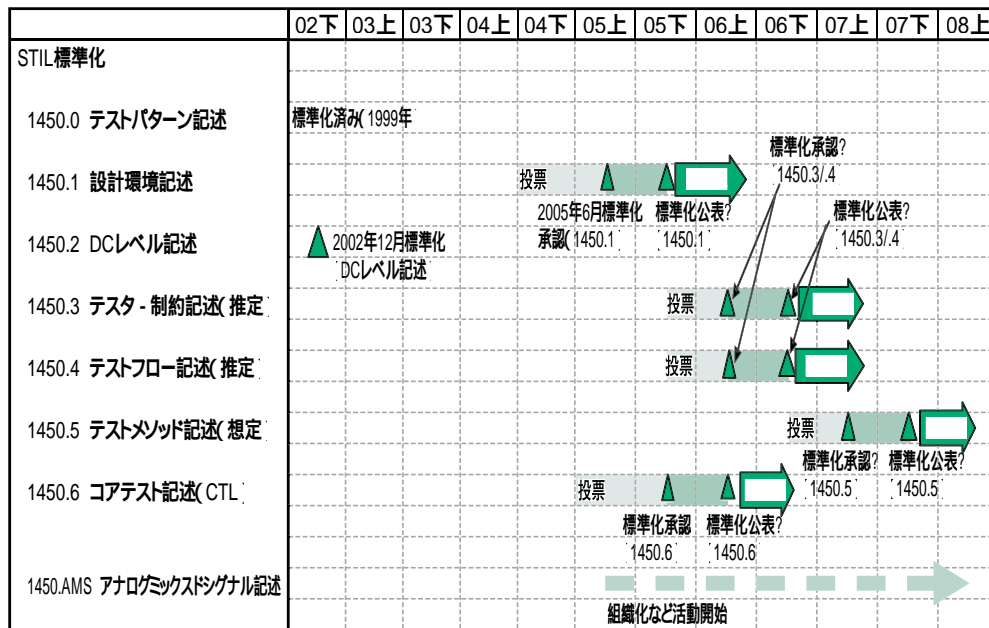


図4. STIL標準化の進行状況（現状と予測の推定、想定）



ります。それが『STIL』の方言を生み、『STIL』の普及・流通を阻害する要因にもなりかねません。これを避け『STIL』を共通に利用していけるようにするためには、言語の解釈を利用者間で共通化する必要があります。『STIL活用ガイド』は、『STIL』に対してその標準的解釈を利用者間で合意しまとめたものです(図4にSTILの標準化状況を示す)。

EDAツールやテスターの『STIL』サポートにフィードバックして『STIL』の共通利用を可能とし普及を促進させる役割を果たすことを期待しています。これにより、共通言語として用いる『STIL』の細部にわたり同じ解釈を『STIL』ユーザー間で共有でき、『STIL』による更なるテスト開発効率の改善が可能になります。『STIL活用ガイド』を、業界全体の共通ガイドラインとして活用されるよう充実化を図り浸透させていく必要があります。

## 8. 『STIL活用ガイド』の狙いとまとめ

『STIL』のメリットを最大限に活用するためには、テスト開発を行うためのインフラで『STIL活用ガイド』に沿ったSTILデータを修正なくそのまま扱えるようにする必要があります。つまり、インフラの部品となるEDAツール、テスター等がみな『STIL』を採用して、『STIL活用ガイド』に沿ってサポートすることで、初めてツールやテスターに依存しない標準に準拠したテスト開発の環境が構築できます。現在、EDAベンダーから提供されているATPG(自動テストパターン生成ツール)では『STIL』が標準でサポートされており、DFTテスターをはじめ、主要テスターでも『STIL』がサポートされてきています。また『STIL』環境を構築する

ためのサポートツールや、『STIL』、論理シミュレータ、そしてテスターの三者間を双方向で変換可能な、サポートシステムも市販されてきています。

従来、半導体メーカー、テスターメーカー、EDAツールベンダーは、各々独自のテスト言語を採用していました。このためテスト設計、設計検証、テスト生成、テスト、故障解析の各ステップでテストデータのフォーマットが異なっていたため、各工程の中で、また工程間においてインタフェースの作成や、言語の習得が必要でした。また、テストデータによってはタイミングやパターンに制約があり、記述が制限され、工程ごとにそれぞれの制約に合わせた手直

図5. STIL活用ガイド



しが必要となるケースもありました。これが後ろの工程で発覚すると工程が後ろになる程、イタレーションによる修正作業（修正作業の繰り返し）が膨らみ、余計な開発期間が掛かってしまう結果となっていました。

『STIL』によるテスト環境では、これまで各ツールや装置、工程ごとに異なっていたテストに関わるすべての情報を、1つの標準言語『STIL』で表現することができるため、テスト装置、ツール間のデータのやりとりや工程間で生じるイタレーションを削減できます。また設計環境とテスト環境でのテストデータが『STIL』となるため、設計とテスト間でのデータの一致も容易に確認できるようになります。『STIL』によるテスト環境の効果を最大限に享受するためにも、業界全体で『STIL』採用を呼びかけ、『STIL活用ガイド』に沿った『STIL』サポートを実現させて標準準拠のテスト環境を構築していく必要があります。

## 9. STILテスト推進委員会活動状況の詳細

STILテスト推進委員会（略称SSTAG：STIL - based Semiconductor Test Action Group）はSTARCクライアントのうち10社の委員で構成された定期委員会と、その推薦に基づき参加を要請したEDAツールベンダーとテスターメーカーの特別会員を加えた拡大委員会で活動しています。2005年3月にSSTAGの活動をキックオフし、定期委員会は4月から活動を始め月1回の委員会活動を実施しています。また拡大委員会は同年7月に第1回目の拡大委員会を実施し、以降3ヶ月おきに開催します。

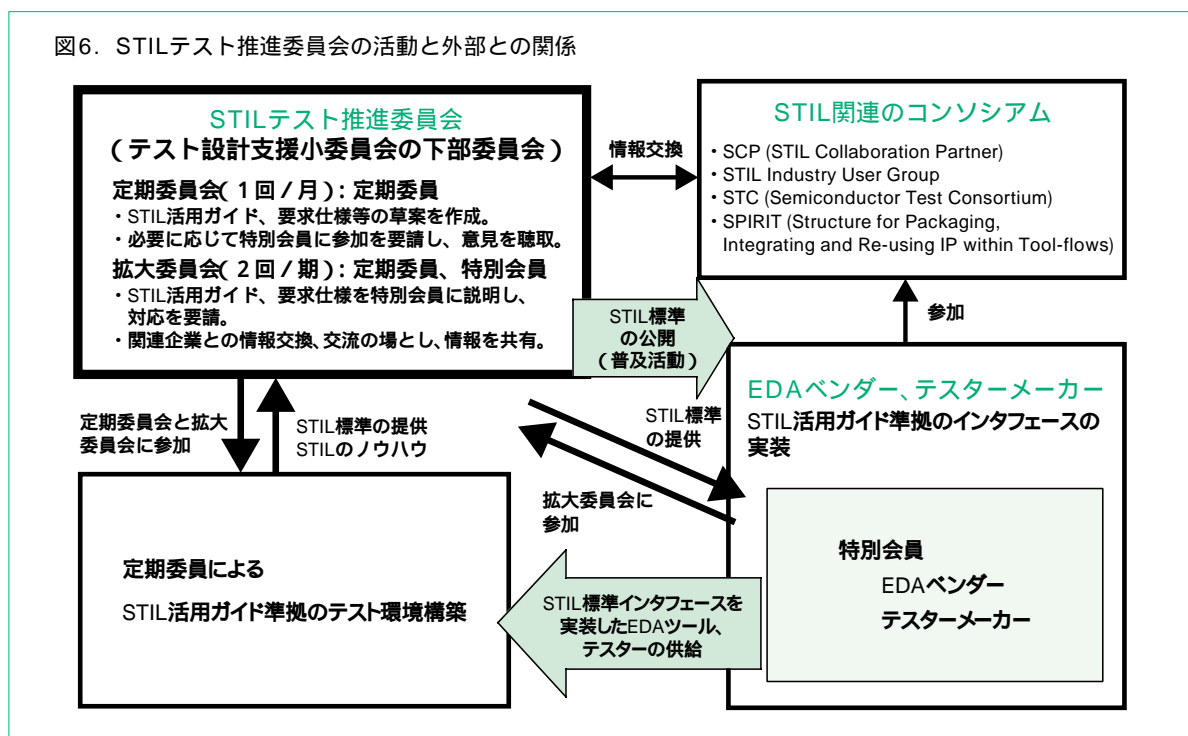
定期委員会は、STARCクライアント各社の要求の整合を取り、『STIL』の標準的解釈を定め、『STIL活用ガイド』案をまとめる役割を担っています。各社のSTIL言語と活用に対する問題点や解釈に対する見解を基に、定期委員会メンバー全社の合意を得られるまで議論を尽くし、全社の合意が取れた成果が『STIL活用ガイド』案としてまとめられています。

一方、拡大委員会は、定期委員会で議論しまとめられた『STIL活用ガイド』が事前に広く業界全体の意見が反映されたものとして一般に開示できるように、特別会員のEDAツールやテスターに照らしながら大局の見地に立って問題点や解釈に対する意見を求める場としての役割を担っています。特別会員は業界の代表的役割を期待しており拡大委員会への積極的な参加をお願いしています。

今回まとめたのはテストパターン記述の基本仕様範囲であるIEEE Std.1450.0-1999と、DCテストスペックに関する拡張仕様範囲であるIEEE Std.1450.2-2002に対する『STIL活用ガイド』案です。一般公開を目標に活動を続けています。また、より高度なDFT設計にも対応できるように拡張されたIEEE Std.1450.1-2005に対する『STIL活用ガイド』の作成にも取り掛かっており、標準化に合わせて活動を継続、発展させていけるよう、「あすか」の活動計画としての検討も進んでいます。

（東芝マイクロエレクトロニクス株）  
 デザインソリューション統括部  
 テスト環境技術開発部 藤井美津男）  
 （開発第1部テスト設計開発室長 佐藤 康夫）

図6. STILテスト推進委員会の活動と外部との関係



## (国際)学会参加報告

# 36<sup>th</sup> ITC(International Test Conference) 参加報告

### 概要

第36回ITCが、米国テキサス州オースティンで11月8日から11月11日にかけて開催された。ITCは、テスト技術に関する最大の国際学会で、139件の論文発表(6パラレル、39セッション)と60社余りの展示からなった。本年度の参加者は約1800名で、昨年約1200名に比べ大幅に増加した。オースティンは州都でありながら閑散とした町だが、会場は熱気に包まれ、立ち席が出るセッションが最終日まで続いた。会期終了後に併設で行われるワークショップもほぼ満員で、私が数回ITCに参加した中で初めての経験であった(ちなみに気温も期間中は30を超え、終了後は急に涼しくなった)。

本年度のテーマは「Survival of the fittest」で、65nmへ向け従来手法では品質的にもコスト的にも成り立たなくなる中、生き残りをかけて、革新的な発表が相次いだ。STARCは、高品質なディレイテストへ向け提案している「統計的ディレイ品質モデル(SDQM)」の発表を行い、EDAベンダーがそのサポートを初日にプレスリリースする等、注目を浴びた。

### 技術動向

基調講演は、PDFソリューションズCEOのJ. Kibarian氏が「The Nature of Yield Ramping: Keeping Ahead of

Evolution」という題して行った。同社はプロセスの歩留向上のサービス会社であるが、システムティック不良により歩留の確保が困難になる中での対応方法を講演した。従来のインラインモニタリングだけでは困難で、製品のテストの総合的な情報や故障解析の情報がますます重要になっていくと主張した。これに応じるように論文発表では、生産テストの故障診断や解析、統計的情報を利用したテスト等のテーマに関するものが多かった。10件以上の論文発表があったテーマは以下の5つあった。

- (1) テストデータ圧縮、BIST
- (2) ディレイテスト、テスト品質
- (3) 故障診断、解析
- (4) テスタ関連
- (5) トランジアント故障、ソフトウェア

とくに(5)は、論理回路でのソフトウェアがナノメータプロセスで問題となるとの認識で、インテルを含む多くの発表やパネルがあった。パネルの聴衆の反応は、論理回路のソフトウェアがメモリ回路と同等、あるいはそれ以上に問題になるとは思っていない人々と、もう現在の問題として深刻に取り組むべきだと考える人々で両分された。

### 詳細内容

1. ディレイテスト関連  
遅延テスト関連の発表(セッション

5、11、47)が盛況であった。STARCからのセッション47「Improving Delay-Test Quality」中での発表、微小遅延を確実にするためのディレイテスト発表(5.1、11.3、47.2、47.3等)が着目される。

#### 2. 欠陥ベーステスト関連

従来のある程度の規格値を出る/出ない式の単純なテストでは品質確保が困難になっている。LSI Logicはレクチャシリーズで3件、およびセッション47.3でIDDQとMinVDDテストを主体にした統計的なテストの詳細を発表があった。多数のチップ測定結果やウェハ内分布等の情報を使い、総合的に欠陥品を判定することで、高い検出能力で歩留まりロスも少ないテストが可能になるとしている。

#### 3. その他

IDDQテストセッションの消滅、Intel等の論理部でのソフトウェアへの具体的取り組み発表(セッション28.3およびセッション40)、故障診断技術やそのためのパターン圧縮技術、裏面FIB手法(セッション48.2)、非接触ウェハプロービング(セッション18.3)等、革新的技術の発表が相次いだ。

### STARCの発表

セッション47で「Invisible Delay Quality: SDQM Lights Up What Could Not Be Seen」と題して発表した。図1は我々の提案している統計的ディレイ品質評価モデル(SDQM: Statistical Delay Quality Model)の概念を示す。システムLSIの各ノードにおいて、ディレイ欠陥はその大きさを

パラメータとする発生確率分布を持つことが知られている。従来のディレイテストの後では、比較的大きなディレイ欠陥は除去されるが、微細な欠陥は残留することが多い。また小さすぎる欠陥は実動作に影響を及ぼさないため、図に示すよう



に各ノードにおいて、中間の大きさの微小欠陥が除去されず品質に影響を及ぼすことになる。この残存確率をきちんと求めて、品質の高精度な測定評価を行い、コストパフォーマンスの高いテストが可能となる。

### おわりに

ITC2006は10月24日から27日に米国カリフォルニア州サンタクララで開催される。伝統的に東海岸で開催されて

きたITCが、初めて西海岸で開催されるということで、多数の参加が期待され、またさまざまな新しい企画も検討されていると聞く。企業レベルの実用的な発表から最先端研究の発表まで、世界のテスト技術者が注目している。

(開発第1部  
テスト設計開発室長  
佐藤康夫)

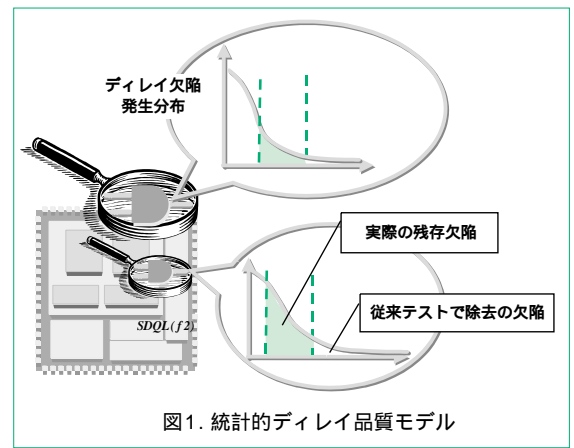


図1. 統計的ディレイ品質モデル

## (国内)学会参加報告 第9回システムLSIワークショップ 参加報告

第9回システムLSIワークショップが11月28日より30日まで、北九州国際会議場にて開催された。参加人数は290人で、昨年(約300人)よりやや減少した。主催は電子情報通信学会集積回路研究専門委員会(ICD)で、STARCは協力を行っている。今年は「微細化限界を突破するシステムLSI技術」をテーマとして、微細化が限界に近づきつつある現状を打破するための設計技術、回路技術、製造技術について多岐にわたる講演、パネル討論があった。

基調講演はMIRAIプロジェクトの廣瀬全孝教授が「物理限界に迫るCMOS微細化 - 技術突破への展望 - 」と題して、MIRAIプロジェクトの成果を報告した。微細化の限界を突破するために、High-kゲートスタック技術やUltra Low-kポーラスシリカ技術などの新材料とひずみSiMOSFETなどの新構造デバイスが着実に進展している。

特別招待講演では石内秀美氏(東芝: JEITA半導体技術ロードマップ委員会)が「国際半導体技術ロードマップ(ITRS)と半導体集積回路の技術動向」と題して、将来動向を解説した。微細化の限界に近づきつつあり、2004年以降は、テクノロジー・サイクル(デザインルールが0.7倍になる期間)は従来の2年から3年サイクルへ

と長くなっている。学会発表レベルでは5nmのトランジスタが動作しており、今後も10年くらいは微細化が進むとみられる。ただし、20nm以降は電流が微細化の割りに大きくなり、新材料・新構造が必要である述べた。

招待講演では、高木信一教授(東京大学)は「微細化限界をデバイステクノロジーで突破すると」という題目で、高移動度チャネルトランジスタ技術について紹介した。ひずみSiデバイスやSiGe系デバイスによりトランジスタ性能は向上が可能であると力説した。小野寺秀俊教授(京都大学)は、「微細化限界を回路テクノロジーで突破する」と題して、配線遅延による信号伝送の限界をWave Pipeliningなど回路技術で突破する方法や、ばらつきをモデル化して回路的に克服する方法などを提案した。安浦寛人教授(九州大学)は「微細化限界をシステムテクノロジーで突破する」という題目で、システムレベルの低消費電力化や設計・製造コストの増大に対する対応としてソフトウェア化と再構成HWについて講演した。最後に、微細化は手段であり目的ではない、微細化限界を突破できなくても産業的に成功すればよい、微細化の呪縛から脱却して半導体産業の質的な転換が必要であると力説した。

ポスターセッションは23件の発表があり、優秀ポスター賞は「モバイル応用H.264コーデックLSI向け低消費電力動き検出アルゴリズム」(金沢大学: 濱本純一ほか)、IEEEシステムLSI賞は「195Gb/s 1.2W三次元積層チップ間誘導結合インタフェース」(慶應義塾大学: 三浦典之ほか)、IEEE奨励賞



優秀ポスター賞(濱本真生 神戸大学)



IEEEシステムLSI賞(三浦典之 慶應義塾大学)



IEEE奨励賞(上野憲一 北海道大学)

は「広範囲な活性化エネルギーに対応したCMOS品質劣化モニタ」(北海道大学：上野憲一ほか)がそれぞれ受賞した。金沢大学の吉本先生グループはSTARC共同研究の成果によるものである。

STARC企画セッションはDFMにフォーカスして4件の講演を企画した。大嶋洋一教授(東京工業大学・特許庁)は「知的財産戦略からみたDFM」と題して、DFMは知的財産の面からみて有望な領域であると述べた。ただし、秘密管理性と非公知性については注意が必要であると付け加えた。小林和淑助教授(京都大学)は「トランジスタの特性ばらつきを利用する再構成デバイス」の題名で、製造後にばらつきを測定し、ばらつきデータを用いて再配置し歩留まり向上する手法で、3~4%の速度向上が得られたと報告した。森

山誠二郎氏(PDF Solutions)は「SOCのためのファンクショナルおよびパラメトリックな歩留まりを考慮したDFM設計の課題」というタイトルで歩留まり向上の施策について紹介があった。大川眞一氏(ルネサステクノロジー)は「DMAによるチップ内素子ばらつき分析とLSI設計の課題」について講演し、ばらつき評価のためのTEG設計が重要であり、またウェハ全体で1000万個に達する評価パターンを高速に計測するシステムと大量のデータを効率よく分析する手法も重要であると述べ、トータルシステム(DMAシステム)の紹介があった。90nm以降はデバイスばらつきの制限から電源電圧の低減は困難で、電源電圧一定を前提条件とした設計が必要になると提言した。

イブニングパネル討論は「微細化限界は突破できるか?その課題と解決策

を探る」をテーマに司会は松澤昭教授(東京工業大学)パネリストは高木信一教授(東京大学)益一哉教授(東京工業大学)石橋孝一郎氏(ルネサステクノロジー)水野正之氏(NEC)山口聖司氏(松下電器産業)古山透氏(東芝)で、90nm以降、微細化が限界に近づきつつある中、その課題と対策が討論された。まず課題が重要な順に整理され、1.消費電力(リーク電流)、2.特性ばらつき、3.トランジスタ性能の飽和などが挙げられた。性能や機能の向上を微細化に頼らない方法として、SiP技術や3D実装技術、MEMS応用などがあげられ、21:30過ぎまで活発な討論が繰り広げられた。

今回は第10回となる記念大会で2006年11月27日から29日まで、同じく北九州国際会議場にて開催される予定である。(平田雅規)

## (国際)学会参加報告

# 第1回 A-SSCC 2005

## (Asian Solid-State Circuits Conference)

### はじめに

LSI回路技術に関する国際学会「IEEE Asian Solid-State Circuits Conference(A-SSCC)2005」が2005年11月1日~3日に台湾・新竹で開催された。IEEE Solid State Circuits Societyがスポンサーとなる、ISSCC、CICC、VLSI Symposiumに続く4番目の国際会議で前身はAP-ASICである。A-SSCCは今回が初開催であるが、半導体のオリンピックとも称される「International Solid-State Circuit Conference(ISSCC)」のアジア版と位置付けられている。参加者は309人で台湾60%、日本20%、韓国17%であった。今回のテーマは「Digital Consumer Age for Asia」である。

### 投稿件数

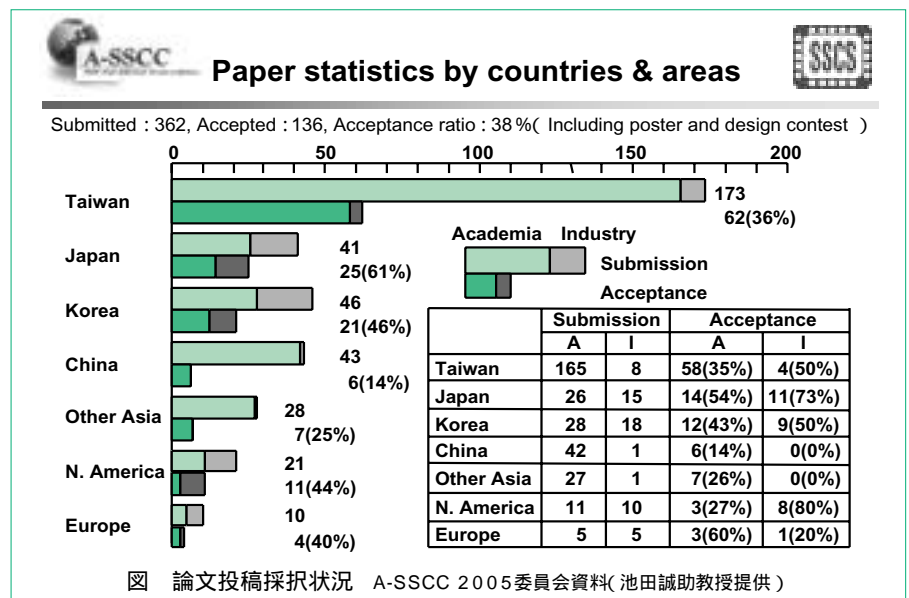
A-SSCC 2005の特筆事項は、台湾の

大学からの投稿が多い点である。全投稿件数の46%に当たる165件が台湾の大学からの投稿であった。採択率は35%と必ずしも高くはないが、LSI設計に注力する台湾の取り組みが窺える。日本からの全投稿件数は41件で、

採択率61%であった。このうち大学など企業以外の研究機関からの投稿は26件であった。

### 発表論文

A-SSCC 2005の論文発表件数は合計136件であった。全投稿件数は362件で、採択率は38%と、かなり狭き門であった。ポスター発表などを除いた口頭発表件数は76件で、口頭発表に対する投稿件数は332件であり、採択率は23%



とさらに低くなる。

全体の発表件数を地域別で見ると、台湾が62件で首位、2位の日本(25件)や、3位の韓国(21件)を大きく引き離している。「台湾は2000年ころから国策として集積回路の研究開発を強化しており、国立大学にシステムLSI関連で240もの教職ポストを新設し(Si-Softプロジェクト)これの効果が現れた」(東京大学の桜井貴康教授)とのことである。

### 基調講演

基調講演は台湾、日本、韓国からそれぞれ、産業界や学会の著名人が行った。11月1日は台湾のTaiwan



桜井貴康プログラム委員長(東京大学)

Semiconductor Manufacturing Co., Ltd.(TSMC)のSenior VP of R&DであるShang-yi Chiang氏と、東京大学の坂村健教授が登壇した。Chiang氏の講演タイトルは「Design and Technology Collaboration」で、設計ルールの微細化が進み、LSIの開発の難易度が高まっており、IPの活用やDFM(design for manufacturability)、サイバershuttleといった取り組みがますます重要になると述べた。坂村健教授は「T-Engine」と題して、ユービキタス時代のオープン・プラットフォームについて講演した。T-EngineはリアルタイムT-Kernelとネットワーク機能から構成され、ユービキタス・コンピューテ



坂村健教授(東京大学)

ィングのインフラとなるものである。T-Engineを活用した近未来社会をビデオ映像などを用いて興味深く紹介した。11月2日には、韓国Samsung Electronics社、Fellow & SVPのKinam Kim氏が登壇した。講演タイトルは「Memory Technologies for Mobile Era」で、携帯機器の進化とそれに伴うメモリのあり方について、SRAMやDRAM、フラッシュ・メモリを取り上げながら講演した。

### 注目論文

A-SSCCプログラム委員会は、今回の注目論文として3件を挙げた。Tsinghua大学(中国)が発表したカプセル内視鏡向けICは、無線送受信部のアナログ回路と制御部や撮像素子のインタフェース、ベースバンド回路、発光ダイオードやアクチュエータのドライバといったデジタル回路を集積した。National Taiwan大学(台湾)が発表した無線用のアンプICは、使用できる周波数帯域が100MHz~25.5GHzと広い。静岡大学が発表したCMOS撮像素子は、ダイナミック・レンジが141.8dBと世界最高水準である。(平田雅規)

## (国際)学会参加報告

# IEDM(International Electron Device Meeting) 2005

### 1. はじめに

12月5日から7日の3日間にわたり、米国・ワシントンDCでIEDM 2005が開催された。参加者は、約1800人。投稿論文数は670件以上で、採択された論文数は243件(レートニュースを除き)であった。採択率は約36%となる。参加者数は約1800人と、昨年の50回記念大会の2000人に比べると若干は減少したが、ほぼ例年並みであった。

IEDMでのメインフォーカスは、ロードマップに乗ったCMOSの微細化・高性能化技術であると考えられるが、

ここ数年の傾向として、オフロードマップ技術および新商品分野技術への十分な配慮が感じられた。また、今回のIEDMでは、韓国、台湾、シンガポールといったアジア諸国の大学が、これまで以上に、その発表件数を伸ばしていた。

以下、学会での論文発表件数推移、および学会トピックに関し報告する。

### 2. 論文発表件数推移

図1に、1996年よりの国・地域別の論文発表件数推移を示す。日本からの発表は1996年の88件から昨年まで、ほ

ぼ単調に減少し、昨年は50件をきっていたが、今年は56件と若干回復。米国は、今年は85件。ここ10年間で若干減少傾向はあるが、80件~100件と高い水準を維持している。韓国、台湾を代表とするアジア諸国、欧州からの発表は、ともに約50件と昨年とほぼ同じ件数であった。国別としては、3位に韓国が位置しているが、三星からの発表が昨年に比べ減少し、韓国からの発表は20件となっている。

図2に企業論文発表件数の国・地域別推移を、図3に大学論文発表件数の国・地域別推移を示す。企業の発表件数でみると、米国も、日本と同じく、97年以降減少傾向を示している。しかし、大学よりの発表が毎年40件程度と安定しており、国としてのレベルを高く維持していることがわかる。アジア

に関しては2000年以降の企業発表の伸びに加え、ここ数年は大学よりの発表も顕著に増加していることがわかる。一方欧州では大学よりの発表は、ここ10年の間、10件から20件とコンスタントであり、最近の発表件数の増加は、企業よりの発表件数の増加が貢献している。日本は、企業よりの発表件数が昨年より増加。逆に、大学よりの発表は昨年より減少している。

大学発表論文件数の国別比較では、日本は、これまで、米国について2番目に位置していた。しかし、今回は、米国（42件） 韓国（10件） シンガポール（8件） 台湾（8件） に次いで5番目となっている。アジア各国の大学の躍進が目立った学会であった。

### 3. 学会トピック

昨年のIEDMと同様に、歪Si関連、メタルゲート関連、およびHigh-k関連発表が多くみられた。しかし、45nmや65nmレベルのCMOSプラットフォームへの適用等、議論は深まっており、さらに、信頼性、シミュレーション等への検討も継続されている。まだいくつも課題は残っているように思われるが、SOI技術も加え、これら新技術は、45nm以降での標準的な技術として認知されているといった印象を受けた。

また、これも最近の傾向であるが、不揮発性メモリーに関する話題が多くみられた。現在の主流の不揮発性メモリーであるフラッシュメモリーに関し

ては、“Integrated Circuits and Manufacturing-DRAM and NAND Flash” と “Integrated Circuits and Manufacturing-Non-volatile Memories” の二つのセッションが設けられていた。これに加え、フラッシュの改良の試みとして、“Solid State and Nanoelectronic Devices - Nonvolatile Memory Tech.: Monos and Nanocrystal Memories” のセッションとして “Solid-State and Nanoelectronic Devices - Resistive Switching Memories” が設けられていた。不揮発性メモリーはパネルディスカッションのテーマの一つにもなっており、不揮発性メモリーへの関心の深さがうかがわれる。

他には、ナノテク・MEMSや有機半導体に関するセッションが盛んであった。MEMSに関しては、少なくとも四つのセッショ

ンが開催され、ナノテクに関するセッションもナノワイヤー等で二つ以上のセッションが開催されていた。有機半導体に関しては、“Displays, Sensors and MEMS” のセッションでも報告されたが、有機半導体専用の新規セッションも設けられていた。セッション名は、“Emerging Technologys - Flexible Electronics” であり、発表は5件。全件、大学からの招待講演であった。このセッションに関する学会側の意図は紹介されていないが、オフロードマップ領域での新規技術分野・新規ビジネス分野の例として、このような全件招待講演のセッションを設けたものと考えられる。

### 4. まとめ

今回のIEDMでは、アジア諸国の大学からの論文発表の増加が、顕著であった。韓国、台湾、シンガポール各国の大学からの発表が、日本の大学からの発表件数を初めて上回った。アジアの大学からの発表、とくに韓国やシンガポールの大学の発表は、先端のCMOS関連部分で発表が比較的多い。これは、2005年度のVLSIシンポジウムでも同じ傾向であった。企業や国の援助のもと、半導体のロードマップに近い技術を、大学が研究していることを示していると考えられる。アメリカの大学は発表件数も多く、広い分野で論文発表を行っているが、とくにMEMS、有機半導体、モデリング・シミュレーション関連の発表が多い。欧州の大学ではモデリング・シミュレーションとともにナノワイヤーやナノチューブ等のナノテク関連の発表が多い。米国や欧州の大学は、韓国やシンガポール等のアジア諸国の大学とは異なり、今後の新規商品領域に関連したオフロードマップの新技術の研究に注力しているとも考えられる。

日本の大学の研究に、企業サイドとして何を期待しどのようにサポートするかを、戦略も含め、今後大学サイドとともにさらに検討していく必要があるのではないかと感じた。（吉丸正樹）

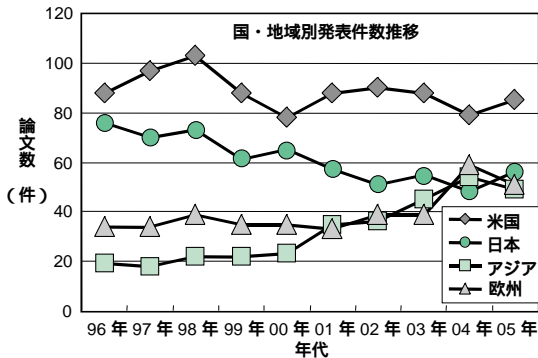


図1 国・地域別の論文発表件数推移

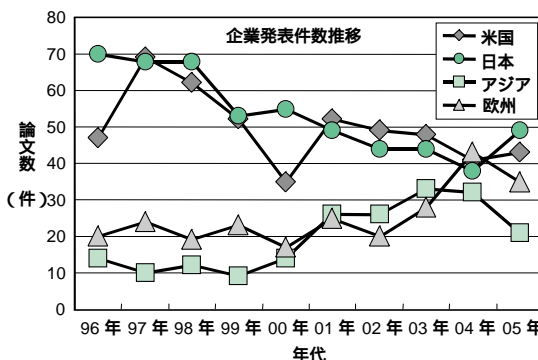


図2 企業論文発表件数の国・地域別推移

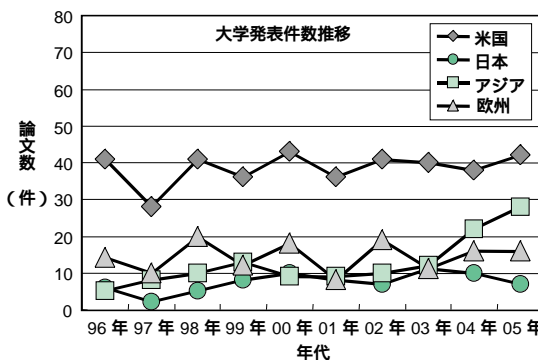


図3 大学論文発表件数の国・地域別推移

# EDS Fair 2006 出展のご案内

## (Electronic Design and Solution Fair 2006)

2006年1月26日(木)・27日(金) 10:00～18:00 パシフィコ横浜(展示ホール、アネックスホール)  
STARCは『最先端SoC設計に活用進む最新設計技術』をテーマにEDS Fair 2006に参加します。

### 出展紹介

#### (1) SoC設計技術開発

90nm世代の高効率設計メソッド V2.5 (設計TAT削減強化対応) および  
V3.0 (設計マージン削減強化対応: 2006年2月初リリース予定)  
DSM時代のテスト品質向上を目指す新しいテスト技術  
ハードウェア/ソフトウェア協調検証の高速化技術の開発と製品化の状況  
IP再利用容易化など技術標準化に向けた取り組み状況

#### (2) 国内半導体業界初の90nmシャトル試作サービス

#### (3) 大学共同研究実施者による研究テーマ紹介およびSoC設計技術者教育の取り組み

#### 技術動向セミナー

「サブ100ナノメータSoCで低消費電力設計を成功させる」

講師: 西口 信行

日時: 1月26日(木) 12:20～13:10

場所: EDSFair2006会場内特設ステージ

#### 出展者セミナー

「最先端SoC開発に活用が進む最新設計技術」

講師: 札抜 宣夫、西口 信行、古井 芳春、大野 泰宣

日時: 1月26日(木) 13:30～15:15

場所: 第11会場 (F201)

#### STARC活動概要

LSI設計効率を飛躍的に向上させる設計メソッド (STARCAD-21) の最新状況

IP再利用容易化に向けた取り組みの現状

90nm世代に向けたスターシャトルの活用法

#### STARCブース内プログラムの紹介

STARCAD-21コーナーでのデモ&セミナー

Pegasフロー、ZDフローのデモを午前10:20より、繰り返し行います。

また、サインオフ技術開発、解析技術関連、ライブラリ開発環境の構築のセミナーを行います。

プレゼンコーナーでの大学共同研究ミニシンポジウム

・1月26日(木) 午前の部11:00より、午後の部14:00より

「次世代プラットフォーム・ベース設計手法」今井先生 (大阪大学)

「BIST(組込み自己テスト)環境に適應した故障診断法に関する研究」高松先生 (愛媛大学)

「システムLSI高位設計のための形式的検証技術」藤田先生 (東京大学)

・1月27日(金) 午前の部11:00より、午後の部14:00より

「リコンフィギャラブルシステム技術とその応用」末吉先生 (熊本大学)

「ばらつきを利用して速度と歩留まりを向上させる再構成可能回路技術」小林先生 (京都大学)

「ミックスシグナルLSIのためのオンチップ・マルチチャンネル信号モニタ」永田先生 (神戸大学)

プレゼンコーナーでのSTARCミニプレゼンテーション

LSI設計教育支援とスターシャトルを午前の部12:00より、午後の部15:00より行います。

SoC品質を支えるテスト設計技術、物理設計技術、STILテスト活用ガイド紹介を午後の部16:35より、行います。

STARCニュース No.27

株式会社 半導体理工学研究センター

発行: 下東 勝博

編集: 札抜 宣夫

Semiconductor Technology Academic Research Center (STARC)

〒222-0033 神奈川県横浜市港北区新横浜3丁目17番地2 友泉新横浜ビル6階

TEL: 045-478-3300 FAX: 045-478-3310

URL: <http://www.starc.or.jp>