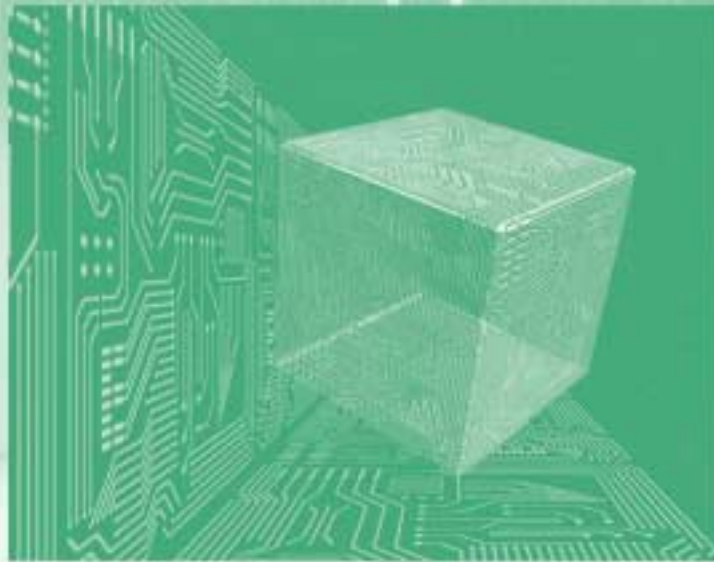


STARCニュース



No. **26**

2005年10月25日発行
株式会社 半導体理工学研究センター
Semiconductor Technology Academic Research Center (STARC)



- 2 STARCシンポジウム2005報告
- 6 共同研究グループ便り / 宮永研究グループ
- 8 共同研究グループ便り / 岩田研究グループ
- 10 共同研究グループ便り / 高松研究グループ
- 12 特集 / IP開発部
Shuttleスターシャトル[®] サービス
- 15 特集 / 教育推進室
SoC設計技術STARC実習講座と大学教育支援活動
- 20 トピックス / STARC認定 設計技能検定試験の一般実施
- 21 国際学会参加報告 / ESSCIRC2005
- 22 / ESSDERC2005
- 23 / CICC2005
- 24 **最先端SoC設計技術セミナーのお知らせ**
(ET2005 / 組込み総合技術展スペシャルセッション)

大学と産業界の相互交流と今後の展開

研究推進部

概要

今年のSTARCシンポジウムは、2005年9月8日～9日の二日間、大阪の天満研修センターで開催された。「大学と産業界の相互交流と今後の展開」というテーマの下で、基調講演1件、招待講演4件、ポスターセッション、産学交流セッションというプログラム構成で行われた。昨年までのポスターセッションは、学生による発表であったが、今年は2004年度実施の大学との共同研究テーマの研究代表者自らに発表をお願いしたことが大きな特徴である。また、産学交流セッションでは、株主会社5社と2大学から、それぞれの立場から産学連携への取り組みをご説明いただいた。参加者のアンケートでも、この二つの新企画のセッションは大変好評であった。参加者は総数346名を数えた。

基調講演

STARCシンポジウム2005は「先端技術開発の事業展開と其中的の産学官の役割」と題する国際電気通信基礎技術研究所（以下ATRと略） 畚野社長の基調講演で幕を開けた。ATRは1985年の電電公社民営化の翌年、設立された基盤技術研究を行う株主会社である。ATRでの研究運営を基に、産学官の3セクター構造に基づく研究という既成図式に捉われない枠組みを考える時代にきており、共同研究を行う際には、目的の共有、分担と責任の明確化、参加者全員にメリットのある共同研究をすべきとの提言を話された。具体的には、学からの具体的なテーマの狙いと予想成果の開示、それに対する産からの位置づけ、テーマに対する産のスタンス（テーマに賛同するか否かのクールな判断）の表示が必要であり、開けゴマ的な便法はない、双方で協議しながら実施すべきとの言で講演を締めくくられた。ATRでの成功例もお話になられ、討論では組織運営などに対する質問がなされた。



基調講演・畚野信義氏

招待講演()

㈱東芝でプロセッサ開発をご担当しておられる増淵氏が、「Cellプロセッサ」と題して東芝、ソニー、IBM各社の共同開発を実施している話題のプロセッサについて講演された。

CellはISSCC2005、hot chips2005でも発表がなされており、約1ヶ月前には仕様も公開されたとの増淵氏からのお話もあった。検討は2000年から開始され、米国にデザインセンターを置き、24時間体制での検証を行うなどして2005年2月にISSCCで発表と5年の歳月をかけて開発された。開発の狙いの中には、スーパーコンピュータの特性を家庭に、自然なヒューマンインターフェースを実現とするなど10倍の性能を実現する野心的な発想が挙げられており、狙いが見事にプロセッサとして結実した開発例といえよう。各構成要素の開設とOSサポート、実装など全体を講演いただいた。会場からも性能、開発環境の今後、上位互換性に対するアーキテクチャとしての配慮などに関して質問がなされ、興味深い講演が終了した。



招待講演()・増淵美生氏

ポスターセッション

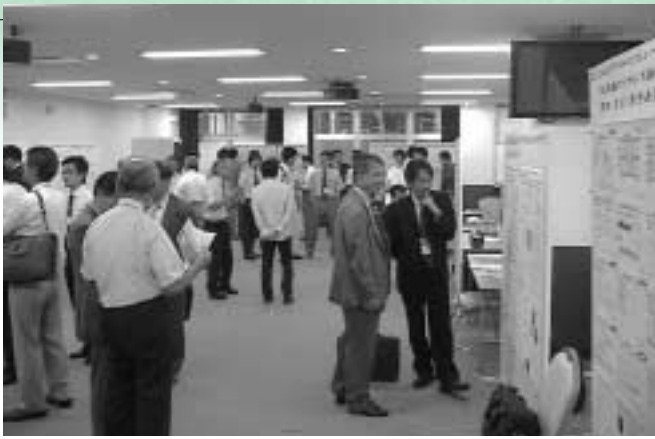
これまでは学生によるポスター発表であったが、今年は趣向を変えて、研究代表者によるポスター討論を実施した。クライアントの技術者に対して技術成果をアピールしていただき、技術移転を促進するとともに、共同研究テーマの先生方の交流を図っていただいた。システム分野18件とデバイス・プロセス分野ならびにアナログ回路分野22件の先生方が一堂に会して、活発な討論が繰り広げられた。先生方には大きな負担を強いたが、クライアントの皆様には好評であった。



概要紹介・平田雅規氏

招待講演()

(社)電子情報技術産業協会(JEITA)半導体技術ロードマップ専門委員会(STRJ)委員長、石内秀美氏(東芝)より、「国際半導体技術ロードマップ(ITRS)の概要と将来の研究開発課題」と題して、ITRSに関わった経験から現場ではどのような話で進められ、ロードマップには何が記述されているのか、毎年編集されて公開されるロードマップから何を読み取り、研究課題をひねり出す材料に利用すべきとの提言な



ポスターセッション風景

ど、ご講演いただいた。

また、STRJはITRSの受け皿として作られ、ITRSを反映しつつ独自の活動を行い日本の意見として提案することもあると紹介されました。ご講演では、テクノロジーノードにおけるRED BRICK WALLの問題や設計、DFM、リソグラフィ、プロセスインテグレーション（PIDS）、新探究デバイス（ERD）、フロントエンドプロセス（FEP）、Cu配線、実装技術まで幅広く解説され、最新技術のトレンドをITRSの最新情報から、話された。



招待講演()・石内秀美氏

産学交流セッション

本セッションでは研究開発の方向と産学連携への期待についての報告があった。

高須秀視氏（ローム）は「効果的研究開発のための戦略的パートナーシップ」と題して、異領域の技術を融合することが重要であると述べた。半導体産業では、常に新しい技術を取り入れ、他社との差異化を追及しなければならない。新しい新材料物質で全く新しい機能を引き出したり、異分野、異領域の技術を融合することで、より高度に複合化した機能が創出されている。異才が多く集まっている大学や異領域の業種・産業界との連携や交流が効果的な研究開発である。研究開発の方向として、さらに今後も微細化を中心とした技術開発だけでなく、光と電子の世界を融合した複合デバイスや、半導体技術からみたバイオ技術への展開、さらに将来的にはナノテクノロジーやバイオの世界からの半導体・エレクトロニクス技術への再展開を目指している、と語った。



高須秀視氏

西村 正氏（ルネサステクノロジ）からは「ルネサスのプロセスR&D」と題して、プロセスR&Dの開発戦略の報告

があった。ルネサスでは最先端コアCMOSインテグレーション、先行要素技術、先端・準先端向けの差異化デバイス技術など、幅広い開発を行っており、45nm世代以降にむけて、ブレークスルーすべき多くの要素技術課題を設定している。国内の学・産は独自に歩んだ歴史が長く、双方が真のメリッ



西村 正氏

トを享受できるレベルになるためには、長期視野で課題を解決し、双方が変わってゆく必要があると認識し、大学における研究の方向性、ゴールの認識と企業の期待、現状の実力とのギャップを埋める努力を行うにあたって、STARCの橋渡し、リーダーシップに期待する、と語った。

小池淳一先生（東北大学）は「研究開発の方向と産学連携への期待」を述べた。「科学の終焉」が到来した状況で、大学における従来型の基礎研究は意味をなさなくなってきた。熾烈な競争に曝されることが少なかった大学では、目的意識や達成期日が不明確で、得られた成果に意味を見出しにく



小池淳一氏

い研究が往々にしてみられる。このようなストイックかつ自己満足的な研究は、研究に費やした時間と研究費が無駄であるばかりでなく、このような研究を良しとする人材を社会に送り出すことになり、日本の未来にとってマイナスでもある。これからは、大学においても社会貢献を視野にいれた研究への明確な転換が望まれる。産学連携を通じて可能となることは、応用を見据えた研究のあらゆる段階において、妥当性と効果に関する意見交換が行えることである。産学連携によって基礎的な問題点を大学に研究委託することは、現状の企業の研究体制を鑑みると、非常に効率的な手法である。大学を対等なパートナーと位置付け、相互の義務を明確にした産学連携が望ましい、と語った。



ポスターセッション風景

福間雅夫氏（NECエレクトロニクス）は「回路・システム分野における産学連携への期待」と題して、学会論文の分析から、今後の産学連携の期待を述べた。ISSCCの論文を産学連携の視点で分析すると、大学が関連した論文の数はISSCC全体で年々上昇の傾向にある。この上昇は米国・台湾の大学に依るところが大きく、日本の大学の貢献はこれよりも小さい。一方、米国・台湾に比べて日本の大学の論文はパラダイムシフトをねらうようなテーマのものが多いという特徴がある。これらの違いの背景や将来の半導体産業へのインパクトについて、STARCやVDECが果たしている役割などが報告された。



福間雅夫氏

上田勝彦氏（松下電器産業）は「システムLSI設計技術からみた産学連携の課題」を報告した。1）松下電器における産学連携の取組み概要、2）コンシューマエレクトロニクス用システムLSIを支える回路・システム技術、3）回路・システム面からの産学連携の課題の3点について述べた。松下電器では従来から産学連携を積極的に進めてきたがこれまでの個別テーマ単位による運営ではなく、産学連携をより戦略的に進めるため当社と大学が“組織対組織”で連携する共同運営方式に移行しつつあり、この組織だった活動を推進するために本社機構の中に産学連携推進センターも設立した。コンシューマエレクトロニクス用半導体は、90年代以降はマイコンによるデジタル制御+メディアプロセッサ/高性能ハードウェアおよび高性能アナログ-デジタルインターフェイスによるデジタル信号処理により、機器の中核部を1チップで実現するシステムLSI/SoCの時代に入った。回路・システム技術からみたシステムLSIを構成する知恵のいくつかが紹介された。経済産業省から「産業界のニーズと大学のカリキュラムマッチング度合い調査結果」が2005年6月に発表された。この調査結果とシステムLSI実現に必要な“知恵”との関係を見ると明らかに大きなミスマッチが生じていることが判る。本講演ではこれらのミスマッチについて考察を加えることで産学連携の課題を明確にした。



上田勝彦氏

山内英樹氏（三洋電機）は「研究開発の方向と産学連携への期待」を報告した。グローバル市場へのアプローチとして新規事業分野を開拓する高付加価値の追求と新技術と新商品で市場を拡大することが必要である。三洋電機では「デジタル&デバイス」を中核分野とし、強いキーデバイスの開発に

より、高付加価値のデジタル家電製品の研究開発が進めている。産学連携の狙いは、基礎研究開発の強化、研究開発スピードの向上、専門能力の高い人材の育成などである。大学の保有している最先端の研究シーズと当社の保有する技術の融合により、開発スピードの向上を期待している。大学との共同開発アイテムは、画像処理、無線通信、ミックスドシグナルLSI、LSI設計技術、MEMS、イメージングデバイスなど広範囲にわたっている。また、関係する地域大学で連携講座を開設し、半導体の教育に関しても産学連携を進めている。産学連携・大学への期待として、新規技術分野の探索、基礎研究、技術の高度化・複合化への対応、優秀な人材の育成がある、と述べた。



山内英樹氏

谷口研二先生（大阪大学）は、「アナログ・高周波回路設計分野の産学連携」と題して、教育的な視点から期待を述べた。最先端集積回路の製造・設計にはまだまだ解決すべき膨大な数の研究課題が残っている。それらを個別の企業で解決する時間的な余裕がない現在、大学と産業界が共同して課題に取り組み、グローバルな競争に勝ち抜くことが望まれる。民間企業と国立大学の双方を経験してきた立場から、大学における工学教育も含めた広義の産学連携について述べた。アナログ・高周波回路設計の分野では産学連携の研究テーマに関する議論より産学協同行う実践教育の重要性を訴えた。一般に国内では就職後にOJT教育を通して回路設計の専門家を養成する方法がとられているが、それよりアナログ回路動作の本質を教える教育がより重要であり、教育効果が高いことを強調した。



谷口研二氏

招待講演()

独立行政法人情報処理推進機構ソフトウェアエンジニアリングセンターで、日本における組込みソフトウェアの技術力向上を推進されています東海大学の大原茂之先生に「組込みスキル標準からみた産学連携による人材育成」と題して、製品の中にコンピュータチップとともに組み込まれ、製品の機能を実現する組込みソフトウェアの開発スキルの現状分析と



招待講演()・大原茂之氏

技術者育成の課題について、ご講演いただいた。技術者に教育する時間がとれない、教育できる人材が不足しているなど大きな課題があり、これを解決する一つの方法として、組み込みスキル標準（ETSS）を活用すること、組み込みソフト開発に係る職種と専門分野の分類によるキャリアフレームワーク、技術要素、開発技術、管理技術をスキルカテゴリとしたスキルフレームワークの階層構造による整理と展開、キャリア基準とスキル基準による教育カリキュラムへの連動が人材育成の教育に重要との説明がなされた。

招待講演 ()

東京大学の石川正俊教授（副学長・産学連携本部長）に産学連携の新展開として - 東京大学の新しい試み - を紹介していただいた。大学の法人化から1年半が過ぎ、制度設計や組織設計の時期を過ぎて、実績を積み重ねるフェーズに入ってきている。東京大学では、Proprius21と呼ばれる計画性を強化した大型の共同研究のスキーム、共同研究の改革、各種新規共同研究スキームの開発、知財処理の迅速化、東京大学TLOとの連携強化、特許以外の知財の新しい移転スキーム、さまざまな形での研究成果の事業化、ベンチャー育成のための新しいスキーム、東京大学エッジキャピタルとの連携強化、利益相反への積極的対応、産学連携協議会を介した大学と産業界の交流組織、研究・研究車庫の検索システムの開発、学生を対象としたアントレプレナーシップの啓発、ライセンス対価、寄附としての株式の受け入れ体制整備、人的交流促進策等、先進的な試みが行われている。科学技術の構造変化に端を発した産学連携は、組織や制度の設計・立ち上げのフェーズを過ぎて、実績を積み重ねるフェーズに移り、さまざまな展開を見せ始めている。今後は、新規分野、コアコンピタンスの確立、研究開発の基盤構造の改革に向けて、社会構造、産業構造の変化が必要であると述べた。



招待講演 ()・石川正俊氏

レセプション

STARCシンポジウム初日のポスターセッションは、2時間にわたってSTARCと大学の共同研究テーマに関するポスター発表が行われた。その後、レセプション会場に場所を移しての懇談では、大学の先生方から共同研究に対する有益なご意見をいただいた。その一端を紹介する。「10年前のSTARCプロジェクト開始当時と比較すると著名な国際学会の発表が増えた、共同研究で実力をつけた学生が企業で一人前になり国際学会で多数発表している」「学生と客員研究員とのディスカッションは、非常に有効であり刺激になる」「客員研究



レセプション会場風景

員との技術的なディスカッションだけでなく、インターンシップなどを通じての産業界と交流で図れてよかった」「ドクターを増やすことを企業サイドも処遇や活用策などの面で真剣に考えてほしい」「優秀な学生や高い専門性には初任給を上げるなど、インセンティブ・動機付けを企業サイドは考える必要がある」などで、これらの情報をクライアント会社に伝えるとともに、今後の共同研究に反映して、より実りある産学連携研究を推進していきたい。

共同研究賞

当日のレセプション会場では、優れた研究成果を出した2005年度終了テーマの中から次の二つのテーマが選ばれて、共同研究賞が授与された。

1) プロセス・デバイス分野

「GHz信号伝送多層配線技術」

(益一哉：東京工業大学精密工学研究所 教授)



左より 益子上級研究員(STARC) 京極貴規(M2) 上園巧(M1) 益一哉教授、馬場客員研究員主査(三洋電機)、下東社長、伊藤浩之(D2)

2) システム分野

「アナログ・デジタル混載システムLSI設計技術の研究」

(小林春夫：群馬大学工学部電気電子工学科 教授)



左より 益子上級研究員(STARC) 堀田客員研究員(現、武蔵工業大学教授) 塚田客員研究員主査(STARC) 小林春夫教授、和田宏樹(M2) 下東社長、神宮善敬(M2) 傘昊助手

最後に、STARCシンポジウムに参加いただいた各位に感謝と御礼を申し上げます。

共同研究 グループ 便り

宮永研究グループ

テーマ名 低消費電力型超高速無線通信システムの開発とそのIP化に関する研究

研究代表者 北海道大学大学院 工学研究科 教授

宮永 喜一（みやなが よしかず）

研究グループ紹介

STARCの共同研究には、会社のプロジェクトリーダーや研究・開発エキスパートの方に参加していただいて、大学の教員・大学院生と一緒に、「**本当に有効な先端技術**」を開発しましょうという方針があります。大学における研究室内での運営方法とはかなり違い、最初は非常に驚いたという記憶があります。

この研究プロジェクトは、本当に最先端で、有効なものを、まじめに実現したいという思いからプロジェクトの計画を始めました。選んだのは、高速な無線システムのチップ化でした。しかし、無線の技術は、多方面にわたり、1研究室のカバーしている技術だけではシステムのチップ化などはなかなか難しく、どうしたものかと考え込んでしまいました。

結果、このプロジェクトは、多入力多出力無線通信方式（MIMO方式）で長年実績のある、九州工業大学の尾知博研究室、雑音除去方式で長年研究をされている鳥取大学の伊藤良生研究室との3研究室による共同プロジェクトになりました。日立的の畑岡 信夫さん（主査）、ロームの斉 培恒さん、三洋電機の高山 憲久さんとSTARCの平田雅規さんに参加していただいて、3大学+3企業+STARCのプロジェクトになっています。

北は北海道・札幌から南は九州・飯塚という、なんと日本全体をカバーするばらばらの場所で研究がスタートしました。始まった当初、平田さんが、「本当にプロジェクト大丈夫なの、成果がきちんと出るのですか。」と、何度も心配で、会議をするたびに聞かれたことを覚えています。発表については、



前列左より 平田上級研究員（STARC）、伊藤先生（鳥取大）、宮永先生、畑岡客員研究員主査（日立）

後列左より 笹岡院生（鳥取大）、黒崎助手（九工大）、長尾院生（九工大）、渡部院生（九工大）、尾知先生（九工大）、吉澤院生、高山客員研究員（三洋）、斉客員研究員（ローム）

たとえば昨年度だけで、査読付ジャーナル論文が8件、IEEEなどの査読付国際会議が28件、特許申請1件と、学会等への成果は出ていますが、このプロジェクトは、「本当に有効なシステムを実際に作る」ということで、いろいろ大変な思いをするときもあります。

このプロジェクトでは、九州工業大学において、尾知先生のほか、黒崎正行先生、博士後期課程の学生さん1名と修士課程の学生さん3名から4名が参加しています。鳥取大学では、伊藤先生のほか、博士後期課程の学生1名と、修士課程の学生さんが2名から3名参加しています。北海道大学では、博士後期課程の学生が2名、修士課程の学生が6名参加しています。

プロジェクトは作業が順調に流れていて、個人的には、予想以上にうまくいっていると感じています。地域がこんなに離れた場所でもうまくいっていると感じているのはなぜか、このSTARCニュースの依頼を受けてから、考えてみました。

簡単にいうと、(1)線表を作って、役割分担をきっちり決めたこと、(2)会社の皆さんが、的確にだめなところはど

ンドン指摘し、問題点を全員で共有した。この2つで、研究全体の位置づけや問題意識を、学生さんも含めて全員で理解でき、さらに各大学の役割を明確にしたため、研究・開発の方向が明確になりました。さらになによりも、(3)目標に従って、すべての学生さんが開発をまじめに進めたこと。これにより、プロジェクトが順調に進んでいるように感じています。

現在、2.5年終了し、残り半年。最終目標に向かってプロジェクトが進んでいます。

研究テーマ紹介

本研究の目的は、「600MBPSのスループットを実現する低消費な無線通信ベースバンドチップを実現する」ということです。さらにそれに付随して、環境に合わせたソフト無線方式の実現、5GHz帯のRFを使ったフィールド実験、CDMA・OFDM等の方式再検討・拡張、UWB・IEEE802.11a,nの標準化に関する調査などなど、現在ほかの研究機関でも調査・研究されている問題なども含まれています。

プロジェクトを提案したのが、2002

年の夏ごろで、そのころは、100MBPSの無線LANシステムの話が多少伝わってくるくらいでした。帯域を広くして、送信出力をいくらでもあげていいなら、超高速の無線システムも、その構成・実現はできるのでしょうか、家庭とか、オフィス環境で利用することを考えると、たとえば、IEEE802.11aにできるだけ類似したほうがよいとか、消費電力は、RFも含めて1W以下でないと問題ではないか等、いくつか難しい制限が考えられます。

本研究のスタートは、そういった、有効なシステムを作るには、どのようなスペックで、どのような通信プロトコルを実現すべきかということから始まりました。開発しているシステムは、現時点では、IEEE802.11a(54MBPS無線通信。5GHz帯。)と、.11n(100MBPS無線通信。5GHz帯。まだプロトコルが一部未定の部分もあります。)に準拠していますので、.11aや、.11nと通信することもできるようになっています。さらに、600MBPSのレートを実現する新しいフレームフォーマットも必要で、室内環境で希望レートを実現できる新しいフォーマットの作成も行いました。

システムの構成は、300MBPSのスル

ーットを持つ1入力1出力(Single Input Single Output以下SISOと略す)のOFDMモジュールを実現し、そのシステムを2つパラレルに使う、600MBPS多入力多出力(Multi Input Multi Output 以下MIMOと略す)のシステムを実現することとしています。

SISO OFDMは、室内環境で利用できるように、.11a、.11nで利用されている室内環境の雑音・フェージングモデルを使ってシミュレーションし、十分な特性を有することを確認したうえで、図1にあるような、OFDMデータ通信FPGAボード上にすでに実装し、実験を行っています。

MIMO OFDMは、上記のSISO OFDMを2つ使い、アンテナをサーバ側で4つ、クライアント側で2つ利用する方式を提案しています。これは室内環境でも、できるだけ正確に、できるだけ遠くに通信できるような無線通信方式であり、現在そのシステム設計・実現を行っております。

最後に、このプロジェクトのように、企業の研究者の方から、有益な、ときには厳しい助言をいただき、非常に感謝しております。とくに、日々の研究生活が緩慢になりつつある学生諸君にとっては、まさしくSTARCの会議

はよい戦いの場であり、他大学の学生さんとの共同開発は、よい意味での競争精神が芽生え、大きな刺激になっているのがわかります。これからはSTARCのプロジェクトに多少なりとも貢献できればと考えております。



図1 300MBPS SISO OFDMシステムFPGAボード

客員研究員主査からのコメント

(株)日立製作所 中央研究所

畑岡 信夫

研究開始当時に立てた本研究グループの目標は、二つ。一つ目は、本当に有効な無線LANシステムを実際に作る。二つ目は、ISSCC国際学会へ投稿し発表を実現する、でした。

2年半が過ぎました。さて、状況はどうでしょうか？方式開発はほぼ終了し、チップ構成の素案ができました。評価を含めて、開発したシステムが有効であるのかは今後の課題となっています。低消費電力の観点からは、類似の研究で、先行発表がISSCC2005にありました。ゆっくりとしている時間はありません。二つ目の目標である、ISSCC発表は、まずチップ作成が先決です。今年の年末にチップが出来上がります。論文投稿はその後になります。

この研究プロジェクトは、宮永先生が書かれていますように、3大学+3企業+STARCのプロジェクトとなっています。異分野の専門家を集めて、MIMOベースの無線通信方式開発とシステム構築を進めています。最終目標達成は今後ですが、現在、査読付ジャーナル論文8件、IEEEなどの査読付国際会議28件、特許申請1件と、成果は出ていますし、研究体制は頑強です。

開発成果は、モバイル、コピキタス情報社会においては必須の重要な技術となります。高精度な動画を、いつでも、どこでも、瞬時のうちにダウンロードできれば、いろいろな応用、製品が実現されます。キー技術は、高速通信技術開発と低消費電力の実現です。

本研究の成果が、今後の無線通信分野での一つの試金石となることを期待しています。

共同研究 グループ 便り

岩田研究グループ

テーマ名 低電圧動作低雑音アナログ回路設計技術の研究

研究代表者 広島大学大学院 先端物質科学研究科 半導体集積科学専攻 教授

岩田 穆(いわた あつし)

研究室の紹介

広島大学工学部電気系電子物性講座では1970年代から、集積化システム研究センターを設立するなど、シリコンデバイスと集積回路に重点化する方針で、教育研究組織が強化されてきた。そのなかで1994年に筆者がNTTのLSI研究所から移動して、LSIの設計を担当する研究室をして設立し、専門分野のアナログ回路、ミクストシグナルLSIを中心に設計の分野を立ち上げてきた。

現在、大学院先端物質科学研究科の半導体集積科学専攻に属し、ナノデバイス・システムセンターの教員とともに研究・教育を推進している。この専攻では社会貢献に関しても重点を置いており、筆者以外にも、HiSIMの三浦教授、機能メモリのマタウシュ教授、MOSデバイスの芝原教授はじめ共同研究のグループなど、ほぼ全教員がSTARCの共同研究に関与している。

岩田研究室は、アナログ回路、RF回路、アナデジ混載回路の領域で、デバイスの動作原理に基づく新しい概念の回路、情報処理原理に基づくアーキテクチャを考案、実証することを目指している。

具体的にはAD変換器、低雑音アンプなどのアナログ回路、PLL、VCO等のRF回路、イメージセンサー、ビジョンチップなどイメージ処理回路、アナデジ混載LSIの基板雑音解析などの設計技術、無線インタコネクションによる三次元実装、三次元集積技術など、かなり幅広く研究している。

現在の構成員は、岩田教授、佐々木助教授、吉田助手の3教員と、技術補助員、ポスドク研究員3名、研究補助員1名、事務補助員1名、民間共同研



広島大学・先端物質科学研究科玄関にて：

前列左より 円林(M2)、石田(M2)、岩田先生、吉田助手、青木(M1)、升井(D1)

後列左より 中塚客員研究員(松下)、丸山客員研究員(シャープ)、近藤客員研究員(沖)、益子上級研究員(STARC)、後藤客員研究員主査(富士通)

究員8名、博士課程学生5名、修士課程学生15名、学部学生8名、合計45名とかなり多人数である。

STARC初年度に採用になった第一次共同研究テーマとして1996~2000年度には「高機能・高性能アナログ・デジタル混載LSIの設計技術の研究」を実施した。この研究の成果である基板雑音解析・評価技術はアナデジ混載LSIの基盤技術としてニーズが高いことから、(株)エイアールテックを設立して、ここで技術を産業界に提供できるようにしている。

現在、2003~2005年度の計画で「低電圧・低雑音アナログ回路設計技術の研究」を進めている。

プロセス技術の進歩によりCMOSデバイスは微細化され、デジタル回路の高速化・高機能化が実現できる。しかし電源電圧の低下、雑音の増加により高精度・低雑音のアナログ回路の実現が困難になる。またアナログ・デジタル混載システムLSIの応用分野では、生体信号やさまざまな環境データなどを検出できる、高機能ウェアラブルあるいはインプラントブルセンサシステムの実現が要望されており、アナログ

回路の低消費電力化も必須となる。したがって、本研究では、低電圧で動作する低雑音のアナログ回路の設計技術を実現することを目的としている。

研究成果は

- 1 V動作の低雑音チョッパ増幅回路を考案して、0.18 μm CMOS技術で設計・試作し、その評価を行った。多出力スイッチトオペアンプ、3個のチョッパ回路およびフィードバック容量によって構成した。入力信号振幅の小さい部分に配置できるチョッパは仮想接地点に配置、動作電圧範囲の広いチョッパはグラundedスイッチによる出力段によるスイッチトオペアンプを用いて、1 V動作を実現した。測定結果より、電源1 V、チョッパ周波数1 MHzにおいて、100 kHzまでの入力換算雑音50 nV/ $\sqrt{\text{Hz}}$ 、フル振幅入力時のTHD 52 dB、消費電力500 μW を実現した。
- 1 V動作逐次比較形AD変換器を0.18 μm CMOS技術で設計・試作し、その評価を行った。逐次比較形AD変換器は、グラundedスイッチで構成した容量アレイ型DA変換器、スイッチトオペアンプで構成したサンプルホールド回路を用いることで、電源電圧1 V

以下の動作を可能とした。測定結果より、電源電圧1Vにおいて入力電圧レンジ50mV-820mV、サンプリング周波数400ksp/s、消費電力200μWで動作することを実証した。

3. チョッパ変調周波数帯域AD変換器方式の検討を行い、チョッパ増幅回路とバンドパスAD変換器を直接接続した低電圧・高精度アナログ回路を考案して、0.18μmCMOS技術で設計・試作した。チョッパ増幅回路は入力信号を高い周波数に変調することで、1/f雑音やオフセットの影響を受けずに増幅できる。またAD変換器は、1/f雑音やkT/C雑音を低減できるため、回路の高精度化を実現できる。したがって、チョッパ変調信号をバンドパスAD変換器で直接デジタル化することで、1/f雑音、熱雑音の影響を受けにくい回路が期待できる。

4. 低電圧RF回路として低雑音リングオシレータの検討を行い、1V動作の

リングオシレータを設計・試作した。提案した回路では、VCOゲインを低減し、ディレイセルの電流源を線形領域で動作させることで低ジッタ化を実現した。測定結果より、電源1Vにおいて、周波数可変範囲500MHz-1.4GHz、1GHz動作時の位相雑-63dBc/Hz@100kHz-offset、消費電力900μWを実現した。

研究代表者の抱負

STRACの共同研究によりアナログ・RF設計に関する人材育成に一層注力していきたいと考えている。これまでSTRAC共同研究に関わった学生は第一次テーマでは10人、現在の第二次テーマでは5人が担当している。研究の推進にあたり、客員研究員として企業の第一線の専門家に技術的なことはもちろんのこと、業界の情報精神的な面でも指導してもらえることは学生にとって非常に有意義である。STRACの共同研究を担当して鍛えられた卒業生が企業で活躍して、その成果をISSCC、VLSI回路シンポなど一流の国際会議で発表している。(STRACニュース20号、23号でSTRAC益子氏の記事で紹介) 教員としては、卒業生が世界に羽ばたく姿をみるのは非常に嬉しいことであり、満足感の得られることである。今後も、学生の考える力の向上、既成にとらわれない多様な価値観の醸成を図り、企業で役に立つ人材を世の中に出して行きたいと考えている。

STRAC設立10周年を経て、関わる多くの産学の方々の努力により、半導体分野を中心に、幅広い分野の大学の研究と企業が連携するコミュニティが形成され、とくに10年前に最大の課題であった総合的な設計力強化が図られつつあることは、非常に大きな成果であろう。これからは、このコミュニティの力が、ビジネスに直接的に結びついて、強い半導体産業力となることを期待したい。

客員研究員主査からのコメント

富士通研究所(株) システムLSI開発研究所
後藤 邦彦

システムの高性能化を実現する上で、LSIプロセス技術の微細化は有効かつ不可欠な技術です。プロセスの微細化に伴い、高集積・高速化・低価格化が進みます。しかし、それは低電圧化を強いるものでもあります。デジタル回路やメモリ回路では、低電圧化は低電力化にもなりメリットは大きい一方、アナログ回路の高精度化を低電圧化の観点から考えると同一性能維持でも電源の低下分、ノイズ自体を減少させる必要があり、かつ、高性能デジタル信号処理に対応するために更なる低ノイズ化を強く要求されています。この要求に対応するための高性能アナログ回路設計では、従来は1.8V以上の電源が必要とされてきました。そのため、1.2V動作以下が必要となり0.13μmプロセス以降では、高精度アナログ回路は、I/O部等に使用される設計基準の緩い(高集積が困難な)トランジスタ(0.18μ以上)で1.8V以上の電源を使用されているのが現状です。高速化・低電力化・低価格化を実現するためにも内部の微細トランジスタを使用して1.2V以下でも動作可能な高精度アナログ設計技術の確立が強く望まれています。

岩田研究グループでは、低電圧動作での低ノイズ化設計技術開発を行うことで、1Vでも動作可能なアナログセル開発とその設計技術、評価技術確立を目指しています。具体的な手法としては、動作電圧範囲拡大には、アナログSWに対してはグラウンDED SW手法とRail-to-railのオペアンプの設計手法、フリッカ雑音抑制にはチョッパ方式の設計手法、デジタルからのクロストークノイズに対しては、低電圧・RF領域での評価技術、等の確立です。具体的回路としては、低ノイズに対応可能な増幅AMP回路、アナログ信号をデジタル信号に変えるADC回路、RF回路の代表であるVCO回路、の開発を4つの観点(電源電圧・低雑音・低電力・小面積)からベンチマークをしながら、競争力のある設計技術開発を推進しています。

岩田研究グループからは従来も有能な学生が産業界に入り大きな成果を挙げています(STRACニュースNo.24 P11参照)が、定期的な客員研究員との熱い議論でも、新しい回路方式が出てきており、本テーマの成果とともに、産学連携や人材育成の観点からの成果にも期待しています。また、今回開発する技術は、ミックスシグナルLSIはもとより、現在話題のセンサーLSIや、パッシブ(電池無し)で動作可能なLSIにも適用可能であることから、汎用的かつ将来性の高い技術としても大変期待しています。

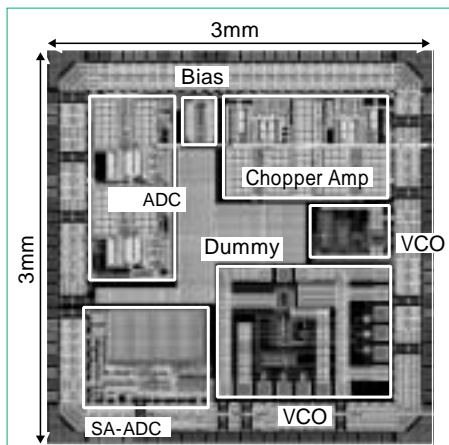


図1 低電圧・低雑音アナログ回路テストチップ(0.18μmCMOS)

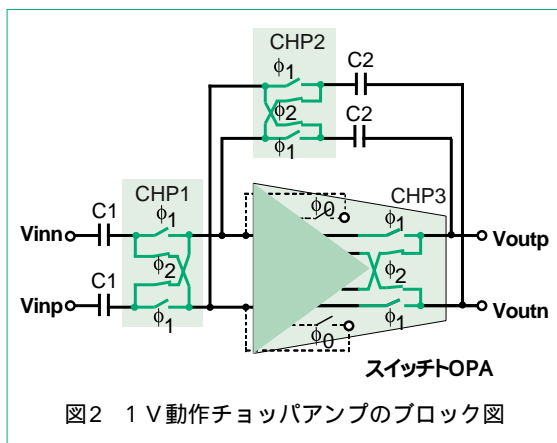


図2 1V動作チョッパアンプのブロック図

共同研究 グループ 便り

高松研究グループ

テーマ名 BIST環境に適応した故障診断法に関する研究

研究代表者 愛媛大学工学部情報工学科 教授

高松 雄三(たかまつ ゆうぞう)

はじめに

LSIの開発・製造はより早く、より安く、そしてより高品質なものが求められています。製造したLSIをテストしないで世に出すことはできません。また、欠陥の生じたLSIは何が原因なのかを短期間で調べなければなりません。高松研究グループでは、現在、ナノメータ時代のLSIのテスト・診断技術に関する共同研究を行っております。超微細プロセスで、ますます高集積・高速化されるLSIのテストは年々難しく、また、テストの費用が急激に大きくなってきました。そこで、BIST (Built-In Self-Test) というテスト技術が開発され実用化されています。BISTはテスト回路をLSI自身の中に組み込みテストするという技術です。ところが、このようなBISTを導入したLSIの故障診断技術はまだ開発されておられません。われわれは、半導体技術のブレークスルーを目指してBIST環境に適応した故障診断法の開発に挑んでいます。

研究グループ紹介

高松研究グループは、愛媛大学工学部情報工学科の計算機システム工学分野に属する高松、高橋寛助教授、樋上喜信助教授および明治大学情報コミュニケーション学部の山崎浩二助教授、計4名の教員と修士課程2年4名、修士1年3名、学部4年生9名(内3名が修士課程へ進学予定)の総勢20名で構成されています。教員のこれまでの主な研究分野は論理回路のテスト生成法、テストコスト削減法、故障診断法などです。

研究室の研究環境は基本的にはコンピュータ群で、最近、大規模回路に対応するために4Gメモリ、3GHzのパソコンを導入しています。学生さん達も



前列左より 相京客員研究員主査(富士通) 高松先生、高橋先生、佐藤客員研究員(STARC)
後列左より 宮本上級研究員(STARC)、樋上先生、山崎先生(明治大)

この分野での修士研究、卒業研究を行ってまっています。多くの本研究室の卒業生は研究分野に近い企業・半導体メーカーで活躍しています。

共同研究の内容および その成果

共同研究においては、BIST環境における故障診断の問題を明らかにし、その問題を解決する故障診断法を開発することを目的としています。

故障診断を行うためには、被検査回路の故障を検出するテスト(フェイルテスト)、誤り論理値の取り込まれたスキャンフリップフロップ(誤りスキャンフリップフロップ)、および誤りが検出された外部出力(誤り外部出力)を正確に知ることが望まれます。しかしながら、BIST環境においては、検査結果として得られる出力署名が高圧縮であるため、一般に、識別されたフェイルテストの集合にパステストが誤って含まれてしまいます。われわれは、これを不確かなフェイルテスト集合と呼んでいます。一方、パステストの集合は、パステストのみで構成されます。さらに、テストごとの誤りスキャンフリップフロップおよび誤り外部出力を識別することも困難であります。

したがって、BIST環境では次の2つの条件下で故障診断を行うことが要求されます。

- 1) 診断に用いるテストは、被検査回路におけるフェイルテストかパステストかの情報のみであること。
- 2) 誤ってパステストが含まれている不確かなフェイルテスト集合であること。

このようにBIST環境に適応する故障診断は、過酷な条件下で行わなければならない困難な処理です。

さらに、超微細プロセスのもとでは、単一縮退故障だけでなく、多様な不良モードが顕在化します。そこで、単一縮退故障以外の故障モデルを対象とした故障診断法を開発することも必要です。したがって、われわれは、多重縮退故障、ブリッジ故障、およびオープン故障に対する故障診断法も開発しています。

これらのBIST環境に適応する故障診断法は、以下の特徴をもっています。

- 1) 不確かなフェイルテスト集合およびパステスト集合のテストを用いた単一縮退故障シミュレーションから得られる故障の検出/非検出情報に基づいて故障候補を推定しています。
- 2) テストの単一縮退故障シミュレー

ションで求めた故障候補の検出回数に基づいて故障候補数を削減しています。

3) 多重縮退故障、ブリッジ故障、およびオープン故障に対しては、テストの単一縮退故障シミュレーションの結果による励起条件および伝搬条件を考慮して、故障の検出/非検出情報を求めています。

開発した故障診断法の有効性を評価するために、コンピュータ上のC言語によって故障診断法を実現し、ISCAS'85ベンチマーク回路およびフルスキャン化されたISCAS'89ベンチマーク回路に対する評価実験を行いました。図1では、不確かなフェイルテスト集合に含まれるパステストの比率が10%の条件で、開発した故障診断法で得られた単一縮退故障に対する故障候補の分布を示しています。実験結果から、単一縮退故障に対しては、およそ99%の故障回路に対して指摘した故障候補数を5個以下(平均故障候補数は2個程度)に抑えることができました。

表1は、不確かなフェイルテスト集合に含まれるパステストの比率が5%の条件で、2~4重の縮退故障の故障回路に対して適用した実験結果を示しています。ここでは、開発した故障診断法によって20個に絞り込んだ故障候補の中に少なくとも一つの故障を指摘している比率を、診断成功率として示しています。表1は診断成功率がおよそ99%であることを示しています。ま

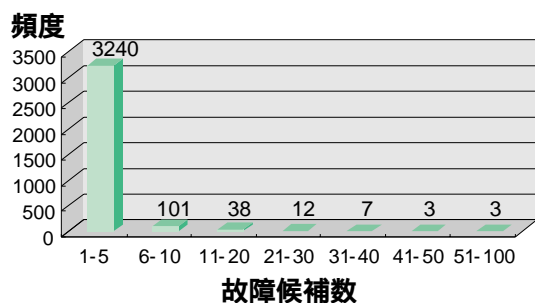


図1 単一縮退故障に対する診断結果

表1 2~4重縮退故障に対する診断成功率

	2重	3重	4重
診断成功率(%)	99.7	99.9	99.5

た、開発した故障診断法によって5個に絞り込んだ故障候補に対する診断成功率はおよそ97%であり、故障の多重度を4重故障まで増加させても、診断成功率が悪化しないことも確認しています。

ブリッジ故障に対しては、不確かなフェイルテスト集合に含まれるパステストの比率が5%の条件で、およそ90%の故障回路に対して、正確に一箇所にブリッジ故障の位置を指摘した実験結果を得ています。

さらに、ブリッジ故障およびオープン故障に対しては、新しい故障モデルとそれに対する故障診断法に関して研究を進めています。

産学連携の成果

本共同研究において客員研究員の方々から生の技術に関してご教示いただき、これまでの大学における学術的な立場からの研究が産業界との連携を強化したものとなりました。大学では教えることのできない半導体のテスト・診断に関する現場の課題を得ることができ、われわれはもちろん学生にとって大きな成果となりました。大学は基礎的な知識・技術を修得し、さらに即戦力となる技術を身につけた人材を育成することが使命です。この意味においても共同研究の成果は大きかったものと感謝しております。

STARCの共同研究プログラム、STARCシンポジウムなどSTARCが多くの事業を展開されておりまことは、われわれ大学にとって極めて有意義なことであります。今後、ますますのご支援をお願いする次第です。

最後になりますが、多くのご助言を賜り、熱心に研究に参加していただきましたSTARCの元小澤顧問、STARC宮本技監、佐藤客員研究員ならびに富士通株式会社相京客員研究員(主査)の方々に深く感謝いたします。

客員研究員主査からのコメント

富士通株式会社 LSI事業本部

相京 隆

近年の半導体の微細化の進展に伴い、論理規模の増大が進んでいます。さらに、微細化により、従来は顕在化していなかったブリッジ、オープン等の欠陥が故障の原因として、クローズアップされてきています。LSIのテストにおいて、論理規模の増大と新たに顕在化した欠陥に対応するために、テストパターン数の増大が不可避となっています。これにより、テストパターンのデータ量がテストのメモリ容量を超えるような事態になり、大きな問題となってきています。

テストパターン数の増大に対する対応策として、ロジックBISTが注目されています。ロジックBISTとは、一般に擬似乱数パターン生成器とシグネチャ圧縮器とをチップ内に持ち、回路に印加するテストパターンは擬似乱数パターン生成器により発生し、出力の観測結果はシグネチャ圧縮器により圧縮し、テスト終了後にそのシグネチャを取り出すことにより、テスト結果の判定を行います。そのため、テストへ格納するテストパターンとしては、大幅な削減が可能です。しかし、ロジックBISTの使用は良いことばかりではありません。故障診断を行う上で必要となる、どのテストパターンのどの出力端子(あるいはスキャンFF)でフェイルが検出されたかが分からなくなります。他にも擬似乱数パターンをテストパターンとして使用するために、回路によっては故障検出率が上がりにくい等の問題があります。

高松研究グループでは、ロジックBISTを使用した回路の故障診断を行う上で問題点を解決することを目的に研究を進めています。擬似乱数による生成テストパターンをいくつかのグループに分け、それぞれシグネチャを生成しテストを行うという条件の下で、ロジックBIST使用時の故障診断実行の課題である、どのテストパターンのどの出力端子でフェイルが検出されたかが分からない状態を「不確かなフェイルテスト」として定式化し、故障診断を行うアルゴリズムの開発を行っています。当初は単一縮退故障で実験を行い、良好な結果を得ています。その後、多重縮退故障、オープン故障への適用を行っています。

ロジックBISTのもう一つの課題である故障検出率が上がりにくいことに対する対策として、最近EDAベンダ各社から、ATPGを使用し生成したテストパターンを各社各様の手法で圧縮/展開し、テストを行う圧縮パターンテストが開発されています。高松研究グループの研究の成果は、従来からの擬似乱数パターンをベースとしたロジックBISTのみならず、圧縮パターンテストへの適用も期待できます。

Shuttleスターシャトル[®] サービス

IP開発部 齊藤 薫

はじめに

STARCでは、AS PLAプロジェクトとして、(株)先端SoC基盤技術開発 (ASPLA) と共同で90nmSoCテクノロジープラットフォームの開発を行ってきました。

そして、これまでその成果としてASPLAが運営してきた「Shuttleスターシャトル[®]サービス (スターシャトル)」を、2005年10月より新たに業界シャトルとしてSTARCが継承し、富士通、松下電器、NECエレクトロニクス、ルネサステクノロジ、東芝 (以上クライアント5社) の協力を得て、その運営を開始いたしました。

スターシャトルは、国内初の90nmテクノロジーによる試

作サービスとして2003年10月に開始して以来、World Wide標準のGenericプロセスを中心に、その顧客の活用実績を蓄積してきました。

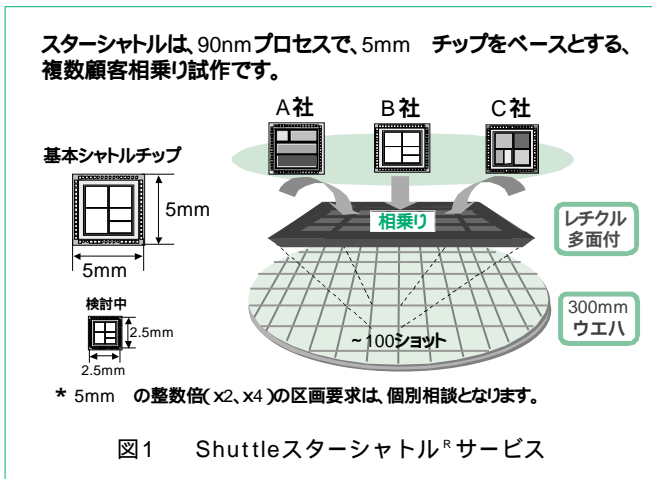
一方、設計インフラに関しても、プリミティブ、メモリ、I/O、新設計メソドロジ (STARCAD-21) の開発と実用化がSTARCで進んでいます。

また、これまでの顧客層は、クライアント5社と大学関連が中心でしたが、今後は更なる顧客層の拡大を図り、90nm SoCテクノロジープラットフォームの活用を促進します。

Shuttleスターシャトル[®] サービスの概要

基本シャトルチップサイズ

スターシャトル (複数相乗り試作便) は、その基本チップサイズを5mm で運用しています。



このサイズは、90nm世代のテクノロジーで、約500万ゲート (2NAND数換算) 超の論理規模搭載が可能であり、SoC/IPの試作として十分なサイズです。また、オプションとして、5mm の整数倍 (x2, x4) への対応に加えて、2.5mm サポートによる顧客への試作費用軽減策を検討中です。

スターシャトル、2種類の基本プロセス

スターシャトルの基本プロセス (GenericシャトルとLow Powerシャトル) メニューを図2に示します。

スターシャトルは、標準プロセスのGenericシャトル (1.0Vコア、6層配線) と低消費電力を狙ったLow Powerシャトル (1.2Vコア、6層配線) の2種類を用意しています。

また、拡散オプションとして、アナログ研究開発等に向けた3層Well構造、MOS容量プロセス、3.3V I/Oの対応が可能です。

スターシャトル、コアトランジスタの特性

図3にスターシャトル2種類のコアトランジスタの特性を

【スターシャトルの基本プロセス】

Genericシャトル

Tr : Core 1.0V (マルチVth : HP, MP) I/O 2.5V
配線 : 6層Cu+Pad Al+PI Cover

*オプション

Triple Well 構造

MOS容量プロセス

I/O 3.3V

Low Powerシャトルは、現状、不定期便となっています。個別にお問合せ下さい。

Tr : Core 1.2V (マルチVth : HP, MP) I/O 2.5V

配線 : 6層Cu+Pad Al+PI Cover

図2 スターシャトルの基本プロセス

Technology Name	AS90 G		AS90 LP	
	MP	HP	MP	HP
Vt				
Core Voltage (V)	1.0		1.2	
Gate Oxide (Å)	16		20	
nMOS Lg (nm)	60		85	
Ion ($\mu A / \mu m$)	440	590	390	490
Ioff (nA/ μm)	0.5	5	0.004	0.04
pMOS Lg (nm)	60		85	
Ion ($\mu A / \mu m$)	190	250	160	195
Ioff (nA/ μm)	1	10	0.01	0.07

図3 スターシャトルのコアトランジスタ

示します。

標準プロセスのGenericシャトルは、高速性と低動作電力を狙った仕様であり、低電源電圧で高いオン電流を得られる特性が特長です。

一方、Low Powerシャトルは、高速性と低スタンバイ電力の両立を図った仕様で、モバイル製品やコンシューマ製品等の用途を想定しています。

両仕様とも、それぞれの目的に対して、業界トップクラスの性能を実現しています。

なお、コアトランジスタについては、双方ともMulti-Vth対応（HP/MP: High/Middle Performance）により、高速・低電力設計の最適化を可能にしています。

業界標準、“90nm標準ライブラリ”

図4に、スターシャトルに利用可能な設計インフラの例として、STARCが業界標準として開発した論理合成容易な“90nm標準ライブラリ”のラインアップを示します。

標準プロセスのGeneric版ライブラリ【AS90 G】は、主として高速性能をターゲットにしています。MPとHPの2種類のトランジスタに対応したプリミティブ・ライブラリを使い分けることで、性能と消費電力のバランスを考慮した最適設計が実現できます。

一方、Low Power版ライブラリ【AS90 LP】は、コンシューマ用途をターゲットに、とくに待機時で約1/100となる低リーク特性重視のライブラリを用意しました。

標準Compiledメモリとしては、STARC-ARM社との共同開発により、Single/Dual PortのSRAMと、Register File、ROMなどを含め、Generic/Low Power向けに、計10種類を用意しました。

また、IP検証向けに、評価に必要な基本機能をカバーした標準I/Oも準備しています。

スターシャトル活用実績

スターシャトルは、ASPLAで2003年10月よりサービスを開始して以来、14試作便を運営し、クライアント5社、大学関連の130以上の設計案件をサポートしてきました。

図5にアンケート回答から入手したスターシャトルの用途を、現在までの顧客活用実績としてまとめました。

分析結果として、用途は90nmテクノロジーにおけるCPUコア検証、素子研究、回路技術、設計手法、解析手法等、多岐に渡っていますが、内容からみると先端半導体の素子研究の他、今後本格化する90nmSoC開発に向けた機能の先行開発とその検証が始まっていると考えられます。したがって、90nmテクノロジーが本格化する今後は、さらにIP検証などにスターシャトルが活用されるものと期待しています。また、活用顧客の約60%が試作成果を学会に投稿しています。

スターシャトルの活用手順

図6に顧客がスターシャトルを活用する場合の手順を示します。

まず、STARCよりスターシャトルの概要情報の提供を受

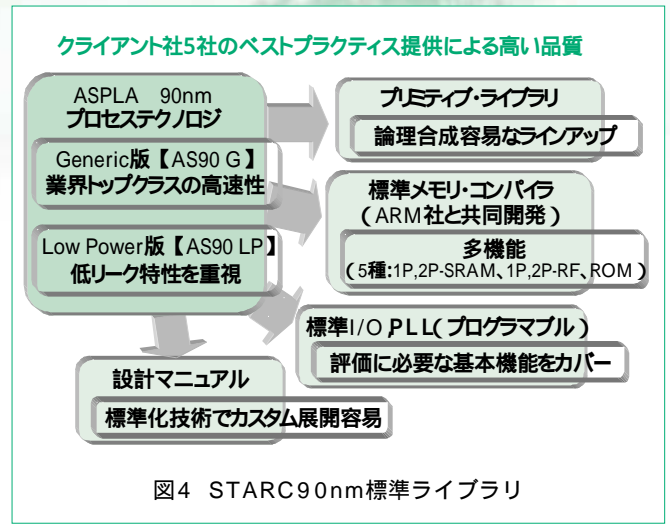


図4 STARC90nm標準ライブラリ

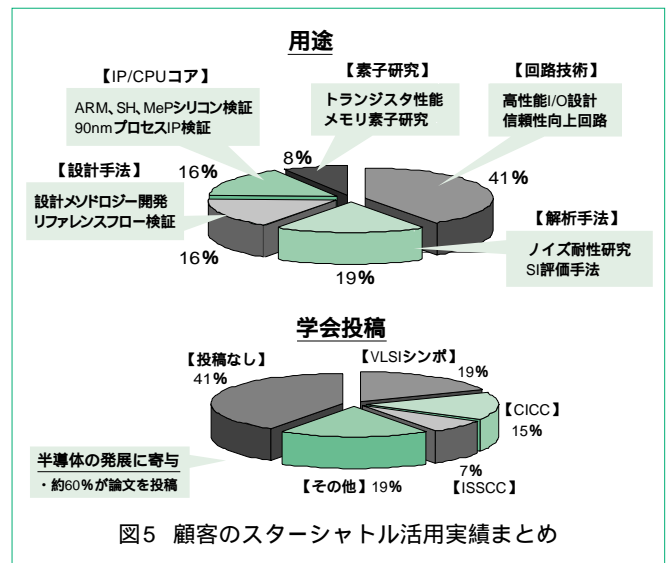


図5 顧客のスターシャトル活用実績まとめ

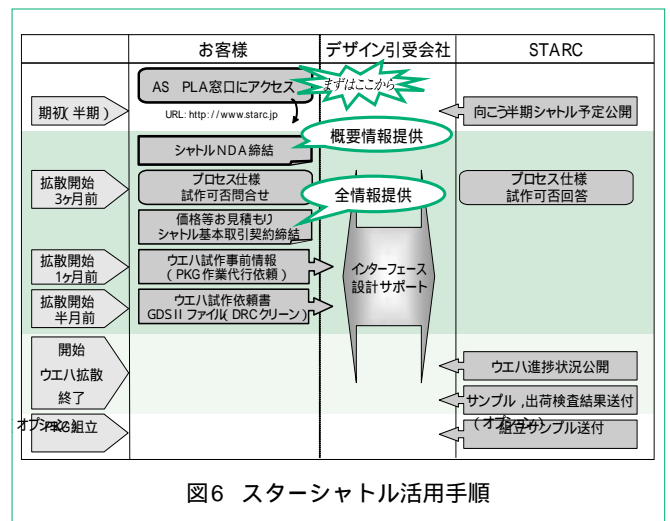


図6 スターシャトル活用手順

けたあと、事前検討をご要望の顧客には、STARCと顧客間で秘密保持契約（NDA）を締結していただきます。これにより顧客は、スターシャトルの概要情報（シャトル設計ガイド、ライブラリデータシート、プリミティブライブラリ抜粋版）に基づく予備検討をすることが可能です。

予備検討の結果、スターシャトルの活用を決定していただきました段階で、STARCは顧客とスターシャトル取引契約

を締結させていただきます。その後、STARCから90nmフルライブラリキット、SPICEモデル、デザインマニュアル、DRC/Densityチェックツール等のスターシャトルデザインキットを提供いたします。顧客はこれらの情報をベースに、設計環境を立上げ、搭載するカスタムセル/IP設計を行い、最終的にはDRC/Density検証後のエラーフリーのGDSデータをSTARCに提供いただきます。

顧客からSTARCへの発注は、注文書、署名済み試作依頼書（顧客要求仕様書） DRC/DensityエラーフリーGDSデータの3点セット提供により完了いたします。

なお、スターシャトルの予約は、シャトル運行月の3ヶ月前から可能になります。

またSTARCでは、スターシャトルの顧客設計をサポートしていただくパートナーとして、90nmテクノロジーの設計で重要な、ノイズやシグナルインテグリティに対する設計ノウハウを持つデザインハウスの方々との提携も推進しており、顧客に紹介させていただいております。

顧客への納品物

次にスターシャトルの試作による、STARCから顧客への納品物に関して説明します（図7）。

標準では、トランジスタ特性のセンター条件で試作し、STARC出荷判定基準を合格したウエハから40チップを提供いたします。ウエハ上に配置したスクライブTEG、モニターTEGで特性評価を行い、出荷判定の根拠となった出荷データは、チップと一緒に顧客に提供いたします。

また、オプションサービスとして、納入チップ数の増量、インプラ注入量の特別管理によるVthバラツキチップ（Nch/Pch：High/High、Low/Low）の製造、STARC提携組立会社のラインアップ（図8）内にあるパッケージの組立手配代行が可能です。

なお、これらオプションサービス分は、顧客負担となります。

スターシャトルの運行計画

図9に、スターシャトルの年間運行計画を示します。

スターシャトルは、シャトル投入月の前月末日をGDS締め切り（受注締め切り）としています。

STARCでは、顧客からの発注3点セット（図6で説明）を受領後、速やかにマスク処理、発注を行い、ウエハ投入を月の中旬に開始します。ウエハ処理完了は、ウエハ投入から約2ヶ月程度です。その間のロット進捗状況を1回/週のペースで顧客に連絡いたします。

現在、2005年度のスターシャトルは、Genericプロセス便2便の運行が確定しています。

なお、顧客の用途分析でも述べましたが、学会投稿目的の顧客需要が多いため、今後は年間パターンとして、3ヶ月ごとに1便（Genericシャトル）のペースで継続的な運行を計画する予定です。学会投稿のためには、STARCでの試作期間に加えて、顧客の評価期間を考慮する必要があり、図9に

標準サポート

標準提供サンプル

STARCのプロセス出荷検査基準値をクリアしたウエハ上の40チップを提供します。テストングはありません。

サンプルの特性

標準の40チップは、特性センター条件で提供し、信頼性保証はありません。

出荷データ

トランジスタ特性	抵抗
オン/オフ電流	拡散層/ゲート
スレッショルド電圧	コンタクト/配線
耐圧 等	VIA 等

オン電流
1000000

オプションサポート

追加サンプル対応

40チップ以上の追加サンプル要求に対応を致します。但し、追加ウエハの投入等は、お客様負担となります。

Vth条件振り対応

Vthコーナー（N/P：Hi/Hi、Low/Low）のサンプルに対応します。但し、追加ウエハ2枚等の費用はお客様負担となります。

パッケージ組立対応

提携組立会社のラインアップ内で、組立手配代行に対応します。但し、組立費用は、お客様負担となります。（min.24pinDIP～max.484pinPBGA）

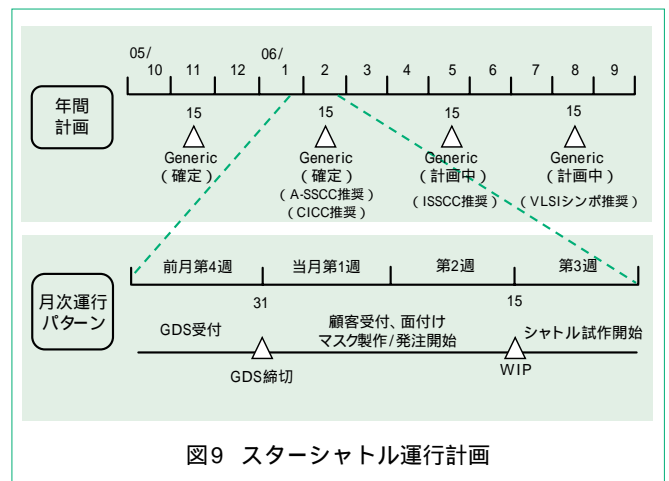
* 上記は概要です。正式には個別相談により、見積りを提示致します。

図7 スターシャトル納品物

Pin 数	PKG	外形	24	72	80	100	108	132	192	208	256	289	304	352	484
セラミック	DIP	30.5x15.1													
PGA		27.9x27.9													
		35.5x35.5													
QFP		14x14													
		14x20													
		28x28													
FPBGA		11x11													
		14x14													
		19x19													
BGA		27x27													
		35x35													
CSP		5x5													

注意 *FPBGA, BGA, CSP等は個別案件毎にアセンブリパートナーにお問い合わせ下さい。

図8 STARC提携組立会社パッケージラインアップ



示すように、2月便のA-SSCC/CICC推奨、5月便のISSCC推奨、8月便のVLSIシンポ推奨を、2005年度の各学会の投稿締め切り日から推測し、計画しています。

問い合わせ先

STARCでは、クライアント5社の協力を得て、今後も引き続き、国内電子産業発展のために、広く半導体研究開発にかかわる顧客の皆様へのスターシャトルサービスを提供して参ります。

まずは下記URLまで、ぜひお問い合わせください。

URL：Shuttle@starc.or.jp

SoC設計技術STARC実習講座と 大学教育支援活動

研究推進部教育推進室

1. はじめに

教育推進室では2001年度から「あすか計画」の一環として、SoC設計技術の教材を作成し、国内の大学院を中心とする教育機関に対して、教材や一部講師を派遣して、SoC研究開発の人材育成を支援しています。教材は講義と実習とからなっており、実習では、実習モチーフ、テキスト、実習用PC、実習用ツールなどからなる実習教材を開発し、STARCクライアント会社等の技術者を中心とした協力のもと、大学へ教材の貸し出し、講師やTA (Teaching Assistant) の派遣を行い、集中実習講座開催を支援しています。本記事では、あすか計画の最終年度にあたり、STARCの大学教育支援活動の中での実習について紹介します。

2. SoC設計技術実習講座の狙いと全体像

集積回路の集積度はムーアの法則に従って成長し続けてきましたが、今後も暫くはおおむね同様な増加傾向を維持することが期待されています。一方、SW (ソフトウェア) の行数はムーアの法則よりも急峻な9ヶ月で2倍の増加傾向を維持し続けています。このSWの急峻な増加傾向は、システムにより多くの機能をSWで実現する時代への変貌を表しており、SoC設計のSW比重は大きくなりつつあります。こうしたLSIに搭載されるシステムの複雑化への対応のために、いわゆるSoCアーキテクトの育成が叫ばれています。性能、コスト、開発期間など、SoCにまつわる数多くの制約条件の中で、最適な現実解を設計するための旗振り役としてのSoCアーキテクトの重要性は日に日に増しているといえます (図1)。

本実習講座はこうした観点から、実習を通してSoCアーキテクトを育成することを狙っています。実習講座は、これと

対になって組まれている講義を受講した学生に対して実施することを前提に、講義に続けて実際に設計してみることによって、理解をより確かなものとし、さらには、システム全体を設計できる技術も習得し、SoCアーキテクトを目指したいとの向学心を燃やしてもらうことを期待しています (図2)。

そのために実習では、システム仕様からボードでの動作までの設計を、**動かす楽しみ**を味わいながら、チーム作業を通して**模擬体験**してもらうことを、第一義に、次のような技術を習得してもらうことを狙っています。

- ・ **最先端のSoC (System on a Chip) 設計技術**を、模擬体験を通して身に着けます。
- ・ 現場で製品を設計するための**必要な設計工程**を、模擬体験によって得ます。
- ・ **共同作業と役割分担の重要性**を、チーム作業を通して理解します。

実習は、以下の点に重点をおいて、特徴としています。

先端分野の設計モチーフを体験

画像や音声などがあるデジタル機器をモチーフとしているので、自分で設計したものを操作してその達成感を味わってもらいます。

システム仕様から始まる設計を体験

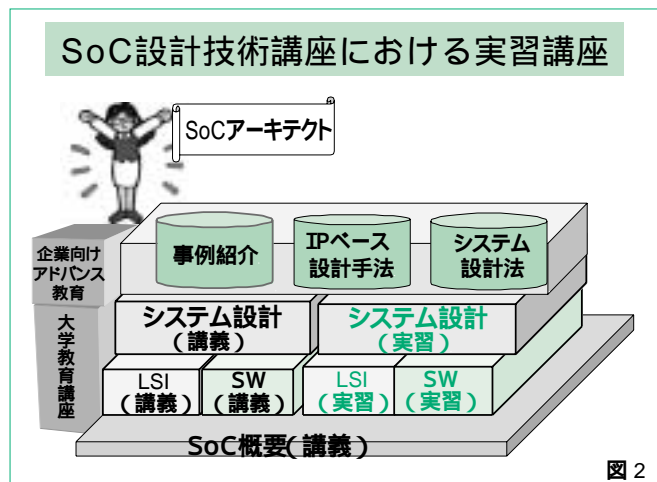
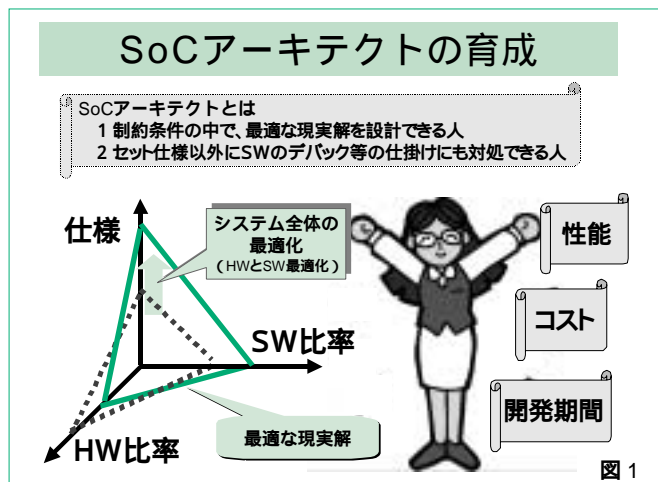
要求仕様に基づきトップダウンに設計と検査を積み重ねる訓練を行い、期間・性能・機能のバランスの取れた設計を体験してもらいます。

最先端の業務を体験

ツール、教材、品質管理など、設計現場で利用されている技術やツールを使用してもらいます。

チーム設計を体験

設計チームの一員としてコミュニケーション、リーダーシップ、ネゴシエーションを行いながら、役割分担や、各



専門分野にまたがる横断的な共同設計を理解してもらいます。

設計分野で3つのコース

システム設計、LSI設計、組み込みSW設計の3コースを用意しており、各設計の関係と位置づけを理解してもらいます。どのコースも共通の設計モチーフを用いるため、複数のコースを受けることにより、理解の促進を期します。

これらを実現するために、実習モチーフには、統一テーマとしてDVD再生機を採用しました。ただし本物のDVDでは、回路の複雑度や取り扱い速度、メディアの容量などで困難をきたすので、実習向けに大幅に簡略化した状態のDVDもどきの再生機をモチーフとしました。これを、疑似DVDプレーヤ（簡易AV再生機）と呼んでいます（図3）。これにより、比較的簡単で、かつシステムとしては最新のものであり、動画や音声が出ることから実装時に達成感を得られます。SWやHWの切り分け方や、システム設計としての仕様のあり方が、その商品の価値を大きく左右する格好の題材であることなどから、統一テーマとして選んだものです。

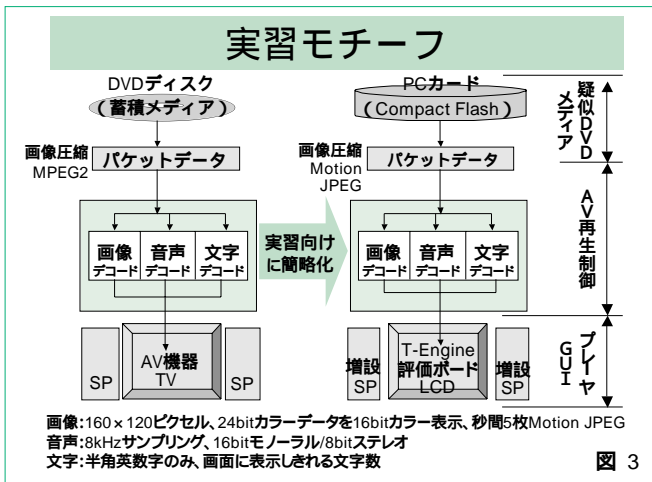


図 3

実習教材の開発は、STARCが(株)インターデザイン・テクノロジーに依頼し、提案された実習講座内容が元になって決定されました。インターデザイン社は、システムレベル設計技術をコア技術としてVisualSpecを核にした各種ツールの開発販売、設計環境構築ソリューションの提供、設計コンサルテーションを行っており、仕様記述から実装に至るまでのSWとHW（ハードウェア）の設計の両方に係わっています。今回の実習講座の開発にあたっては、講座内容、教科書、実習教材、実習ツール環境、模範解答、等の作成、継続的な改良・メンテナンスを依頼しています。また実習講師の養成も担当してもらいました。

2001年度からスタートした講義講座は徐々に拡充され、SoC概要編、LSI設計編、組み込みSW設計編、システム設計編と4編からなっています。実習講座もそれを追って拡充されてきました（図4）。2002年度にはLSI設計編と、システム設計編が完成。さらに、2003年度には組み込みSW設計編が完成しました。また、各種ツールの使い方を効率的に習得してもらえるようにビデオ教材を作成しました。2004年度には教育

SoC設計技術実習講座作成の推移

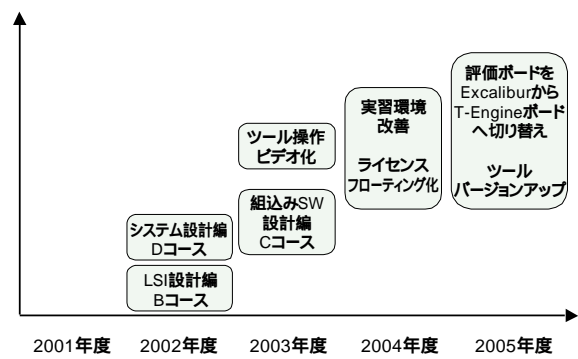


図 4

運用の改善のため、PCネットワーク環境の改善やツールのライセンスのフローティング化を行いました。2005年度には、ユビキタス時代に向けて教材の改良を狙い、T-Engine概要編を講義講座に盛り込むのと相まって、実習ボードを当初のアルテラ製Excalibur ARM EPXA10開発ボードからパーソナルメディア(株)製T-EngineボードT-Engine/ARM926-MB8へ変更し、教材のコスト改善も実現しました。同時に、ツールのバージョンアップに対応するために、教材の改良を行いました。

3. 各コースの構成と、教材の内容

図5にSoCの設計フローと実習講座の構成とを示します。実習講座は、システムの動作との関連を把握しながらRTL設計を行うBコース（LSI設計編）、HWやシステムの構造を把握しながら組み込みSWの開発を対象とするCコース（組み込みSW設計編）、システム全体からHW、SWを統合した設計を対象とするDコース（システム設計編）の三つのコースからなっています。三つのコースはそれぞれ独立した内容となっており、独立した受講が可能です。

モチーフは簡易化したものであるとはいえ、システム全体を対象とするのは、実習時間内（90分×15コマ）での完成が難しいと思われるので、受講者には大きな開発組織に属する一チームとしての役割を体験してもらいます。

システム設計編では、仕様設計チームとしての役割が与え

実習講座の構成とSoC設計フロー

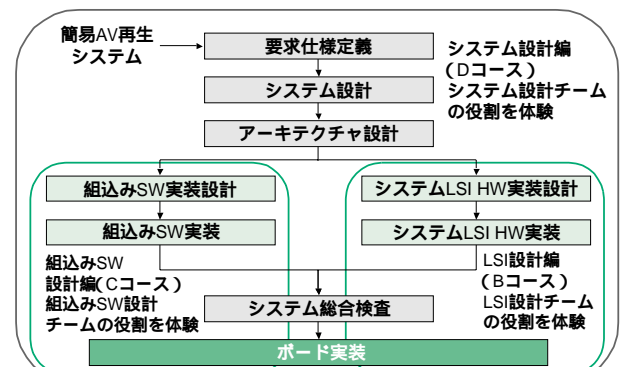


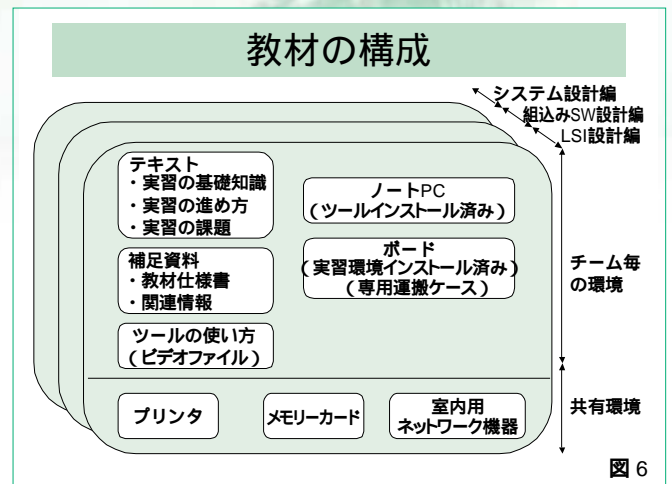
図 5

られ、SoCの要求定義から、システム仕様の定義、アーキテクチャの検討などのシステム設計を体験します。システム記述言語を使った仕様モデルの作成、アーキテクチャのトレードオフ検討(問題解決能力) 要求仕様を満たすアーキテクチャ設計を、モチーフを通じて実習します。実際のHWとSWの設計は、分割作業や動作合成などツールによる自動化により、システム設計データをそのまま使用して、T-Engineボードで動作可能なレベルまで具体化できることを体験します。

LSI設計編では、LSI設計チームとしての役割が与えられ、システムレベルで定義された仕様を基に、RTL設計・コーディングを体験します。VHDL単体検証や、教材として用意されているアーキテクチャ設計モデルと組み合わせるHW/SW協調検証を行うなどの検証を行います。合成を行い、T-EngineボードにHWを実装し、動作を確認します。

組込みSW編では、組込みSW設計チームとしての役割が与えられ、システムレベルで定義された仕様を基に、SoC設計のための組込みSW設計を体験します。システムシミュレータを駆使することで、実装する機器が準備されていない状態でのSW開発作業を実習します。さらにT-EngineボードにSWを実装し、動作を確認することで、既存のHWと組み合わせる動作させることにより、実機で動作させる上でSWプログラミングでどういうことに配慮しなければならないかを考えさせます。

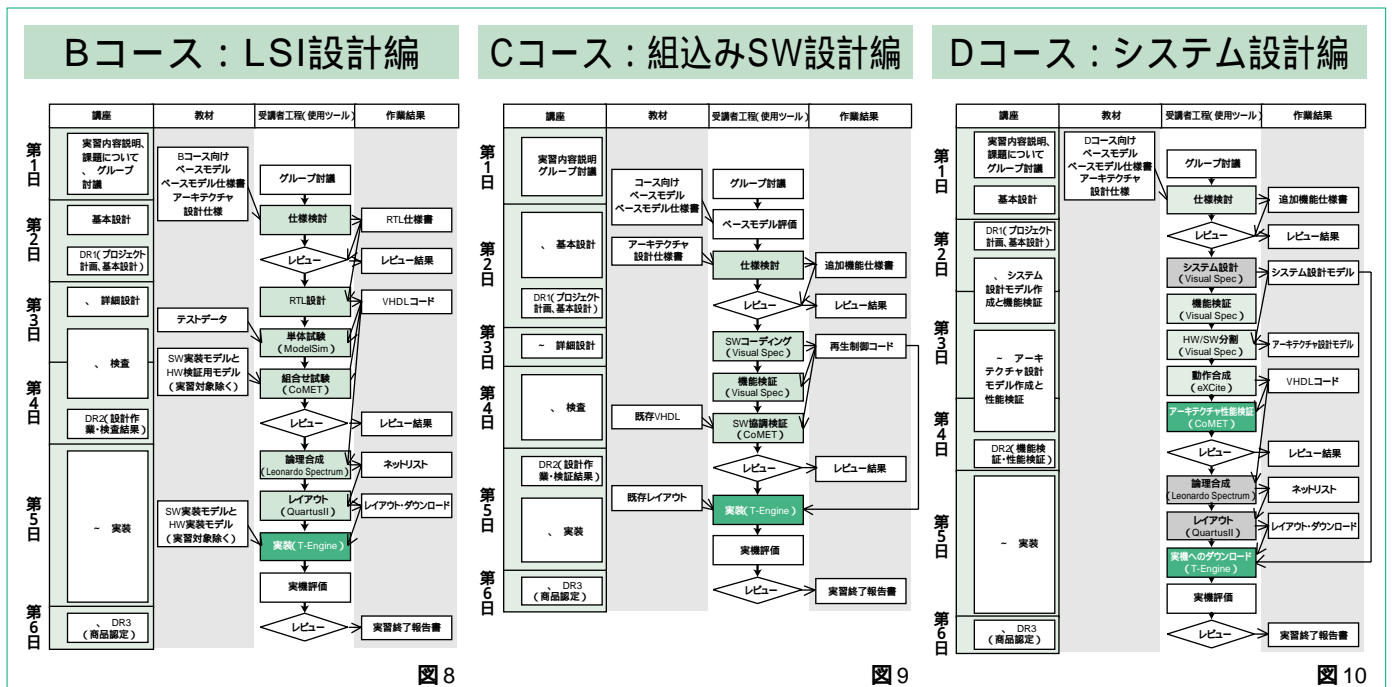
役割を演じつつ実習を進めることにより、例えば、HW設計者であれば、一緒に開発してくれるはずのSW担当者が果たしてくれる役割を理解し、さらにはシステム全体の設計者との間の役割分担を体得してもらうことにより、開発全体の役割分担と業務の連携を理解できます。このようにして、企業に入った後、設計チームに加わり、ある部分を任されて担当したり、先輩と一緒に設計したりする、実際のなありさまを模擬的に実習で体験してもらいます。



教材の構成は(図6) テキスト、補足資料、ビデオ教材、実習用PC、実習用ボード、からなっています。

テキストは、実習の基礎知識、実習の進め方、実習の課題からなります。実習の基礎知識には、例えば、仕様書、設計、検証、デザインレビューといった知識について要点をまとめてあり、事前に勉強してきてもらうことを前提としています。実習中は、実習の進め方に沿って作業を進めます。実習の課題は必須課題と発展課題に別け、実習コース期間で、確実に設計から実装まで到達できるように設定しました。

次に実習の流れを各コースごとに示しました(図8,9,10)。各コースは6日間(もしくは5日間)の連続集中講座となっています。実習の基本的な流れは、どのコースでも共通です。要求仕様と教材を理解し、次にチーム内の役割分担、工程作成、設計仕様書の作成を行います。それらの設計方針についてデザインレビューを行い、評価します。結果に不満足の場合は設計方針を立て直します。次に実際の設計作業に取り掛かります。設計とPC上での検証が終わったところで再びデザインレビューを行い、設計・検証した状況を確認します。次にボードへの実装を行い、実機評価をします。最後に、成



成果発表風景



(名古屋大学での実習風景) 図 7

果発表の形式(図7)でデザインレビューを行います。各チームが他の全受講者に対して、自チームのプロジェクトのうまく行った点、失敗した点を発表してもらい、プロジェクトの成果を売り込みます。

以上を通して、バグや後戻りのない設計を完遂する方法や重要性を理解してもらいます。実施大学からは、このような設計プロジェクトの体験は受講者には大変貴重なものだと評価をいただいています。

4. 実習ボードとツール群

実習ボードの構成を(図11、12)に示しました。実習ボードでは、ARM926上でT-Kernelが動作し、その上で教材の簡易AV再生システムのSWが動作します。画像・音声コンテ

ントはコンパクトフラッシュのPCMCIAカードを介してPCから実習ボードにダウンロードします。電源を投入すると、コンテンツサーバーソフトがコンテンツを読み出し、LCD上にGUIが表示されます。LCD上のタッチパネルと、LCDボード上のスイッチとが、入力デバイスであり、電源や再生関係のボタンが、GUI上に表示されタッチパネルで操作できるものと、スイッチで操作できるものとに割り振られています。FPGA上にはJPEGデコーダや音声デコーダの回路が入っています。再生された画像はLCDに表示され、音声は外部SP(スピーカ)で再生されます。

実習ボードの使用状況を(図13)に、実習ボードの写真を(図14)に示します。スピーカやデバッグ用ポート、FPGAへのダウンロード用ポート、電源、などをまとめています。搬送が容易になるようキャリングケースも用意しました。

実習ボードの使い方



実機の表示画面



実機での評価
(名古屋大学での実習風景) 図 13

実習ボードの構成

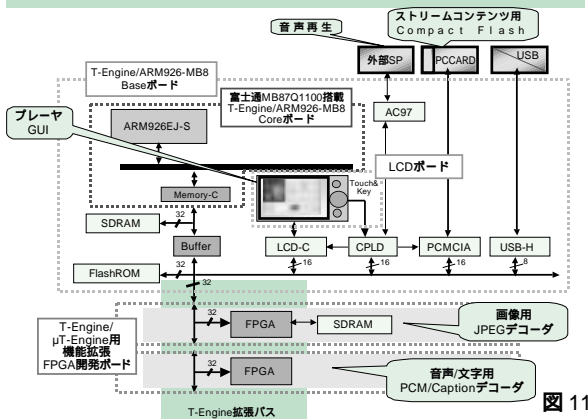


図 11

実習ボード(写真)



図 14

実習ボードの構成

ボードの種類	ボード名	ベンダー名
富士通CPU搭載 T-Engineボード	T-Engine/ARM926-MB8	パーソナルメディア
T-Engine用LCDボード	LCDボード	パーソナルメディア
T-Engine用FPGAボード	T-Engine/μT-Engine用機能 拡張FPGA開発ボード	ALTERA

以上のツール名及び会社名は各社の商標並びに商号です。 図 12

教材のT-Engine化のメリットは、T-Engine規格そのものの技術的魅力に加えて、次のような点があります。モチーフ動作に必要なデバイスがボードに揃っており、PCを使わずにすむため、単独動作が可能で、実習の達成感が高い。規格仕様がオープンであり、学習向けに有効です。HW環境が安価で追加購入が容易です。T-Engineボード上に開発したSWは各社ボード間の互換性を確保しやすく、開発にあたって将来の移植容易性も考慮したので、同じ規格の代替製品の利用が容易になります。

T-Engineボードの選択にあたって、ARM92x系CPU搭載

実習で使用するツール群

ツールの種類	ツール名	ベンダー名
ライセンス管理ツール	FlexLM ILD/GUIwrapper	Macromedia クレディスト
システム設計ツール	仕様オーサリングツール VisualSpec	インターデザイン・テクノロジー
EDAツール	HW/SW 協調検証 CoMET	VaST Systems Technology(ガイア・システム・ソリューション)
	RTLシミュレータ ModelSim	Mentor Graphics
	動作合成 eXCite Pro	Y Explorations(ソリトンシステムズ)
	論理合成 Leonardo Spectrum	Mentor Graphics
	FPGAレイアウト QuartusII	ALTERA(アルティマ)
SW開発ツール	C++コンパイラ GNU T-Engine環境向け版	パーソナルメディア
主なSW部品	GUI WideStudio	(フリーソフト)
	RTOS PMC T-Kernel/ PMC T-Monitor	パーソナルメディア

以上のツール名及び会社名は各社の商標並びに商号です。 図 15

ボードから、LCDの色数が多く、バス幅の広いものを選択しました。

実習で使用しているツールやSW部品を(図15)に示します。最先端の実習を実現するため最新のツールを採用し、ツールベンダーや代理店には、大学実習のためアカデミックディスカウント等の特別なご協力をいただきました。

5. 実習の運営

実習は1コマ90分として全15コマからなっており、2~3コマ/日で、6日間の連続集中講座として開催されます。集中講座なので、週1コマの通常の授業とは異なり、夏期、冬期などの休暇期間に、開催しています。授業終了後の時間は残業(自習)時間(規定時間を延長して実習を継続)とし、受講者に工程とともに残業予定を立てさせ、自己管理してもらいます。

実習講師陣は、講師1名のほか、TAが受講者数に合わせて2~4名で、HWサポート、SWサポートできる者をそれぞれ1名以上の体制で臨んでいます。

本実習の対象受講者は、LSIを使ったシステムの設計に関する専門家を目指そうとする大学院生および学部生(3~4年生)です。実習チームは5名/チームを目安とし、チーム分けは、学年、学科、設計スキルが偏らないよう、相補的なスキルをもった受講者でチームを組むように、教育機関側(担当教授等)に決めていただきます。つまり、数人からなるチームが編成され、HWが得意な人、SWが得意な人、進行の推進役が得意な人、自分たちの考えた仕様や設計内容を他のチームに売り込み、マーケティングを担当する人等々に役割分担してもらい、チームの総力で完成を目指します。

クラス構成は、授業の内容上、6チームを上限に運営しています。

教室環境は、複数の島状に配置できる机がある(机が自由に動かせる)教室を使用し、各チームごとに一つの島状の机を使用します。

実習では、デザインレビューの導入(図16)により、運営上のマイルストーンとしています。毎回のデザインレビューを講師、TA等全員参加で行うことにより、講師、TAによ

デザインレビュー



(立命館大学での実習風景)

図 16

る進捗状況の正確な把握と的確なアドバイスを可能としています。また遅れているチームの受講者を進んでいるチームのデザインレビューに参画させることにより、チーム間の能力差による実習進捗のばらつきを抑える効果があります。各チームの技術レベルや進捗状況に合わせて発展課題に取り掛かってもらうことも含めて、同時に複数のチームを指導できるようにしています。

実習機器はPCとFPGAボードの組み合わせで用意しており、教育機関の準備状況に応じて機器の貸し出しを図っています。STARCのPCには、使用するツールと教材は予め搭載しています。

6. 教育機関での実施状況

SoC設計技術実習講座の利用大学は、現在6大学(図17)となっています。利用希望大学は年々増え続けていますが、残念ながら、開催希望時期、貸出し教材の数や、派遣する講師、TAの人数の都合から、現時点ではすべての利用希望には応えられない状況です。

実習開催の実績(図18)では、システム設計編Dコースが最も多く、毎年増加傾向にあります。LSI設計編Bコースと組込みSW編Cコースは2回ずつの開催となっています。受講者数(図19)では、DコースとBコースが多く、ほぼ同じ受講者数になります。

実習講座利用状況

	LSI設計編 Bコース	組込みSW 設計編 Cコース	システム設計 編 Dコース
慶應義塾大学			○
中央大学 早稲田大学講座に参加	○		
東京工業大学		○	○
名古屋大学 名古屋大学は初年度B、以降D採用			○
立命館大学	○		○
早稲田大学	○	○	○

図 17

実習講座コース別開催実績

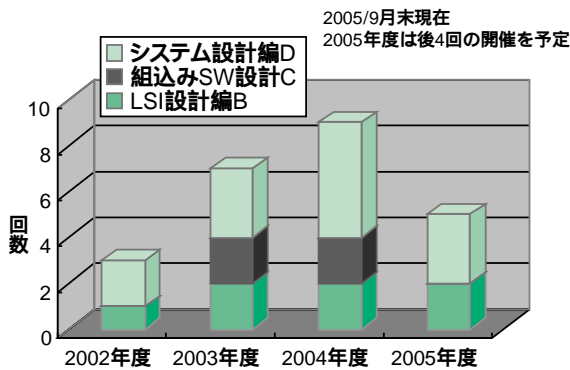


図 18

2005年度中には受講者数の累積が500人に達する見込みです。

このために、貸し出し教材設備の増強や、新たな講師、TAの養成を予定しています。また、講座開催の効率を向上するために、各大学から一箇所に集まってもらっての集中開催を行うなど、大学の協力をいただきながら拡大したいと考えています。教材の内容についても一層の充実を図る予定であります。

7. まとめ

LSIに載るシステムの複雑化に伴い、SWへの重点シフトと、大人数での設計運営とを、効率よく行うことが求められています。そのために、与えられた制約条件の中で、最適な現実解を設計すること、HW/SWそれぞれの領域に踏み込んで仕様設計すること、そしてチーム運営の大切さを知ることが、SoCアーキテクトの育成に重要であると考えています。本実習講座は、学生時代に、必要な技術と仕事への取り組みの一端がわかる人材を育てることを目的としている点で、ま

実習講座受講者累積

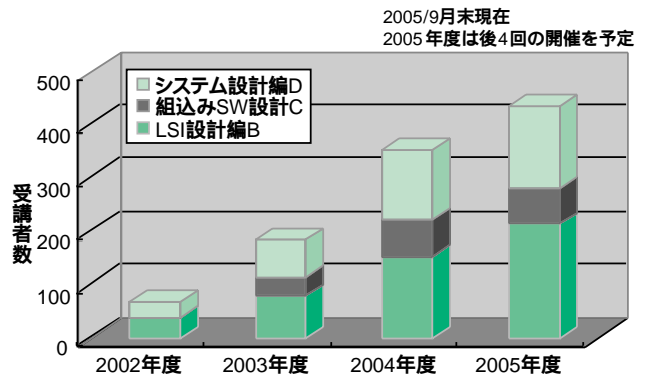


図 19

実習風景



早稲田大学での実習風景

図 20

さに次世代の人材を育成する実習講座となっています。

今後、実習により新世代技術を身に着けた受講者が新戦力として企業に集結することになると思います。本実習が我が国のSoC設計競争力の向上に寄与するものと考えています。

(株)インターデザイン・テクノロジー 石井 忠俊)

(研究推進部教育推進室 有賀 正憲)

トピックス

hdLab論理設計技能検定試験ESAを「STARC認定」として一般実施

2005年度のVerilog HDLに関する「設計技能検定試験」を10月20日から開始するにあたり、STARCとhdLabが予ねてより準備を進めてきました本試験を「STARC認定」としてSTARC株主会社以外の一般にも適用することになりました。これにより本試験に対するなお一層の業界認知の向上・受験者数の増加を期待しております。試験開始に先立ち10月19日に共同でプレス発表し、下記4社のWebニュースに掲載されました。

掲載記事およびニュースリリースは、次のWebページをご参照ください。

- ・ Electronic Journal : <http://www.electronicjournal.co.jp/index.html>
 - ・ EDN Japan : http://www.ednjapan.com/content/l_news/2005/10/20_04.html
 - ・ プレスジャーナル : <http://www.semiconductorjapan.net/>
 - ・ 日経Tech-On! : <http://techon.nikkeibp.co.jp/article/NEWS/20051025/110087/?ST=edaonline>
- STARCニュースリリース : <http://www.starc.jp/about/release/051019-j.pdf>

(教育推進室 今村陽一)

国際学会参加報告

第31回 ESSCIRC 2005

(European Solid-State Circuits Conference)

はじめに

第31回ESSCIRC (European Solid-State Circuits Conference) は、2005年9月12日から16日にかけてフランス南東部のグルノーブル市で開催された。日本人には冬季オリンピックでなじみの深いグルノーブルであるが、多くの研究所、コンソーシアム、大学が集中する学研都市でもあり、市電(トラム)が行きかう車の少ない街中のカフェで知的にみえる人々が議論する姿が多く見受けられるシックな町である。夜の8時くらいから広い年齢層の人々が至るところでワインやビールをチビチビやりながら語り合うということは、テレビを視聴する習慣がないこと、テレビより面白い会話が弾んでいることを示すのであろう。最近マスメディアの影響力が増す一方の日本社会と比較して興味深い。

論文投稿状況

今年のESSCIRCは全大陸30カ国から288件の論文投稿があり、113件採択(採択率=39%)と昨年の37%より若干広がったが相変わらず狭き門である。主なトピックとして主催者が以下の7分野にまとめている。

Analogue circuits
Data converters
Digital circuits
RF and wireless circuits
Digital and mixed signal SoC integration
Mixed signal, high voltage and high power circuits
Imagers, sensors and Microsystems
純粋なデジタルは一分野のみであり、他はアナログ、RF、ワイヤレス、データコンバータ、センサー、イメージャ、と多彩なデバイス群である。採択論文の傾向を表に示す。ヨーロッパからの論文が過半数を占め、北米から

が1/5、日本、アジアが各々1割ずつという占有率である。どの地域セクターも大学からの論文のほうが多いのは最近の傾向であり、とくにヨーロッパに著しい。セッション名をみるとアンブ・センサー・イメージャ・データコンバータが多いことに気づく。

STARC関連の発表

日本からのレギュラー11件の発表(企業から5件、大学から6件)のうち、STARC-大学共同研究関係のものは、神戸大学・永田研の野口宏一朗君の5G.2 "An On-Chip Multi-Channel Waveform Monitor for Mixed-Signal VLSI Diagnostics" のみであった。オンチップのモニター回路により内部信号をキャプチャする回路TEGを試作し、

外部測定装置を用いた場合に比べ測定時間が1/20以下になることを実証した。併設のExhibitで東工大・益研の伊藤浩之君が "Development of Differential Transmission Line Interconnect IP for High-Speed Global Interconnect" を報告した。高速化に適するオンチップの伝送線路構造をIP化する提案である。他には、セッション2E "Analog Signal Processing" で東大・柴田研の山崎君が2件発表、セッション7Hのイメージャのセッションで静岡大学・川入研の古田君がサイクリックADCについて発表、セッション8G "Digital Power Supply & Wiring" で東大・浅田研の名倉徹君が "Autonomous di/dt Noise Control Scheme for Margin Aware Operation", 同じく池田先生が "Analysis of Low Noise Three-Phase Asynchronous Data Transmission" について、各々発表し、それぞれ注目を集めていた。とくに東大・名倉君の発表の際、正規の質問の他に、後ろの席

ESSCIRC2005採択論文の傾向

(企：企業、学：大学・研究機関、共：共同研究、共同研究の数は産・学が連名になっている論文数であり内数である)

セッション	地 域			日本			アジア			北米			欧州			合計
	開発主体			企	学	共	企	学	共	企	学	共	企	学	共	
1.E. : DC/DC Converters										1	1	1	1	1	3	
1.F. : Amplifiers beyond 10 GHz										1	1		2	1	3	
1.G. : Synthesizer Building Blocks													2	1	3	
2.E. : Analog Signal Processing				2							2				4	
2.F. : Short Range Communications										2	1			1	4	
2.G. : Low Power and High Performance Digital Circuits										1			2	1	4	
3.E. : High Resolution Data Converters													1	2	3	
3.F. : PLLs							1						1	1	3	
3.G. : Clocking and Synchronisation								2			1				3	
4.E. : DSP Building Blocks								2	1	2		1	1	1	6	
4.F. : RF Circuits							1			2			2	1	6	
4.G. : Amplifiers													2	4	6	
5.E. : Ultra Wide Band				1									2		3	
5.F. : Sensor Interfaces								1					2		3	
5.G. : Test of Digital Circuits and Memory				1							1		1		3	
5.H. : Linear High Voltage Circuits											2			1	3	
6.E. : Continuous Time Filters				1			1							3	5	
6.F. : Sensor Integration											1			4	5	
6.G. : Memory Circuits													4	1	5	
7.E. : Analogue Circuits for Communications Applications											1			2	3	
7.G. : Crypto Systems				1										2	3	
7.H. : Imagers 1				1	1						1		1		3	
8.E. : High Speed Optical Interfaces													2	3	5	
8.F. : Oversampled Data Converters								1		1	1	1		2	5	
8.G. : Digital Power Supply & Wiring				2				1						2	5	
8.H. : Imagers 2													1	2	3	
9.E. : Analog Circuits											1		1	2	4	
9.F. : Cellular Communications				1									1	1	3	
9.G. : High Speed ADCs				1				2					1		4	
合計				5	6	1	3	9	1	10	12	4	28	40	113	

のフィリップスの技術者同士が議論を始めるなど聴衆のインスピレーションをかなり刺激したようだった。また、ESSDERCと共催のパネルディスカッション "Where will the revolutionary solutions come from: technology or design?" にて、ESSDERC側として日本からは東工大の岩井先生と東芝の石丸氏が参画し、熱い討論があった。結

局、岩井先生の「ソリューションは設計でも製造でもなくアプリケーションで決まる」という主張が会場投票で圧倒的な賛同を得た。

まとめ

開発成果を誇示するISSCCと異なり、ESSCIRCは原理原則の分析から新規なコンセプトの導出を丁寧に紹介

する発表が多く、次第にヨーロッパのローカルな学会から脱皮しアナログ・RFを中心とした学会として国際的に認められるようになってきた。今秋からスタートするA-SSCCについてもアジアのローカル学会に留まらず国際的に認知される独自性と価値を確立して世界中から研究者が集まる場に成長することを期待する。（益子耕一郎）

国際学会参加報告

第35回 ESSDERC 2005

(European Solid-State Device Research Conference)

はじめに

9月12日から16日の間、グルノーブルで開催された35th European Solid-State Device Research Conference (ESSDERC)に参加した。デバイス・プロセス関係の学会であるが、設計・回路の学会と同時開催であるという、他の学会にない特徴を持っている。以下、状況を報告する。

学会の特徴

発表論文の技術レベルは、IEDM、VLS Technologyシンポジウムに次ぐ位置付けであると考えられる。論文の内容的には、VLSIシンポジウムのようなインテグレーション重視ではなく、IEDMやSSDMに近い学会である。

この学会の最も大きな特徴は、プロセスと設計・回路の融合を図っていることである。2002年より、European Solid-State Circuits Conference (ESSCIRC)との合同開催を行って

る。通常、Plenary sessionは、学会の初日に実施されるが、この学会では午前のはじめと午後のはじめにPlenary sessionが設定されている。それも、ESSDERCとESSCIRCとのJoint Plenary Sessionが必ず設定されている。このためPlenary sessionが少し多すぎるくらいはあるが、デバイス・プロセスと設計・回路で相互に情報発信を行うという主催者の意図が明確に読み取れるプログラムとなっている。学会前のShort courseや学会後のWork Shopもプロセスと設計の両方が同じ場所で平行に実施されている。

論文投稿状況

投稿論文総数は308件で、採択は123件。採択率は約40%である。企業の論文は76件で、大学からの論文は47件であった。企業では、10ヶ国からの発表があり、フランスが最も多く27件。日本は4件。大学でみると、14ヶ国から発表があり、最も多いのが英国の9件、

それに次ぐのがイタリアの8件であった。全論文にしろる大学関連の論文比率は38.2%とIEDMとほぼ同じ値であった。IEDMでは35.8%(86/240)。また、欧州の大学の発表のうち1/3近くが、企業との連名か他大学との連名になっており産・学の連携、学・学の連携が進んでいることを伺わせる。表1に、国別・地域別の発表論文件数を示す。

学会での技術的フォーカス

歪みSiやSOI、RFデバイスおよびHigh-kの論文発表が多いのは他の学会と同じであるが、不揮発性メモリとナノテク分野の発表が多いことが、一つの特徴である。不揮発性メモリはIとIIと二つのセッションが設けられており、計8件の論文発表があった。また、Short courseやPlenary sessionでも新規不揮発性メモリが取り上げられていた。欧州の主要半導体メーカーであるSTMicronics、Philips、およびinfinionの現在のフォーカスが不揮発性メモリにあるためかもしれない。ナノテク関連では、Nanowires、Carbon Nanotube Devices、およびOrganic Devicesのセッションが設けられていた。TechnologyというよりもまだScienceだと講演者の一人がいていたが、将来の技術を、積極的に、LSIに取り入れていこうとする欧州の姿勢と意気込みとが感じられた。

STARC関連の発表

東工大岩井先生のグループより「The Effect of Y2O3 Buffer Layer for La2O3 Gate Dielectric Film」と題して、希土類High-k膜の発表があった。発表者は、修士課程2年の中川健太郎さん。（吉丸正樹）

表1 国別・地域別の発表論文件数

企業		76件
欧州地域	54件	フランス27、ベルギー11、ドイツ6、イタリア3、スイス3、オランダ1
アジア地域	9件	韓国8、台湾1
アメリカ	8件	
日本	4件	
他	1件	
大学		47件
欧州地域	35件	英国9、イタリア8、ドイツ5、オーストリア2、オランダ2、フランス2、他
アジア地域	4件	中国2、韓国2
アメリカ	5件	
日本	3件	

国際学会参加報告

CICC 2005

(Custom Integrated Circuits Conference)

はじめに

2005 CICC (Custom Integrated Circuits Conference) は2005年9月18日から21日にかけて米国・サンノゼ市にて開催された。投稿論文は350件以上、その内レギュラー論文採択が134件(採択率38%)、今年から企画されたポスターセッションが44件採択、トータル178件で採択率は51%となった。参加者は約450人、これは一昨年のサンノゼ開催時とほぼ同じ数字である。しかし主催者側のポスターセッション併設の意図は参加者増にあるので、参加者数の面からは退潮傾向は否めない。因みに昨年はフロリダ開催であり、シリコンバレーとアジアからの参加が少ないため参考にならない。余談であるが、シリコンバレーで開催のときには、錚々たる大企業の技術者といえども同僚同士で参加バッジを共有して聞きたいセッションのみ参加するので、思ったほど登録人数は増えないそうである。

採択論文の状況

表に、レギュラーセッションの採択論文の傾向を示す。134件中89件が北米からの投稿(66%)であり、アメリカの国内学会といわざるを得ない状況になりつつある。セッション名を概観すると、"Real-World SoC Design...", "Programmable Logic", "Custom Circuits", "Signal and Data Processors", など従来のCICC的なものもあるが、多くはアナログ・RF・ワイヤレス・ノイズ・スケールングなどのキーワードを組み合わせた内容になっており、ISSCC、VLSI回路シンポなどとの差異化ができなくなっている模様である。学会としての方向性を模索する中で今年はBMAS 2005 (IEEE International Behavioral Modeling and Simulation Conference) とのジョイント開催を試行した。これは、シス

テム設計が、1) SoCのみで収まらなくなりパッケージ・基板まで統合設計をすることが必須になってきたことと、2) デジタル回路を対象としたEDAやモデルのみで所望性能を達成できなくなったことの反映であり、良い方向性と思われる。

STARC関連の発表

STARC関連の発表としては、論文番号29.3にて広島大・三浦研より "MOSFET Harmonic Distortion Analysis up to the Non-Quasi-Static Frequency Regime" のタイトルでHiSIMのアピールを行った。このセッションでは標準化の対抗馬であるPSPを推すペンシルバニア州立大学の発表もあり、丁々発止の議論があった。ポスターセッションでは、静岡大・浅井研より "Generalized Method of the Time-Domain Circuit Simulation

based on LIM with MNA Formulation" のタイトルで現在進行中の共同研究成果が報告された。STARC開発第2部からは、論文番号3.3にて小松氏が "Substrate-Noise and Random-Fluctuations Reduction with Self-Adjusted Forward Body Bias" と題して神戸大・永田研との共同開発成果を報告し、また論文番号18.1では招待論文として同じく開発第1部の増田氏から "Challenge; Variability Characterization and Modeling for 65-to 90-nm Processes" を報告した。充実したTEG内容と測定データで聴衆に感銘を与えた。

まとめ

半導体業界の技術変遷やビジネス形態の変化に応じて離合集散が起こるのは企業だけでなく学会でも同様である。CICCも今後どのような道筋を通じて再び顧客満足を与えられる学会に変身していくか、大変興味深い。

(益子耕一郎)

CICC2005採択論文の傾向

(企：企業、学：大学・研究機関、共：共同研究、共同研究の数は産・学が連名になっている論文数であり内数である)

セッション	地域			日本			アジア			北米			欧州			合計
	開発主体			企	学	共	企	学	共	企	学	共	企	学	共	
2. Body Wellness Without Wires											1			1		2
3. Noise and Reliability Containment Approaches				2		2				2						4
4. Real-World SoC Design Methods and Applications				2						2	1	1				5
5 DSP for Wireless								1		1	2					4
6. Emerging Technologies for Unique Applications				1						2				2	1	5
7. Circuits and Systems for High-Speed Links				1				1		3	1	2				6
8. Ultra Wideband Transceivers								2	1	2	1			1		6
9. Advances in Programmable Logic										2	2			1		5
10. Data Converters				1						3	3					7
11. High-Speed Wave- Shaping Techniques										1	2	1				3
12. Memory Circuits and Technology				3				1		2	2	1				8
13. Substrate and Phase-Noise Characterization											5			1		6
14. ESD Implementation Strategies														3		3
15. Custom Circuits				2						3	1	1		1		7
16. Clocking Circuits for Wireline Communications								1		4	1					6
17. Silicon Millimeter Wave ICs, VCOs, and Dividers				1						1	1			3		6
18. Process Variability Characterization and Interconnect Modeling				1	2	1				2	1					6
22.Filters and Amplifiers								1	1		5					7
23. CMOS Scaling and Three-Dimensional Silicon Integration								1		2	1					4
24. Signal and Data Processors									2	1	2					5
25. Behavioral Modeling and Simulation										2	3	1				5
26. Analog Techniques				1						3	2	2		1		7
27. Nanometer Design Intricacies				1						4	1	2				6
28. Future Wireless Systems										2	4					6
29. Advanced MOS Modeling Techniques				1		1	1		1	1	2	2				5
合計				17	2	4	5	7	2	45	44	13	0	14	1	134

Embedded Technology 2005 / 組み込み総合技術展 最先端SoC設計技術セミナーのお知らせ

半導体理工学研究センター（STARC）は、パシフィコ横浜で開催されますET2005 / 組み込み総合技術展のカンファレンス、スペシャルセッションに参加し、最先端SoC設計技術セミナーを開催いたします。

C-6 2005年11月17日(木) 13:00~17:00 パシフィコ横浜 アネックスホール [F204]

最先端SoC設計技術セミナー

13:00~13:50

1) ハードウェア/ソフトウェア協調検証の高速化技術の開発と製品化

新舎 隆夫 開発第2部 上位設計開発室 室長

13:50~14:35

2) 「使える高位合成メソドロジ」の構築について

塩月 八宏 開発第1部 メソドロジ開発室 高位設計活用チーム チームリーダー

14:35~15:20

3) DSM時代でのテスト品質向上を目指して

佐藤 康夫 開発第1部 テスト設計開発室 室長

15:30~16:15

4) IP再利用に貢献するIP機能検証ガイド

今井 正紀 開発第2部 IP技術開発室 主任研究員

16:15~17:00

5) 90nm世代に向けたシャトルの活用法について

斉藤 薫 IP開発部 IP育成支援グループ グループ長

事前登録

<http://www.jasa.or.jp/et/>

カンファレンス事前登録 スペシャルセッション【無料】

C - 6 11月17日(木) 13:00 - 17:00

最先端SoC設計技術セミナー

訂正のお願い

「STARCAD-21 V2.5」は10月3日にリリースされましたが、前号のSTARCニュース25号の内容は、「STARCAD-21 V2.0」です。前号の特集/メソドロジ開発室の表題の「STARCAD-21 V2.5」は誤りです。お詫びして訂正いたします。

(誤) STARCAD-21 V2.5

(正) STARCAD-21 V2.0

STARCニュース No.26

株式会社 半導体理工学研究センター

発行: 下東 勝博

編集: 札抜 宣夫

Semiconductor Technology Academic Research Center (STARC)

〒222-0033 神奈川県横浜市港北区新横浜3丁目17番地2 友泉新横浜ビル6階

TEL: 045-478-3300 FAX: 045-478-3310

URL: <http://www.starc.or.jp>