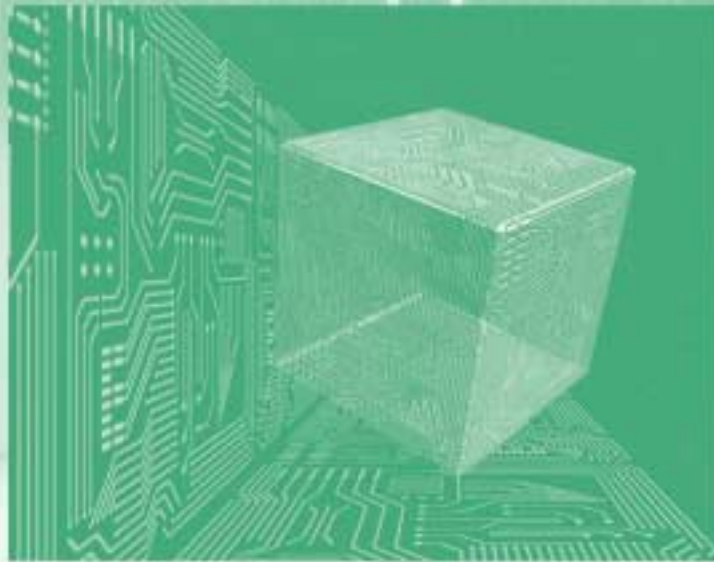


STARCニュース



No. **25**

2005年7月25日発行
株式会社 半導体理工学研究センター
Semiconductor Technology Academic Research Center (STARC)



- 2 SoC設計技術フォーラム2005報告
- 5 2006年度共同研究テーマ募集要項
- 6 共同研究グループ便り / 藤原研究グループ
- 8 共同研究グループ便り / 兵庫研究グループ
- 10 共同研究グループ便り / 永田研究グループ
- 12 特集 / メソドロジ開発室
これで低電力SoCのインプリメンテーションは大丈夫
- 16 特集 / 教育推進室
SoC設計技術STARCテキストと大学教育支援活動
- 20 国際学会参加報告 / DAC2005
- 22 / VLSI回路シンポジウム2005
/ 2005 SYMPOSIUM ON VLSI TECHNOLOGY
- 24 STARCシンポジウム2005案内

SoC Design Technology Forum 2005 - SoC開発の最前線に広がるSTARC設計技術 -

7月8日(金) 経済産業省、独立行政法人 新エネルギー・産業技術総合開発機構 (NEDO技術開発機構) などの後援をいただき、第5回目となる「SoC設計技術フォーラム2005」を新横浜国際ホテル南館にて開催いたしました。

今年は「SoC開発の最前線に広がるSTARC設計技術」と題して、STARCが開発した先端SoC設計技術が半導体業界でどのように活用されているか、またSoC設計技術開発に関するSTARCへの期待など、官界、学界、産業界のさまざまな方々からご講演をいただきました。また参加者数は、単独開催としては過去最高の380名を数え、盛況に開催することができました。

開会挨拶

冒頭、STARC代表取締役会長の小野敏彦から開会挨拶を行いました。STARCは今年で設立10周年、またあすか計画の最終年度という節目を迎えているが、その間にさまざまな成果が得られ、それを今般のSoC設計技術フォーラムで発表できるのは関係各位のご協力の賜と深く感謝している旨を述べさせていただきました。



小野敏彦

来賓挨拶

ご来賓として、経済産業省商務情報政策局 情報通信機器課 課長 福田秀敬様よりご挨拶をいただき、次のように述べられました。半導体は産業としてもテクノロジーとしても最も大切な分野であるが、残念ながら世界の中で日本はプレゼンスを徐々に失いつつある。半導体の付加価値の源泉は設計にシフトしており、何を効率的にどう造るかがもっと厳しく求められる。半導体産業が先進国だけのものではなく、世界の英知がこの分野に入ってくるので、より厳しいコストや感動を与えられるアプリケーションが求められる。共有すべきは共有し、共同すべきは共同する分野の棲み分けが重要になる。とくに今後は設計と製造が一緒に協力しないと解決できない大きな問題がまさに目の前にあり、ASICまたはSoCビジネスにとって非常に厄介で難しい問題



福田秀敬様



会場入口 (新横浜国際ホテル南館)

になる。この問題は共同プラットフォームに係る技術であり、共同プロジェクトから開発された成果が広く利用されかつ継続的に提供されることによって価値が生じる。また、競争領域は違う領域にシフトしていることを認識し、プラットフォームは単なるコストシェアの考え方ではなく、皆で協力して作り皆が使うことに合意していただきたい。

もうおひと方のご来賓、(社)電子情報技術産業協会 半導体部会 副部長、(株)東芝 執行役上席常務 セミコンダクター社 社長 室町正志様には、次のようなお言葉をいただきました。2004年度の半導体業界は、前年比で28%伸び、市場規模22兆円だったが、日本の伸びは低く残念な状況であった。しかし半導体市場は今後も大きな成長が見込まれ、その主役のひとつがシステムLSIである。システムLSIの事業を伸ばし、競争に勝つには、システム設計やチップ設計の技術力が求められている。その



室町正志様



講演会場風景

ため、STARCに業界の知恵を集めて、設計基盤技術の共同開発を進めてきた。協働することでかなりの投資削減が可能であり、共通の設計基盤に沿ったコラボレーションができることが非常に重要である。メディアエンベデッドプロセッサの開発がその好例である。STARCの標準セルライブラリ、メソドロジのSTARCAD-21を使って日立超LSI殿が設計し、ASPLA社での試作により、ファーストシリコンでチップ全体が正常に動作した。STARCの技術を媒介としたコラボレーションが上手にできたと言える。コンソーシアの活動は、このようにビジネスモデルを変えるものである。しかし共同開発の成果が必要なレベルに到達できず足を引っ張ると言うことがあってはならない。コンソーシアで働く皆様には非常な努力をしていただかなければならない。STARC活動の成果を着実に事業に結びつけて、半導体業界の発展に寄与したい。

基調講演

基調講演では、『電子・情報技術ロードマップ』の狙いと半導体技術開発のあり方」と題して、(独)新エネルギー・産業技術総合開発機構 電子・情報技術開発部 部長 西川泰蔵 様が、IT化の諸素とIT産業のポジショニングの視点を述べられました。将来のリビングは複数のメディアや機能が一つに統合されると考えられるが、部品や技術をIT化の諸素と位置づけ、性能の向上や価格の下落をドライビングフォースとしてコンバージェンスが進むという概念が示されました。その上で、IT化の諸素とドライビングフォースの動きから、日本が得意とされる情報家電がこの先も垂直統合のビジネスモデルを維持できるか重要な課題があると述べられました。わが国の電子情報技術競争戦略を考える上で重要な三つのアプローチを、差別化戦略、連携強化、戦略的行動と示し、競争力回復のため出口をしっかりと見据えたターゲットドリブンモデルでロードマップを作成したが、半導体技術開発では、微細化に向けた課題や問題解決の戦略が描けているか、産学連携は有効に機能しているか、研究開発の効率、投資効率が期待できる状況か、などの問題提起がありました。

また半導体産業のポジショニングでは、情報家電でリードする日本ではあるが、営業利益率の低迷、国際競争力における戦略の欠如、意思決定の遅さなどの問題を指摘されました。半導体の技術開発戦略はいかにあるべきか、まずしっかりした研究開発戦略が描けているのか。ハッピースケリングの時代は終わり、65nm以降ではリーク電流や消費電力、歩留まりなど、さまざまな問題が顕在化して積み重なる格好で困難になる。これらの問題への対処として、コンソーシアムの再編と、製造と設計を考慮したDFMへの取り組みを、NEDOとしても支援して行くと述べられました。



西川泰蔵様

STARC活動報告

基調講演に続き、午前の部では、STARC活動報告「STARCにおける共同研究・開発の歴史と新たな展開」と題して、STARC代表取締役社長兼CEO下東勝博より講演を行いました。



下東勝博

あすかプロジェクトの成果と活用

昼食休憩をはさんだ午前・午後のふたつのセッションに渡って、あすかプロジェクトの成果とその活用について、次の方々のご講演をいただきました。

「あすかプロジェクトから生まれたSoC設計技術」

STARC 技監 間佐五郎

「NECエレクトロニクスにおけるSTARCAD-21の活用」

NECエレクトロニクス(株) 基盤技術開発事業本部

副事業本部長 山田和美様

「テスト設計現場の課題とSTARC成果活用への期待」

(株)ルネサステクノロジ システム設計技術開発部

グループマネジャー 野本和之様



間 佐五郎



山田和美様



野本和之様

「高速協調検証技術の事業展開」

(株)インターデザイン・テクノロジー

代表取締役社長 山本節雄様

「The emergence of RTL Design Guides and Atrenta's contribution to their success」

Atrenta Inc. Chairman, President and CEO Ajoy Bose様

「SoC設計技術開発におけるSTARCへの期待」

松下電器産業(株) 半導体社

システムLSI開発本部長 川上博平様



山本節雄様



Ajoy Bose様



川上博平様

AS PLAプロジェクトの成果と活用

午後後半のセッションでは、ASPLA社と共同で進めてきました90nm SoCテクノロジープラットフォームに関するご講演をいただきました。

「AS PLAプロジェクトの狙いと成果及び今後の展開」

株式会社先端SoC基盤技術開発

代表取締役社長兼CEO 川手啓一様

「90nmSoCテクノロジープラットフォームの提供と運用」

STARC 執行役員 IP開発部長 伊藤荘一

「VDECにおける90nmテクノロジーと試作シャトルの活用」

東京大学 大規模集積システム設計教育研究センター

センター長・教授 浅田邦博様



川手啓一様



伊藤荘一



浅田邦博様

この中から、浅田様のご講演内容を紹介します。VDECの9年間の総括と、VDECにおける90nm技術の必要性について、研究・教育・政策の面などからご説明がありました。教育面では、最初に使った技術を“当たり前”と思う学生へ最先端技術刷り込みが重要であることを、例えば90nmで最初のチップを設計した学生はシグナルインテグリティの問題を何の抵抗もなく理解するが、180nmで設計した学生は容易に次のステップに進めないという例で紹介されました。

また90nm試作実績のうちアナログ混在は約7割であるがアナログ設計のサポートが弱い、また90nm以降に向けての問題は価格であるとの指摘がありました。また産学協同研究のために、次のようなご提言をいただきました。VDECが大学ベンチャーや企業R&Dなどをトータルにサポートする体制を作らないと90nm以降の実質的な試作は難しくなる。今のVDECにはCADツールがアカデミック使用に限るとの規約上の問題があって、実際はサポートすることはできないが、試作技術の標準化による連携強化やエンジニアリングサンプルからコマーシャルサンプルへの円滑な移行、IP/ライブラリの共通化(ネットワークシナジー)など目指す必要がある。CADツールの本当の確保はアカデミックプログラムからの脱却ということをやらないと難しい。EDAベンダーをパートナーとして取り込みツールを自由に使えるようにすると、EDAの国産化に再度チャレンジするとか、大変なことではあるがここまで遣らないと90nmや45nmを使えない。また大学と企業の共同研究の枠組みでやるのが重要で、VDECが支援したい。

招待講演

「第2次SNCCの提言と新たなSTARCの役割」と題して、半導体産業研究所 所長 前口賢二様に、ご講演いただき、以下のように期待と注文を述べられました。

半導体産業は成熟したといわれるが、新しいアプリの新しい市場では、今後も半導体産業が中枢であり続け、7%から

9%の成長が見込まれる。日本はシェアを落す傾向が続いており、多様化するアプリの中で技術基盤の強化だけではシェアの回復は望めない。新たなアプリを開拓でき、その市場でデファクト・スタンダードたり得る製品の開発が重要である。R&Dのリソースをコア技術コア製品に集中フォーカスさせる必要がある。



前口賢二様

SNCC第1次では、R&Dのあすかプロジェクト、少し遅れて標準化のAS PLAプロジェクトの二本立てで進めてきたが、技術の転換期を迎えたこと、あすかプロジェクトが今年度で終わることから、第2次SNCCを昨年からの皆さんの協力を得て議論した。

第2次SNCC提案のポイントの一つ目は、今まで以上に産官学の連携強化を図り、さらに半導体関連の装置・材料、EDAとも強い連携を実現することである。Seleteは、つくばR&Dセンターという産官学プロジェクト構想を軸に進める。STARCは、新しいプログラムの取り組みを構築していただきたい。二つ目は、フレキシブルなコンソーシア運営の実現である。コンセンサスに時間を掛けないコアカンパニー主導のマネジメントの採用、また、ニーズの多様化に対しては選択プログラムで、フレキシブルに対応して行きたい。三つ目は、技術開発スピードを高めることである。コンソーシアには、新しい方法や技術を早い段階で評価、スクリーニングやナローイングを行い、コアカンパニーが製品開発の中で実用化検証を進める。こうした形でコンソーシアの成果を活用するためには、STARCにもSeleteにも変わっていただかないといけな。

レセプション

フォーラムは、午前中だけで8名の方々に午後は7名の方々にご挨拶やご講演をいただきました。これらの皆様感謝を申し上げますとともにフォーラムにご参加いただきました方々にも厚く御礼申し上げます。

閉会後は会場を3Fに移し、レセプションが開かれました。レセプション会場はリラックスした中での貴重なお話しや激励をいただき、皆様方もそれぞれに歓談されている様子を拝見することができました。



レセプション会場

2006
年度

STARC共同研究テーマ募集

2006年度から開始する新規研究の テーマを募集します。

共同研究は、アルゴリズム・方式・回路・デバイス構造・材料・評価等の技術に関するアイデアの提案と、その有効性の確認・実証や、半導体産業界への技術移転の可能性を探ることを主目的とします。産業界への実用化などを目指した次のステップの共同研究は、その研究成果を見てSTARCが判断させていただきます。

研究期間は3年以内、研究予算は1000万円/年を目処とし、総額3000万円以下といたします。

応募資格：研究代表者は、日本国内の大学・高専に常勤する教授、助教授または講師であって、研究グループを代表すると同時に、自ら研究を主体的に牽引する研究者とします。

採用予定：10件程度

応募締め切り：2005年9月12日(月)午後5時30分

詳細に関しましては、下記URLを御覧いただきたくお願い申し上げます。

研究テーマ募集要項掲載場所(7月22日掲載予定)：<http://www.starc.or.jp/CFP06/>

ロードマップ2005掲載場所(7月22日掲載予定)：<http://www.starc.or.jp/roadmap/>

共同研究の現状：2005年度は43件の研究テーマを産学共同で進めています。

問い合わせ先：株式会社半導体理工学研究センター 研究推進部

〒222-0033 神奈川県横浜市港北区新横浜3-17-2

TEL：045-478-3300

E-mail:info@starc.or.jp URL:<http://www.starc.or.jp>

共同研究 グループ 便り

藤原研究グループ

テーマ名 プロセッサの命令レベル自己テストとテスト容易化設計に関する研究

研究代表者 奈良先端科学技術大学院大学 情報科学研究科情報処理学専攻 教授

藤原 秀雄(ふじわら ひでお)

1. 研究室現況紹介

STARCニュースNo.3(1999年8月5日発行)に共同研究グループ便りを書かせていただいてから6年になりますが、再びSTARCニュースに共同研究グループ便りを書く機会をいただきました。この間、継続的にSTARCとの共同研究を続けさせていただいており、テーマも変わりましたが研究室のスタッフも異動によりメンバーが変わりました。

現在の私共の研究室は、教員(昨年4月から教官から教員になりました)4名(藤原秀雄 教授、井上美智子 助教授、大竹哲史 助手、米田友和 助手)、研究員2名(神戸和子 産学官連携研究員、T.Clouqueur COE研究員)、学生17名(大学院博士前期課程9名、同博士後期課程8名)のメンバーで構成されています。今回のSTARCとの共同研究では3年目に入りますが、その間、本学COE外国人招聘研究者として4名の教授(S.Mourad米国サンタクララ大学教授、D.K.Das インドジャダプール大学教授、M.Renovel フランスモンペリエ工科大学教授、J.Savir米国ニュージャージー工科大学教授(IEEE Fellow))を、フランスから2名のCOE研究員(M. Comte, Y. Bonhomme)を、また日本学術振興会長期外国人招聘研究者として、向東副教授(清華大学、中国)、K.K.Saluja 教授(IEEE Fellow, 米国、ウィスコンシン大学)を本講座に招聘しています。前のSTARCニュースNo.3で外国からの研究者の受け入れ等国際交流を積極的に行って行きたいとご紹介しましたが、お陰様でこれまで外国とくに欧米から多くの研究者を招聘することができ、今後も国際交流を積極的に行って行きたいと考えています。



前列左より 向野客員研究員(三洋)、櫻井客員研究員(シャープ)、大竹(助手)、藤原先生(教授)、畠山客員研究員主査(ルネサス)、米田(助手)

後列左より 宮本上級研究員(STARC)、神戸(研究員)、山形(M2)、野津山客員研究員(東芝)、Virendra Singh(D3)、中里(D1)

本講座の専門分野は、論理設計論、設計自動化(VLSI CAD)、フォールトトレランス、並列/分散アルゴリズムと多岐にわたります。その中で半導体産業界からの要望の強いVLSIの設計とテストの分野に重点を置いて研究を行っています。STARCとの共同研究には4名の教員全員と1名の研究員、5名の学生の他、K.K.Saluja教授にも研究協力者として参加いただいています。(詳細は研究室のホームページをご覧ください。

<http://fan.naist.jp/index-j.html>)

2. STARCテーマ内容 および共同研究状況

STARCとの共同研究では「プロセッサの命令レベル自己テストとテスト容易化設計に関する研究」ということで、プロセッサに対する命令実行による自己テスト手法、および自己テストを容易にするための命令レベルテスト容易化設計を提案することを目的としています。

高性能高機能なハイエンドプロセッサには実動作テストが不可欠となって

います。スキャン設計は高品質なテストを短いテスト生成時間で実現できますが、遅延および面積オーバーヘッドを伴う、実動作速度テストが困難であるといった問題点があります。ハードウェアBIST(組込み自己テスト)は実動作テストを可能にしますが、面積オーバーヘッド、回路の設計変更の必要性、さらに、疑似ランダムテストによる過剰な消費電力などが問題となっています。

一方、プロセッサの命令レベル自己テストは、実動作テスト可能なテスト手法として注目されています。この手法では、プロセッサは命令列であるテストプログラムを実行することによって自己テストを行います。スキャン設計のようなテスト容易化設計を必要としないため、遅延オーバーヘッド、面積オーバーヘッドを伴わず、過剰な消費電力も必要としません。

本研究では、縮退故障とパス遅延故障を対象とし、プロセッサの命令レベル自己テストのためのテストプログラム生成法を提案しています。縮退故障に対しては、各モジュール単体に対するテストパターンを求めテストプログ

ラムに変換します。モジュールの入出力を考慮したテストプログラムテンプレート生成法（テンプレートとはオペランドの値が未決定の命令列のこと）、テンプレートからの制約抽出法を提案しました。パス遅延故障に関しては、テスト対象パスを含む組合せ回路に対してテストパターンを求めテストプログラムに変換します。

非パイラインプロセッサ、パイラインプロセッサを対象に上記の手法を提案しましたが、縮退故障に対しては、8ビット非パイラインプロセッサParwanではプロセッサ全体で96%を超える故障検出効率を、32ビットパイラインDLXプロセッサではALUとフォワーディングユニットにして93%を超える故障検出効率を得られています。遅延故障に対しては、Parwan、パイラインVPROプロセッサ、パイラインDLXプロセッサで100%の故障検出効率を得られています。

縮退故障に対して100%故障検出効率を達成するためには、テスト容易化

設計が必要と考えており、これについて引き続き研究を進めています。また、パイラインプロセッサに引き続き、スーパスカプロセッサを対象にその自己テスト生成法の研究を進めています。

以上の共同研究は、私共の研究室の教員4名全員と研究員1名および大学院学生5名が中心になって行って参りましたが、K.K.Saluja教授（ウィスコンシン大学）にも共同研究に携わって協力していただいています。また、STARCの小澤時典上級研究員、宮本俊介上級研究員、客員研究員の島山一実主査（ルネサス）、野津山泰幸氏（東芝）、向野守氏（三洋）、櫻井涼二氏（シャープ）の方々には、研究打ち合わせのミーティングでの討論を通じて適格なコメントをいただいております、そのおかげでよりよい研究成果を得ることができております。ここに皆様にご感謝するとともに今後とも率直で適格なご意見をお願いする次第です。

客員研究員主査からのコメント

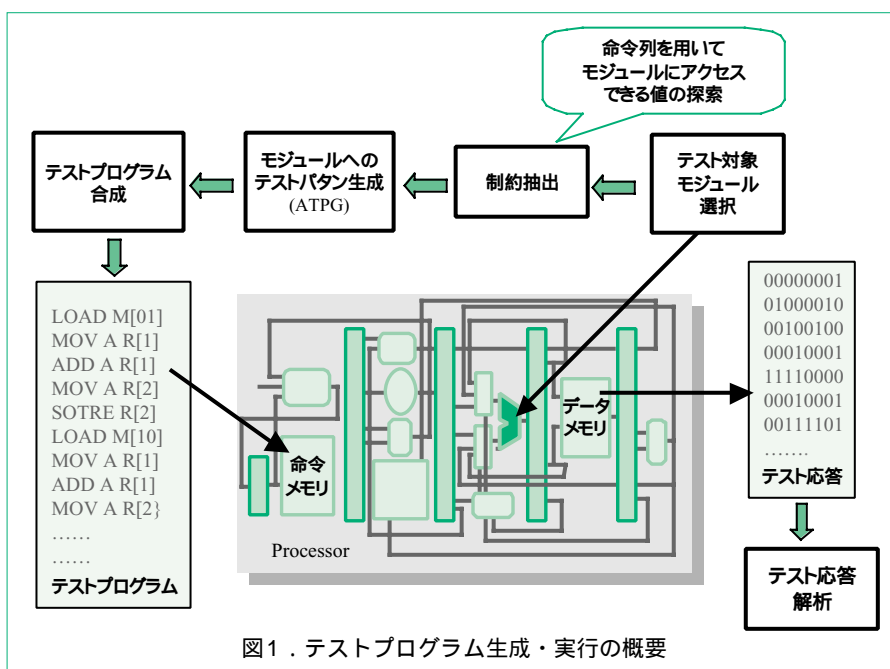
(株)ルネサステクノロジ
製品技術本部 設計技術統括部
システム設計技術開発部

島山 一実

SoC (System-on-a-Chip) の高集積化に伴って、テストコストの増大が大きな問題となっています。これは、ひとつには搭載される回路規模の増大によるものですが、微細化による不良モードの複雑化も要因となっています。また、プロセスばらつきの影響により、良品と不良品の境界があいまいになってくるといった問題もあります。このため、テストに対する依存性はますます高まっており、テスト品質の向上とテストコストの削減を両立できるソリューションの提供がテスト技術全体としての最重要課題となっています。

そこで、藤原研究グループでは、実動作に即した必要十分かつ高効率なテスト手法として、プロセッサに対する命令列の実行によるセルフテストの研究を推進しています。この中では、多様な不良モードに対応するため、縮退故障モデルに加えてディレイ故障もターゲットとするとともに、オープン故障やショート故障など、今後重要化する故障モデルへの対応をも視野に入れた検討を行っています。

本研究も3年目（最終年）を迎え、先生方の研究・指導と研究員・学生の方々の協力で着実に研究成果をあげてきています。また、4社から参加している客員研究員も情報提供も含めていろいろな形でサポートしています。今後とも真に役立つテスト技術の実現に向けて研究推進に努めて行きたいと思っております。



兵庫研究グループ

テーマ名 超高周波システムオンチップの構成理論および実証的研究

研究代表者 東京理科大学 理工学部 電気電子情報工学科 教授

兵庫 明 (ひょうご あきら)

研究室紹介

兵庫研究室は、千葉県野田市に位置する東京理科大学理工学部にあります。東京理科大学は、明治14年に東京物理学校として設立され、その後の学制改革により現在の名称に変更され、来年の2006年に125周年を迎えます。この野田の地に理工学部が設置されたのは昭和42年ですので、ここでも40年弱の歴史があります。物理学校時代の、卒業が非常に難しいという伝統は、昔ほどではないものの未だに守られており、学生は厳しい関門をくぐり抜けて巣立っていきます。理工学部が設置され、その専門教育が始まる際に、私の恩師であり、本プロジェクトの共同研究者でもある関根慶太郎教授が着任され、関根研究室(当時は電子回路研究室)を立ち上げられました。その後、関根・兵庫研究室を経て、関根教授のご定年により現在の兵庫研究室となっております。関根教授のころからの自分のテーマは自分で探すという自主性を重んじた研究室の伝統はいまでも引き継いでおり、学生はいろいろと試行錯誤を重ね自分のテーマに愛着をもちつつ日々研鑽を積んでおります。関根教授は、昔はもとより、これからはデジタルだと世間が言い出した時代からもアナログ回路の重要性を日々語っておられ、私もその先見性のあるご見識に共感し、アナログ教?の布教活動に微力ではございますが荷担させていただいております。

当研究室には現在、博士課程学生1名、修士課程2年生(M2)11名、同1年生(M1)8名、学部4年生(B4)12名(内11名修士課程進学(すべてが当研究室)予定)が所属しております。研究室のテーマは、回路中心、回路といえばアナログ回路、もっと言うとアナログ集積回路ということで、演算増幅器、トランスコンダクタンスアンプ、アナログ乗算回路などの新しい回路構成やアナログ信号処理回路を中心に、マイコンやDSP応用回路まで広い範囲に渡って回路に関する研究を進めております。

共同研究概要と成果

近年のアジア地域の大学によるアナログ集積回路の研究、とくにRF回路に関する研究のアクティビティは非常に高く、日本の大学は何をやっているのだ!といったお叱りや頑張れとの励ましの声があちらこちらから聞こえてくるようになってきました。自分自身でもそう感じてはいたもののきっかけがなく、また、シミュレーションだけでRF回路の研究を行うことのむなしさを感じてはいましたが実測を含めた場合の測定環境などにも非常に高い敷居があるようにも感じ、躊躇していました。しかし何とかこの現状を打破したいと考えながら少しずつ測定環境を整



写真1 2003年8月2日、諏訪東京理科大で打合せ後、八ヶ岳を背景に撮影。

前列左より 本間(当時M2、現・三洋)、挽地(当時M1、現・SII)、青木先生(諏訪東京理科大学教授)、兵庫先生(教授)、益子上級研究員(STARC)
後列左より 和智(当時B4、現・M2)、斎藤(当時M1、現・デザインエレクトロニクス)、永田(当時B4、現・M2)、中村(当時B4、現・M2)、阿川客員研究員(東芝)、田中客員研究員(日立)、澤井客員研究員(三洋)

周波をやるならより実践的でなければならないとの理由から、「超高周波システムオンチップの構成理論および実証的研究」とのテーマで提案をさせていただき、私のようなものが高周波回路の研究をやっていくことで少しでも敷居が低くなればとも考え、(かなり?)無謀な挑戦をさせていただきました。

幸運なことに申請が通り、STARCからは上級研究員の益子耕一郎様、客員研究員主査の田中聡様(日立)、客員研究員の阿川謙一様(東芝)と澤井徹郎様(三洋)がご参加いただけることになり、共同研究者の関根慶太郎教授、青木正和教授(諏訪東京理科大学)と学生6名で2003年4月からスタートすることとなりました。提案当初の目標は、2.4GHz帯のフロントエンド回路を0.25 μ m CMOS技術で実現することでしたが、研究員の方々より将来を見据えて、5GHz帯のフロントエンド回路を0.18 μ m CMOS技術で実現する方がよいとアドバイスをいただき、乗りかかった船と目標を変更したものの、不安があったのを覚えております。いま考えると非常に的を射たアドバイスで非常に感謝しております。学生の頑張りには目を見張るものがあり、文献調査から始め回路設計まで精力的にこなしてくれました。とくにその当時M2の本間寛忠君(現・三洋)は修士



写真2 2005年6月9日、東京理科大・野田キャンパスにて打合せ後、撮影。
前列左より 玉村(B4)、河上(諏訪東京理科大学・B4)、山口(B4)、行友(M1)、小池(M1)、永田(M2)、和智(M2)、丹野(B4)、兵庫先生(教授)
後列左より 阿川客員研究員(東芝)、澤井客員研究員(三洋)、益子上級研究員(STARC)、田中客員研究員主査(日立)

え始めた矢先に、STARCが毎年プロジェクトを募集しているとの情報を知り、だめもて提案をさせていただくことにいたしました。関根教授との議論の中、大学だから理論は最重要、しかし、高

客員研究員主査からのコメント

㈱日立製作所 中央研究所
無線システム研究部

田中 聡

昨今の無線をピークルにしたアナログ回路の研究の進展には目を見張るものがあります。10年前には技術者の見果てぬ夢といわれていたダイレクトコンバージョン受信機は携帯電話、無線LAN (Local Area Network) では極当たり前の技術となり、良識のあるアナログ屋が即座にその実現性を否定していた局部発振信号用VCO (Voltage Controlled Oscillator) の集積化も多くのシステムですでに実用化されています。これらの技術革新の中で欧米の大学の果たした役割は極めて大きいと考えられます。国内でも大学と企業の高周波アナログ分野での連携による更なる技術革新が望まれますが、この分野を研究対象とする研究室が国内では大変少なく大学での高周波アナログ回路の研究の活性化が望まれます。

このような背景の中、兵庫プロジェクトは、国内でも高周波アナログ技術に関しコアとなる情報発信を目指すべく2003年発足し、現在最終の3年目を迎えています。第4世代携帯電話など新たなアプリケーションが期待され、今後も技術革新が進展する無線LAN等に適用できる3GHz-6GHz帯のアナログ回路技術、とくに低雑音増幅器、ミキサなどを対象に研究を進めています。

これまで兵庫先生のグループではオーディオ、ビデオ帯でのトランスコンダクタンス増幅器、フィルタ等については多くの経験をお持ちでしたが、今回のプロジェクトで一気に3GHz-6GHz帯を狙います。昨年までで0.18 μ m CMOSを適用した低雑音増幅器、ミキサの1次試作、評価を完了し完動させることができました。現在新概念を盛り込んだ2次試作回路の検討に着手しており、終了時にはSTARC参画企業に対し、貴重なノウハウとIPを提供できると確信しております。

修了まで1年という短い時間でしたが集中的に多くの成果を残してくれ、M1だった斎藤隆太郎君(現・サインエレクトロニクス)と挽地友生君(現・SII)は2年間で回路設計からレイアウトさらに測定の一部を行うなど寸暇を惜しんでプロジェクトを軌道に乗せてくれました。さらに最初から参加しているB4の永田基希君と和智勇介君(現・M2)は3年目となり最終ゴールへのアンカーの役目を担って測定や再設計を行っております。

本研究で実現したLNA回路の一部を図1に紹介致します。これは利得を変化する機能を有するLNA回路となっており、次世代の携帯電話などへの応用が期待できます。その他、低IFとなるLNAミキサ回路や、負性抵抗回路により利得を向上させたLNAミキサ回路、ダブルコンバージョンミキサなど、機能ブロック3つも実現しました。これらをまとめて集積化したチップ写真を図2に示します。このチップはみんなの頑張りのおかげで、ファーストシリコンで動作することができました。現在はこの回路の測定を進める一方で、現状の問題点を改善した回路や新しいアイデアを盛り込んだ回路

などの設計を始めております。

高周波回路では、回路設計やレイアウトに非常に多くのノウハウがあり、このノウハウをどうやって引き継いで行くかが問題となっており、とくに、在学期間の短い大学では途絶えないようにするのが大問題でした。幸いなことに、その後、行友渉君(現・M1)現B4の玉村淳君、丹野直洋君、山口敏幸君、さらに、諏訪東京理科大学B4の河上千倉君へとオーバーラップしながらうまくバトンが渡され現在に至っております。現在、このノウハウなどをいかに文章などで蓄積するかに思案しております。

ところで、産学協同の研究を積極的に行ってきた学生たちの成長ぶりには目を見張るものがあり、研究室に入ってきた当時と卒業時では雲泥の差があります。やはり実社会で活躍されている企業の方々と議論することでより実践的な何かを掴み取るのではないかと考えております。さらに、学生には高いハードルに躊躇することなく、自分を信じて突き進んでいくことで新しいものを得て欲しいと思っております。私は自分では無理そうだと思っても学生には無理だとはいわないように努めて

おります。可能性は無限にあり、学生の新たな発想で壁を突き破り、高いと思っていたそのハードルはいつしか目をつぶっていても通れるほどの低さになっていることを期待しているためです。誰かがブレークスルーすると、その壁は周りの学生にとっても壊れているのが大変おもしろく感じています。今回の5GHzの壁も実測に成功すると、プロジェクトに参加していない

学生たちも自分たちにもできるんだという自信が生まれ、これが日本の発展に寄与するのではないかと思います。改めて学生たちの持っているポテンシャルの高さに驚いております。

最後になりますが、STARCプロジェクトにより、研究環境の充実と人材育成に新たなチャンスをお与えいただきまして大変感謝しております。またSTARCの研究員の皆様には、非常に多くの貴重で重要な的を射たアドバイスをいただき非常に感謝しております。この場をお借りして厚く御礼申し上げます。

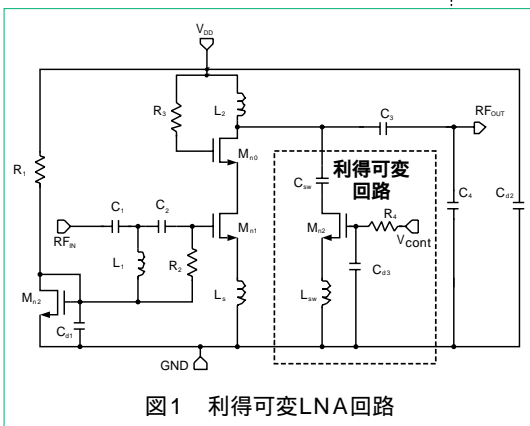


図1 利得可変LNA回路

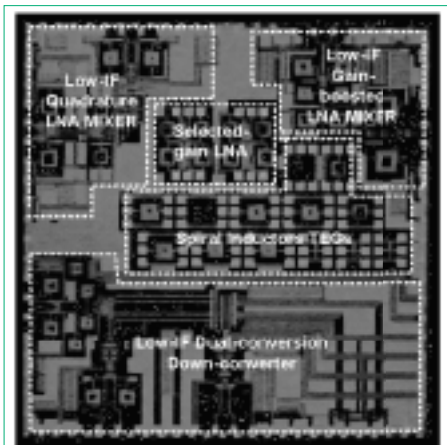


図2 チップ写真(5mm x 5mm)

共同研究 グループ 便り

永田研究グループ

テーマ名 ミックストシグナルLSIのためのオンチップ診断技術

研究代表者 神戸大学 工学部 情報知能工学科 助教授

永田 真(ながた まこと)

1. 研究グループ紹介

ミックストシグナル設計技術がシステムLSI開発に欠かせない技術基盤であることは明らかである。アナログ技術がクロック/タイミング発生、電源等のDC電圧発生、高速デジタル・インターフェース、アナログ/デジタル信号変換、RF通信、などLSIに欠かせないフロントエンド機能の大部分を担い、これと高速デジタル処理が統合してシステムLSIの機能性が創出される。研究代表者は、ミックストシグナルLSI設計技術をできるだけ幅広く捉えて研究トピックを設定するよう努めてきた。必然的に、一緒に研究をすすめる学生達はアナログやデジタルというクラス分けには無関係にトランジスタの特性を学び、フルカスタム設計とフルオート設計を使い分けた設計フローを組み上げ、そしてテストチップの設計・試作・実測評価技術を体得している。サブ100nm時代を迎え、デジタルとアナログのうまい共存がますます問われており、両者をばらばらには議論できなくなっている。研究面でも共通の課題は多い。例えばミックストシグナルLSIにおける基板クロストークの研究で得た「電源雑音」の知見は、切り出されてデジタルLSIにおけるパワーサプライ・インテグリティ等、物理設計レベルの設計信頼性向上に貢献しつつある。これも設計技術開発においてアナログとデジタルの境界を取り除くことが有益な事例である。

神戸大学情報知能工学科において、研究代表者の所属するCS26講座は、計算機システムを専攻する教育研究分野を担当し、瀧 和男(教授) 永田 真(助教授) 鎌田 十三郎(助手)で運営し、またプログラミング言語グループとLSI設計グループから構成される。瀧 和男(教授)は大学在職中にLSI設計技術のベンチャ企業：エイアイエル(株)を起こし、最も早くから成功している大学発

ベンチャ企業の一つとして、現在は大学を休職して業務に専念している。また、鎌田 十三郎(助手)は並列プログラミングのための言語処理系開発を中心とした研究をすすめている。

研究代表者は、2002年4月に着任し、LSI

設計グループを担当している。LSI設計グループの現在の構成メンバーは(写真1)で、B4生5名、M1生2名、M2生4名、D1生4名、D2生1名、D3生2名の18名である。このうち、D1生の3名は社会人ドクターとして入学し、またD1生の1名は情報知能工学専攻の修士課程早期修了制度に合格し、通常より修士課程を6ヶ月短縮して2004年10月期に博士課程に入学している。全員、LSI設計技術に強い興味を抱いて当研究グループへの配属を志望し、ほんとうに日夜を問わず個々の研究テーマの推進に邁進している。この結果、教員も気の抜けない日々を送らせていただいている。LSI設計関連の研究テーマや最近のアクティビティについては、

<http://www.cs26.scitec.kobe-u.ac.jp/lisi/>をご参照いただきたい。

2. 研究テーマ紹介

STARC共同研究のテーマは「ミックストシグナルLSIのためのオンチップ診断技術」であり、2004年4月より研究を開始した。ミックストシグナルLSI内部のオンチップ信号評価技術の開発と、これに基づくアナログ動作検証手法の確立を目指している。ミックストシグナルLSIの多くはアナログ・フロン



写真1

前列左から 吉河(D1) 島崎(D1) 永田助教授、野口(D2) 福水(D3)
中列左から 深澤(M2) 佐藤(M1) 郷地(B4) 高橋(M1) 小坂(D1) 藤原(M2)
後列左から 植村(M2) 荻野(B4) 壇上(B4) 松本(M2) 森本(D3) 此他、橋田(B4) 坂東(B4) 市川(D1)が在籍している。

トエンド処理とデジタル・バックエンド処理が結合した構造をとる。ここでフロントエンドを構成するアナログ回路について、単体での回路性能は設計時点で保証されていても、ミックストシグナルLSIに搭載された実環境下における動作性能は、周囲環境から、例えばクロストークなど、さまざまな影響を受けて変動する。ミックストシグナルLSIチップからは高位のデジタル信号処理を施した後のデジタル・データのみが出力されるので、実環境下におかれたアナログ・フロントエンドの入出力特性や回路性能をチップ出力から類推・評価することは、一般にきわめて難しい。そこでオンチップ・アナログ信号波形測定技術を導入すれば、実性能評価あるいは故障診断のみならず、回路間クロストークによる性能劣化メカニズムの理解にもつながる。

本研究では、ミックストシグナルLSI内部のアナログ信号を評価する手段として、図1に示すオンチップ・マルチチャネル信号モニタの搭載を提案している。ミックストシグナルLSIチップ内の各信号を多点プローブし、またオンチップ波形取得機構によりデジタル・データとして読み出す。まず初年度に、図2に示すプロトタイプチップの開発に成功した。8チャンネルの信

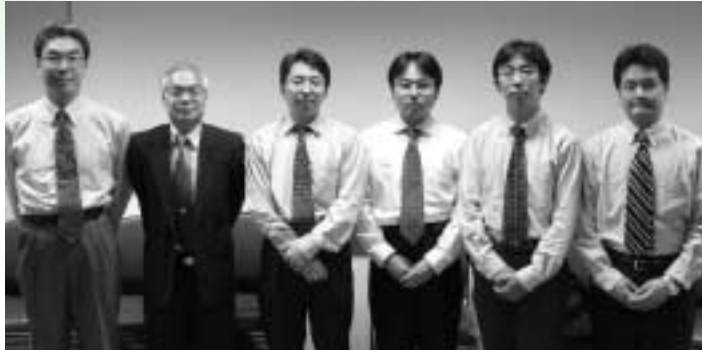


写真2
左から 森客員研究員(富士通)、平田上級研究員(STARC)、永田助教授、東客員研究員主査(シャープ)、道正客員研究員(松下)、大窪客員研究員(NEC)

号プローブ(PFE)と波形取得機構(WAK)を搭載し、40ps/200uVの分解能で実動作環境下のチップ内部信号の取得を実現する。このようなオンチップ診断機構は、もともとのLSIの機能仕様がない機能であるため、チップサイズとI/Oピン数ができるだけ小さいことやチップの空き地に分散配備するためにモジュラ構造であることが必須であり、また一方で運用面ではオフチップ測定機器に要求する機能・性能や測定時間などの診断コストを低減することも求められる。両者は排反するので、トレードオフを見極めることが研究のポイントでもある。第一次プロトタイプは0.18umCMOS技術を用い、その回路サイズは、信号プローブ(PFE)

みを必要とし、デジタルLSI評価環境でオンチップ信号のアナログ評価を実現している。また、波形取得制御フローを吟味してオンチップ・モジュールの機能を設計することにより、従来手法に比べて測定時間を1/20以下に削減している。これらの成果はDATE 2005にて発表し、幸いに好評を頂いてESSCIRC 2005にてpaper exchange from DATEとして招待発表することも決まっている。また、第7回IPアワードにてIP賞を受賞した。現在、マルチチャンネル信号モニタのさらなる小型化と高性能化をすすめるとともに、アナログ動作検証への応用技術の開発をすすめている。

最後に、本共同研究には、写真2に示すように、平田上級研究員をはじめとして4社より4名の客員研究員にご参加いただいております。毎回の研究打ち合わせでいただく他面的な意見には深く感謝している。産業界からみた技術の方向性や応用領域についてのコメントのみならず、LSI設計のエキスパートとして、詳細技術に立ち入った鋭い突込み(質疑)がなされ、いつも時間が足りなくなるほどの議論が展開される。打ち合わせでは担当学生から進捗を報告することにしており、客員研究員からの質疑に耐えられるよう彼等なりに努力している。

客員研究員主査からのコメント

シャープ(株)
技術本部 デバイス技術研究所

東 慎一郎

LSIに要求される性能が高まるにつれ、LSIの内部はますます複雑化しています。しかしながら、LSIの高速化・低電圧化・複雑化が進むほど、実際の回路内での信号やノイズを捉えることは困難となります。例えばミックストシグナルLSIにおいては、デジタルノイズのアナログ回路への影響がしばしば問題になりますが、実際のノイズの大きさや周波数、タイミングを調べて対策を打つことは非常に困難であり、現状では、不良発生を恐れて設計段階で無駄なマージン(タイミングや消費電流など)を持たせたり、不具合が発生しても対処療法的に回避したりしています。

永田研究グループでは、LSI上に搭載した小型の測定器で回路内部における信号やノイズを測定し、デジタル化してチップ外でデータを取得する技術の確立を目指しています。具体的な目標は、1.複数箇所の測定、2.電圧および時間軸上での高精度・高分解能な測定、3.製品LSIに搭載できるほどの小型化です。これにより、BIST(Built-in self test)としての実用化や、回路の最適動作制御への応用が見込まれます。

また、従来は困難であったLSI内部での信号波形やノイズの解析が容易になることで、開発のスピードと完成度が上がり、今後の回路設計への新たな知見が得られることが期待できます。さらに、この技術はデジタル/アナログ/ミックストシグナルのあらゆるLSIに適用可能であることから、LSI開発における汎用的な技術としての将来性にも期待しています。

STARC共同研究における客員研究員制度は、産業技術研究としての軌道を正しい方向に調整するだけでなく、参加する学生達にとっては優れた技術者のあり方を知る機会(と同時に学生達をLSI業界に知っていただく機会)でもあり、他にはない非常に優れた制度と考えている。

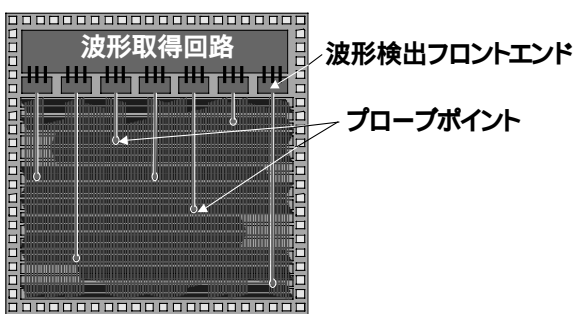


図1: オンチップ・マルチチャンネル信号モニタ

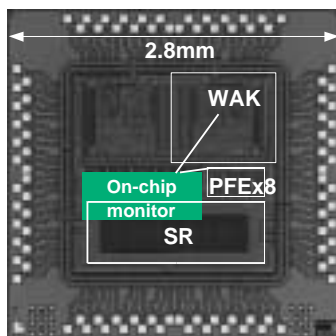


図2: プロトタイプチップ写真

これで低電力SoCのインプリメンテーションは大丈夫！ RTLtoGDS2 設計メソドロジSTARCAD-21 V2.0

開発第1部長兼メソドロジ開発室長 西口 信行

メソドロジ開発室は2003年4月より3年間のプロジェクトとして、90nm世代のシステムLSIのシリコンインプリメンテーションと呼ばれるRTLからGDS2の設計メソドロジを開発しています。この設計メソドロジはSTARCAD-21の愛称のもと、現在STARCLAYクライアントカンパニーに幅広く使われています。

STARCAD-21は、2004年4月にV1.0として、90nm世代の基本、基盤となる設計メソドロジをリリースしました。その後、V1.5として、2004年10月に大規模対応ということで階層設計をサポートするバージョンを、2005年4月には、V2.0として、低消費電力対応をリリースしました。V2.0ではマルチ電源サポートを中心に非常にロバストな設計環境になっています。

この今後の予定として、V2.5を2005年10月にリリースします。この版では、とくに設計TAT短縮関連技術開発に注力します。90nm世代さらにより微細プロセスにおけるタイミングクロージャには、サインオフ検証コーナの増加、システムLSIの高機能化に伴う検証モードの増加、オンチップばらつき増加などにより、より一層困難さが増しています。これらの課題を解決し、設計TATをドラスティックに減らす取り組みを行っています。そして、最終バージョンであるV3.0を2006年の初めにリリースを予定しています。V3.0では、設計マージンの削減を中心に取り組んでいきます。設計途中でのハンドオフ基準、さらに最終チェックであるサインオフ基準において、設計マージンの適正化を図り、結果として設計マージンの少ない設計メソドロジを提供します。

これらの活動を通じて、幅広く日本の半導体ベンダの設計環境として浸透しています。いまや日本のデファクトスタンダードといっても過言ではありません。

また、2006年度以降のSNCC2プログラムでは、このSTARCAD-21に製造性考慮（DFM）の機能を取り込み、さらに発展させ、世界最先端の設計メソドロジを目指す計画も立案されています。

この特集では、V2.0で低消費電力設計がいかに可能になったかを中心にV2.0の設計フロー、それからSTARCAD-21の強みである、サインオフ技術、解析関連技術、ライブラリ作成関連技術のうち多電源ライブラリ技術について解説します。

V2.0の設計フロー




ZDフローチームリーダー 鴨野 豊

Pegasフローチームリーダー 太田 光保

フローチームは2チーム構成となっており、Cadence社ツールをベースとした設計環境を構築するZDフローチームとSynopsys社ツールをベースとした設計環境を構築するPegasフローチームとなっています。

STARCAD-21 V2.0フローとしては、従来のバージョンと同様に全体の設計効率向上（後戻り排除）のため、設計工程を大きく3つのPhase（デザイン見積り・デザインリファインメント・最終インプリメンテーション）に分けている。また、それら各工程で基準（受け入れ、ハンドオフ、サインオフ）を設けてCheck&Go（各種状態を解析することで、次のフェーズへの移行が可能か否かの判断を実施）を行うようにしており、これによって大きな工程間の後戻りを排除する仕組みとなっています。この仕組みをより確実なものにするために、次の工程で発生する可能性のある問題を精度よく予測し予防しておく技術を確認（図2参照）しています。

基本版から高効率化版へ着々と高付加価値化の実現

基本設計メソドロジ Ver.1.0 (2004/4) RTLtoGDS2の基本フロー		Ver.1.0
標準設計メソドロジ Ver.1.5 (2004/10) 大規模対応（階層設計強化）		Ver.1.5
低消費電力対応 Ver.2.0 (2005/4)		
高効率設計メソドロジ Ver.2.5 (2005/9) Ver.3.0 (2006/1) 設計効率化、高信頼性保証		Ver.2.0

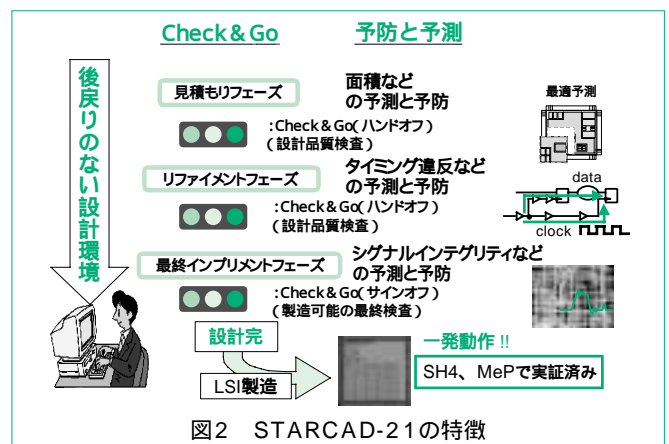
仕様書: 30件
 報告書: 53件
 使用説明書: 43件
 データ: 6件
 スクリプト(SW): 5件
 ライブラリ: 16件

仕様書: 30件
 報告書: 75件
 データ: 12件
 スクリプト(SW): 6件
 ライブラリ: 20件
 合計: 170件

図1 STARCAD-21の成果

開発においては、世界有数のEDAベンダと共同でプロジェクトを進めており、STARC技術の確かさにおいてこれらベンダからプレステージを獲得しています。

STARCAD-21の開発成果は、毎月の成果報告会、各社個別の技術移管、EDAベンダ主催のセミナーなどを通じて順次STARCLAYクライアントメンバに技術移管されています。こ



今回のZDフローV2.0開発では、SoC Encounter 4.2を2004.12月よりアクセスを開始し、このフレームワーク上に階層MSMV (Multi Suply Multi Voltage) フローを2005.4月リリース時に確立しました。図3にフローを示します。

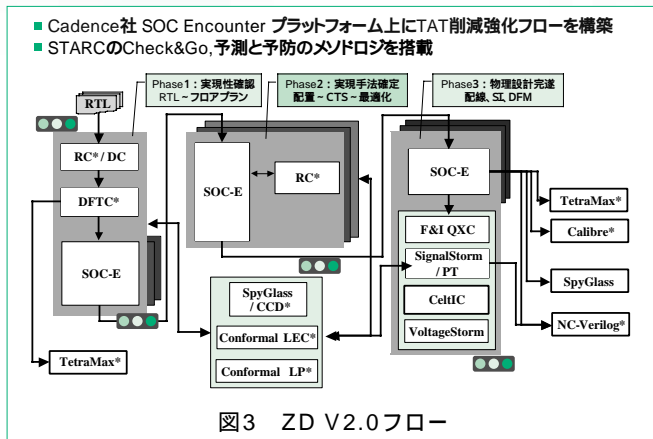


図3 ZD V2.0フロー

同様に、PegasフローV2.0では、Galaxy Design Platformを利用して図4に示すようなフローを構築しています。

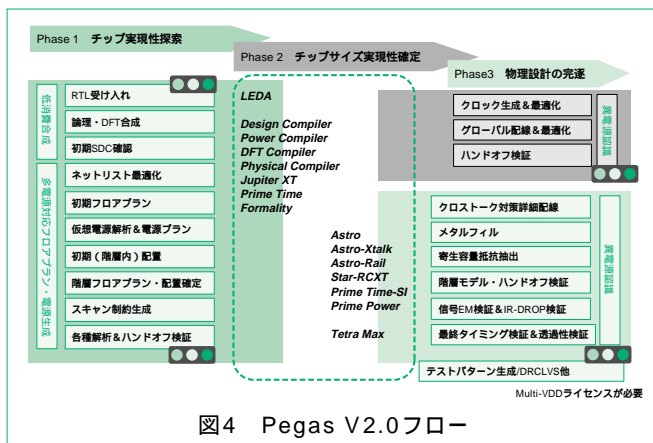


図4 Pegas V2.0フロー

V2.0で取り入れた低消費電力設計技術は、一覧に示すと表1のようになります。これらの技術を後述の各(サインオフ、解析、ライブラリ)チームと協力してCheck&Go、予測と予防の技術として立ち上げ、フローに取り込むことで効率のよい設計フローが実現しています。

目的分類	技術内容	要素技術
動作電力低減のための設計技術	非クリティカルパスの低電圧化 複数電源化	電源配線 電圧領域考慮配置配線 レベルシフタの配置 異電圧間の解析 異電源間ばらつき考慮 低温ワースト現象考慮 対策回路のチェック 複数電圧のモデル使用 電圧可変ライブラリ
	ゲーテッドクロック	合成 CTS
	非クリティカルパスのダウンサイズ	合成 電力最適化
リーク電力低減のための設計技術	非クリティカルパスの低電圧化 複数電源化、ダウンサイズ	動作電力削減技術と同じリーク電力考慮最適化
	高Vth化	複数Vthセル最適化
	電源遮断 複数電源化	貫通電流防止回路考慮 電圧領域考慮配置配線 対策回路のチェック
共通	電力解析	電力解析 電力計算用ライブラリ

表1 低消費電力設計技術

V2.0における低消費電力設計対応技術としては、図5に示すようなデザインを考えて必要な各種技術を立ち上げています。

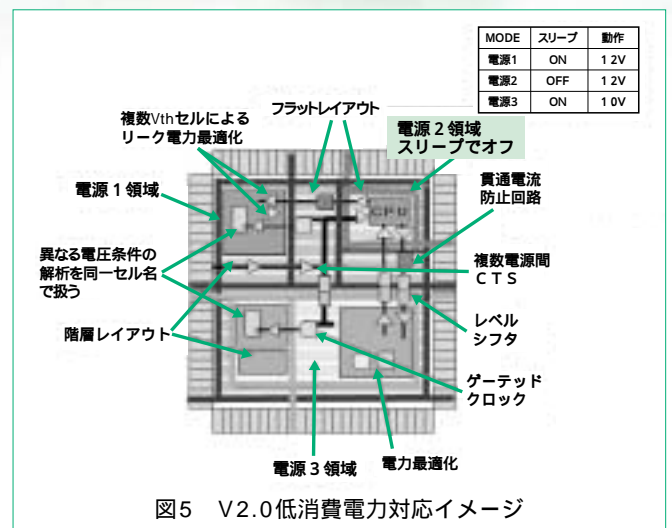


図5 V2.0低消費電力対応イメージ

とくに、V2.0フローでは、1) マルチVth、2) ゲーテッドクロック、3) マルチ電源/電源遮断、4) パワー計算・解析の効率化対応の各対応技術に注力しています。

1) マルチVth対応

マルチVth対応では、一般に高Vthセルには低Vthセルに比較し動作速度は遅いがリーク電流が低いという特徴があります。この特徴を利用して、論理合成時あるいはレイアウト設計時の最適化処理においてタイミングに余裕があるパスに、高いVthのトランジスタを使用し、高速のクリティカルパスのみに低Vthセルを用いるという使い分けを行うことで、性能を犠牲しないで、リーク電流の削減を実現しています。

さらに、フローとしては、高Vthセルが影響を受けやすいクロストークやMax Transition制約への対応、Vthの最適選択、フィルラセル挿入等ためのレイアウト対策技術を確認して導入しています。

2) ゲーテッドクロック

ゲーテッドクロック対応とは、動作電力を削減するために、クロックゲーティングセルにより不必要なクロック供給を停止させる手法です。

フローとしては、論理合成段階においてクロックラインへのゲーティングセルを挿入し、後工程のCTS (Clock tree synthesis) が問題なく実現しています。

3) マルチ電源/電源遮断

マルチ電源では、1チップ内に複数の電源電圧を使って、タイミングが厳しくない機能については低電圧にて動作させ、消費電力を抑えることができます。電源遮断は、特定の状態で不要なロジック領域の電源を遮断することにより、消費電力を下げる設計手法です。V2.0フローでは、複数の電源電圧(1.2V、1.0V)を単一セル名ライブラリで扱うフローを、階層設計でも、フラット設計でも実現しています。

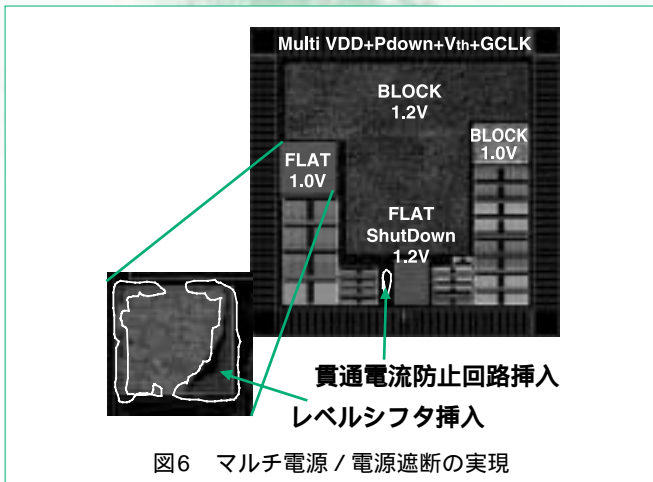


図6 マルチ電源 / 電源遮断の実現

本手法のために、複数電圧ライブラリの準備、レベルシフタ、貫通電流防止回路の挿入、電源領域の設定、各種解析（遅延計算、IR-DROP）等々の、新たなフロー戦略を導入しています。

4) パワー計算・解析の効率化

フローを通じて一貫した低消費電力設計戦略を進めるためには、統一されたエンジンによるパワー解析手法が必要です。回路動作時の消費電力を適切な時間で求めるためには、回路の動作状況をどのように指定するかが重要となります。しかしながら、従来用いられてきた、「事前にダイナミックシミュレーションを実施し回路中の全ネットの動作率を求めそれを指定する」方法は、大規模回路ではダイナミックシミュレーションの実行時間が長大となり、現実的ではありません。そこで、RTLでのシミュレーションで、各IO・レジスタの動作率を共通Activityとして事前に求めておき、動作率伝播手法を用いて、そこから実際のネットに対する動作率を導出する手法を採用しました。これにより、ネット最適化やECOによるネットリスト変更時にも、パワー再計算が容易に行えるようにしています。

また、今回説明の低消費電力設計を実現する4つの手法の他にも、90nm世代のインプリメンテーションの各課題（タイミング/シグナルインテグリティ製造性考慮(DFM)/テスト容易化設計(DFT)etc.）に対応するために、多くの技術が搭載されています。

サインオフ技術

サインオフチームリーダー 井下 順功

STARCAD-21におけるサインオフ技術開発に関して、V2.0時点での状況を紹介します。サインオフ技術開発には大きく分けて、ネットリストやタイミング制約（SDC）のチェックなどを行うフロントエンド系と、ばらつきなどの物理情報と密接に関わる各種サインオフ検証コーナー条件の決定手法などの開発を行うバックエンド系があります。

フロントエンド系のネットリストチェックに関して、V2.0

のターゲットとする低消費電力という観点でのチェックについて紹介します。低消費電力を狙ったマルチ電源に対応するための異電圧のセル間を接続する信号に必要なレベルシフタや、LSIを部分的に電源OFFする場合に必要な貫通電流防止用の回路が適切な位置に存在するかをチェックする必要があります。具体的には、図7に示すような回路になっていることを確認することができます。

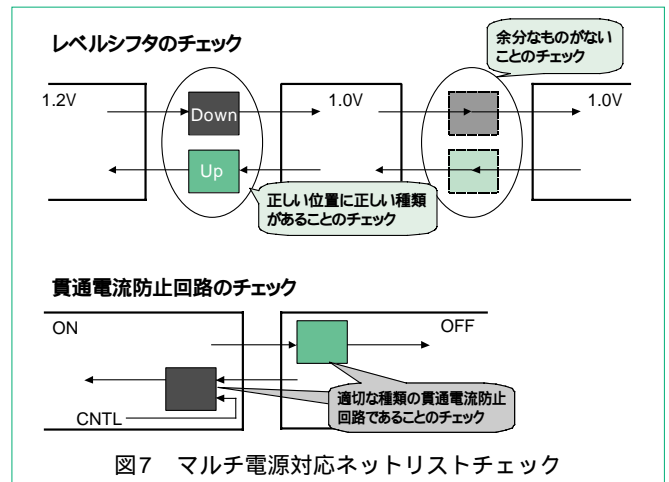


図7 マルチ電源対応ネットリストチェック

また、バックエンド系では、90nm以降のプロセス微細化、また低消費電力を狙った低電圧化によるサインオフ検証項目の検証条件の複雑化（例えば、マルチコーナー）に対応した検証条件決定手法の開発を行っています。検証コーナー数の増加はそのまま設計TATに反映されるため、一発完動未達のリスクを増大させることなく、コーナー数を削減することが要求されています。そこで概念的には、図8に示すように、設計制約と、設計に考慮するマージンと、検証コーナー数のトレードオフを考慮した、検証条件の導出手法を検討しています。

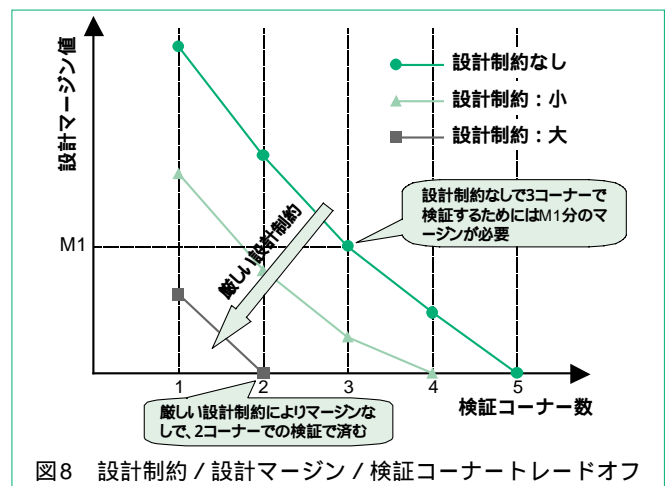


図8 設計制約 / 設計マージン / 検証コーナートレードオフ

解析関連技術

解析チームリーダー 奥野 祐史

解析技術関連としてはV2.0の主要機能である低電力設計のためのマルチ電源回路に対応する解析技術を中心にご紹介します。

マルチ電源回路に対応する解析技術

LSI上に異なる電圧の電源が複数存在する場合、単一電源の場合と異なる機能が必要となります。フローの説明で述べたように、LSI上で同一の種類のセルが異なった電圧で動作するため、それぞれの電圧に応じた解析が必要になります。例えば、図9に示すように1.2Vと1.0Vの電源領域が存在し、BUFEX1という種類がそれぞれの領域で使用されていた場合、同じセルでもそれぞれの電源電圧に応じた、遅延計算や、クロストークなどの解析を行う必要があります。また、図9のように1.2Vの領域のセルで駆動されているネットと、1.0Vの領域のセルで駆動されているネット間のクロストークの影響がある場合、それぞれの領域間の境界条件の解析が必要になります。これらのマルチ電源に対応した解析機能は最近各市販EDAツールに実装されつつあります。V2.0ではこれらのうち、クロストークと遅延計算の市販EDAツールの精度評価を行い実力を明らかにしました。

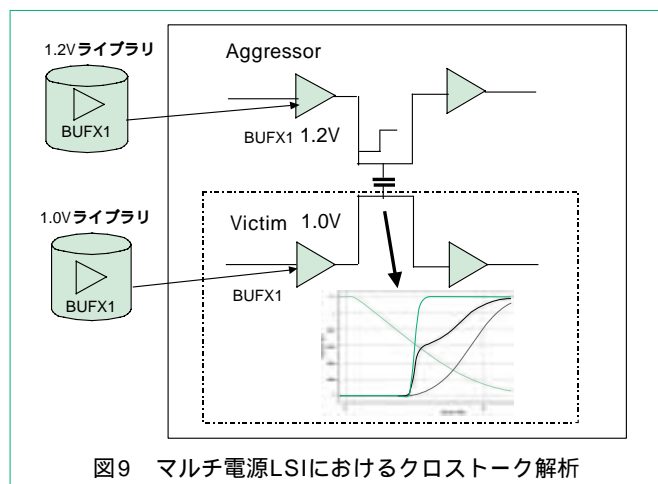


図9 マルチ電源LSIにおけるクロストーク解析

その他の開発項目

マルチ電源の解析技術の他に、フローティングのダミーメタルを用いた場合のレイアウトパラメータ（容量と抵抗）抽出EDAツールの精度評価、ダミーメタル挿入による容量増加を最小とする挿入手法の検討、フローの各設計段階のチェック基準を検討したハンドオフ技術の検討、クロックの配線幅、バッファタイプなどの、パラメータ検討、低消費電力化のための、クロック設計の新機能の評価、クロストークのサインオフコーナー検討消費電力計算ツールの評価、エレクトロマイグレーション関連ツール評価などの開発を行っています。

また、改善が必要なツールに関しては、EDAベンダ改善を依頼して、継続的に改善を図っています。

多電源設計用ライブラリ開発

ライブラリチームリーダ 杉岡 俊明

本章では、今年4月にリリースしたSTARCAD-21 V2.0低消費電力設計フローのための多電源設計用ライブラリ開発における課題と成果について説明します。

多電源設計では、コア電圧1.2Vに対して、消費電力を抑え

るために1.0Vのレイアウトブロックを搭載することを想定してフロー構築を行っています。この1.0Vのレイアウトブロックで使用するセルライブラリの課題のひとつには、低電圧化によるセル遅延の温度依存性逆転現象があります。図10に示すように、1.2Vでのセル遅延時間は125 がワースト条件になりますが、0.9Vのセル遅延時間は - 40 がワースト条件となり、温度条件によってワースト遅延条件が逆転することが分かります。このため多電源設計でのサインオフ条件は、従来のように温度と電圧が一意に決められないため、温度、電圧、各コーナでのライブラリ開発が必要となりました。

低電圧化によるセル遅延の温度特性逆転現象

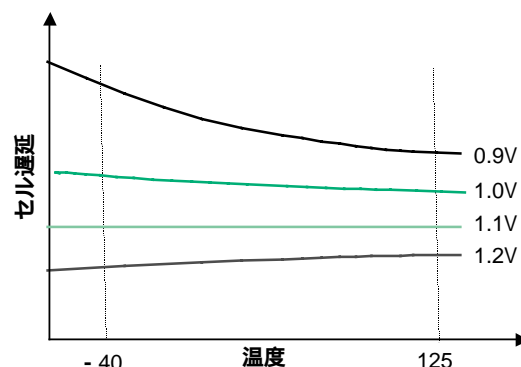


図10 セル遅延の温度特性

またSTARCAD-21 V2.0ではOCV削減のためにIR-Dropを考慮した遅延計算機能を搭載するため、Cadence社、Synopsys社から提案されているECSSM/CCSのライブラリを採用しました。IR-Drop時の遅延計算では、電圧補完を行う必要があるため、電圧ドロップ用の電圧コーナのライブラリが必要となりました。

以上より、多電源設計とIR-Drop考慮遅延計算を実現するため、ライブラリチームでは表2に示すPVTコーナ条件のセルライブラリの開発を行いました。V2.0のIR-Drop制限は - 60mVですが、 - 0.1Vまで電圧補完ができるライブラリを準備しています。

Process		MAX (SS)		TYP (TT)	MIN (FF)	
		Temperature	T-low(-40)	T-high(125)	T-low(-40)	T-high(125)
H-Vdd 1.2V	Normal	1.1V	1.1V	1.2V	1.3V	1.3V
	IR-Drop	1.0V	1.0V	-	1.2V	1.2V
L-Vdd 1.0V	Normal	0.95V	0.95V	1.0V	1.05V	1.05V
	IR-Drop	0.85V	0.85V	-	0.95V	0.95V

表2 STARCAD-21 V2.0 ライブラリコーナ条件

今回、このような多くのコーナ条件のライブラリを開発しましたが、開発工数の増大は否めない状況であり、今後の課題としては、ライブラリコーナ条件の削減があります。そのためには電圧補完精度の向上と、温度補完遅延計算機能を実現することによって、中間電圧、中間温度条件でのライブラリ数を削減する必要があります。ライブラリチームでは、この目標に向かってEDAベンダー各社と技術協力し、開発を推進して行きます。

SoC設計技術STARCテキストと 大学教育支援活動

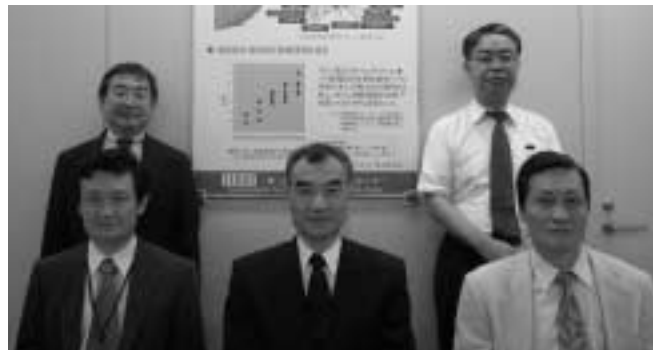
研究推進部教育推進室

1. はじめに

教育推進室では2001年度から「あすか計画」の一環として、STARCクライアント会社の技術者と大学の先生方を中心とした協力のもと、SoC System-on-a-Chip 設計技術のテキストを作成し、国内の大学院を中心とする教育機関に対して、テキスト印刷物と電子ファイルを提供するとともに、一部講師を派遣してSoC研究開発の人材育成を支援している。本記事ではあすか計画の最終年度にあたり、STARCの大学教育支援活動を振り返り世界の教育レベルの中で位置づけを図る。

2. SoC設計技術テキストの狙いと全体像

図1にSoC設計技術テキストのとくにSoC複雑化への対応の仕組みを示す。集積回路の集積度はほぼ3年で4倍というムーアの法則に従って過去40年間成長を続けてきたが今後少なくとも10年程度はおおむね同様な増加傾向を維持することが予測されている。こうした中で、デバイスや配線の微細化に伴う物理限界からくる製造や設計の課題への対策とともにLSIに搭載されるシステムの複雑化への対策が急務である。かつて、ネットリストからRTL設計へと設計抽象度を上げたようにRTLからさらにシステムレベルへと設計抽象度を上げて設計することで設計記述1行当たりの設計素子数を飛躍的に増加させることができる。こうすることで設計再利用率も向上する。プログラマブル構成をとることで設計再利用率は一層向上する。こうしてLSIの中にマイクロプロセッサとランダムロジックが搭載されるとハードウェア(HW)つまりランダムロジックとソフトウェア(SW)のどちらで仕様を実現した方がよいかというアーキテクチャの選択の自由度が増えるのでシステム設計が重要になる。本講座はこうした観点から、SoC設計をシステム設計にさかのぼって解説するものである。



教育推進室のスタッフ紹介

本年5月に今村陽一上級研究員が加わった。

現在のメンバーを写真で紹介する。

前例左より 今村上級研究員、橋詰室長、加沼上級研究員

後列左より 有賀上級研究員、渋谷上級研究員

STARCのSoC設計技術テキストの作成は2001年度から段階的に拡充を続けてきた(図2)。2001年度はLSI設計編を中心としながらも全体構想が盛り込まれ、これにもとづき2002年度はシステム設計編と設計事例編が作成された。さらに、SoCでは単にHWの設計だけでなく組み込みSWが必要になる。この観点から2003年度には組み込みSWで重要なリアルタイム性を実現するためにリアルタイムOSを取り入れた組み込みSW設計編が作られた。この中には、SWによる性能向上のためのチューニングや、大規模低消費電力システムに向けたマルチプロセッサについても解説している。2004年度には、全体のイントロともいえるべき、SoC概要編が2コマ分作成された。2005年度にはさらにSoC概要編に「SoCの役割」が1コマ分追加され、また、設計事例にリコンフィギュラブルシステムが追加された。2005年度にはさらに教育効果を高め、また、遠隔教育(e-Learning)の教材としても使えるように理解度テストが追加された。そのほか、組み込みSW設計編で新たにSWエンジニアリングとして章を設ける。ユビキタス時代に向けT-Engine概要編を新設し、実習教材も改訂した。

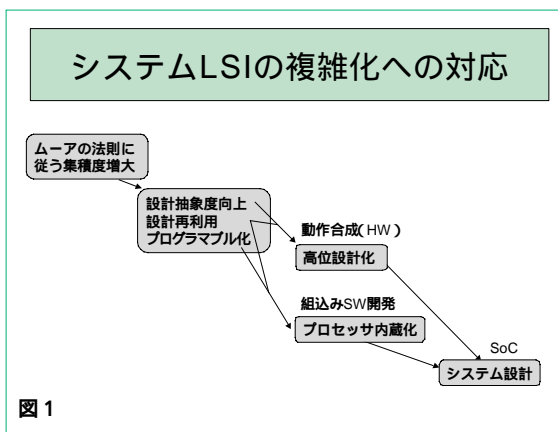


図1

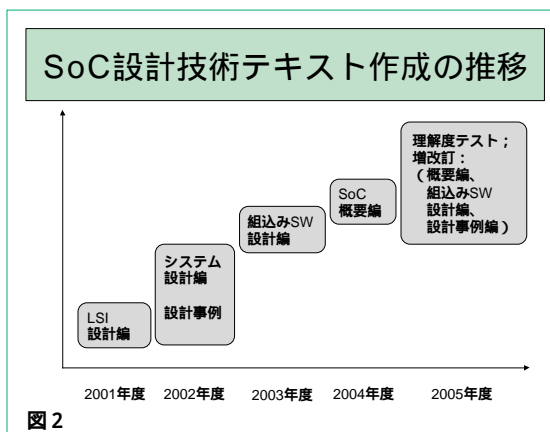


図2

図3はSoCの設計フローとSoC設計技術テキストとの関係を示す。まず、SoCが市場要求等を満たすべく要求仕様を定義する。この要求仕様に対応してSoCのシステム仕様が定義される。続いて、このシステム仕様を

HWとして実現するのか、SWによって実現するのかをアーキテクチャとして決定する。つまり、この段階でHWとSWの切り分けがなされ、SW仕様とHW仕様が決められる。SWとHWはまた、協調検証により当初のシステム仕様を満たしているかどうか検証されるので、HWがLSIとして試作されるのを待たなくても事前にバグを検出し解消することが可能となる。ここまでは、「システム設計編」でカバーされる。HWの方は高

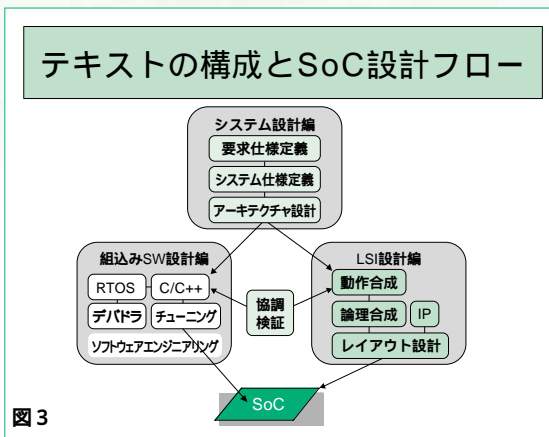


図 3

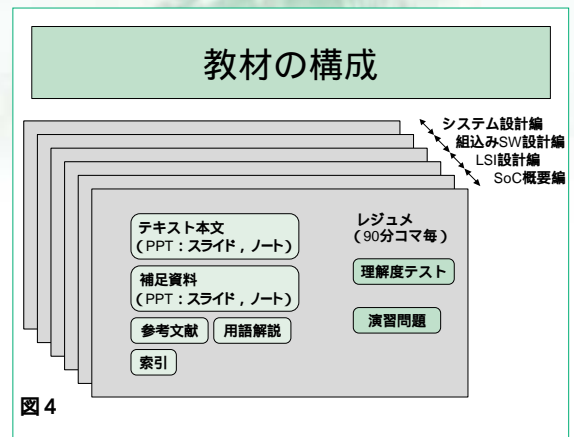


図 4

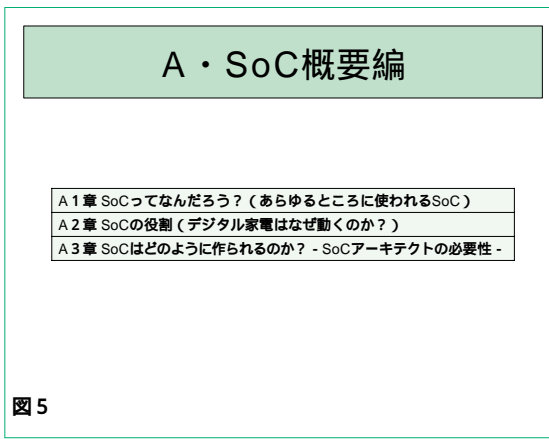


図 5

B 1 章 システムLSIとは B 2 章 システムLSI設計フロー
B 3 章 システムLSI構成要素 - IP活用の観点から - (1)(2)
B 4 章 機能・論理設計 (1)(2)(3)
B 5 章 機能・論理検証
B 6 章 レイアウト設計 (1)(2)
B 7 章 タイミング検証
B 8 章 低消費電力設計 (1)(2)
B 9 章 テスト容易化設計
Z 1 章 制御系システムLSIとMM系システムLSI
Z 2 章 システムレベルの高速化；カスタムプロセッサの開発
Z 3 章 通信系システムLSIとシステムレベルの低消費電力化
Z 4 章 リコンフィギュラブルシステム

図 6

位言語で記述された仕様から動作合成と論理合成を経て回路レベルのネットリストに変換され、さらにメモリやマイクロプロセッサなどのIP部品と組み合わせて回路レイアウトが実行される。こうしたHWの設計工程がLSI設計編で解説される。一方、SWは「組み込みSW設計編」で解説される。組み込みSWはC/C++言語などで記述され、重要な条件であるリアルタイム性を実現するためにリアルタイムOSの機能を利用する。リアルタイムOSに対して、制御対象の機器とのインタフェースSWとしてデバイスドライバを作成する必要がある。こうしてできたSWはチューニングによって性能アップできる。また、このような、組み込みSWを体系的に開発する手法をソフトウェアエンジニアリングとして解説する。

3. 各コースの構成(シラバス)

次に教材の構成を説明する(図4)。教材は90分相当の講義に対応するレジュメ(小冊子)を15冊前後まとめて1学期分のテキストが構成される。レジュメはテキスト本文、補足資料、用語解説、参考文献、演習問題、理解度テスト、索引などからなる。

続いて各コースのシラバスを説明する。「A・SoC概要編」(図5)は、第1章で、携帯電話、カーエレクトロニクス、デジタル家電を例にとってアプリケーションの面からSoCの位置づけを解説する。第2章では、DVDを例にとってシステムの動作原理を説明する。また、第3章ではシステム、LSI、組み込みSWの開発を統合するSoCアーキテクトの役割に

ついて解説する。

「B・LSI設計編」(図6)は、最初に、第1章と、第2章でシステムLSIの定義とLSI設計編の構成とを説明する。第3章1ではシステムLSIに搭載されるIPとしてマイクロプロセッサIPとメモリIPとを解説し、これに続けて第3章2ではバスシステムIPを説明し、さらにIP活用事例として携帯電話用のアプリケーションLSIとベースバンドLSI、MPEG2エンコーダLSIを紹介する。第4章1では動作合成の原理を解説し、第4章2では動作合成の応用と適用事例を紹介する。第5章ではアルゴリズムレベルからゲートレベルに至るまで各段階での検証方式を列挙し比較する。形式検証やSW・HWの協調検証なども解説する。第6章1はモジュールのレイアウトとしてセルベースLSIのセルライブラリのレイアウト設計を中心に説明し、第6章2はチップ全体のフロアプランと配置・配線や、レイアウト検証としてDRC(デザインルールチェック)、LVS(接続チェック)、シグナル・インテグリティのためにIRドロップやクロストークのチェックを論じ、また、DFM(Design for Manufacturability)として光近接効果補正(OPC)も論ずる。第7章では動的ならびに静的なタイミング検証法を論じ、さらに、ディーブサブミクロン時代の課題としてIRドロップやクロストークのタイミングへの影響を論ずる。

第8章1、2ではSoCの中で消費電力の発生する部分の解析から始まって、設計フローの各段階、とくに論理合成、RTL設計、アーキテクチャ・レベルでの低消費電力設計法を解説する。第9章では、故障モデルやテストピリティの定

C・組み込みSW設計編

C1章 マイクロプロセッサの歴史と組み込みシステム
C2章 組み込み用OSの種類と組み込み用ソフトウェアの現状
C3章 リアルタイムシステム(1)(2)(3)
C4章 リアルタイムシステムのためのソフトウェアプラットフォーム (1)組み込みLinux概要と実装方法 (2)T-Engineの概要と実装方法
C5章 ターゲットハードウェアへの実装
C6章 開発ツールと開発環境
C7章 ソフトウェアエンジニアリング(1)(2)(3)
C8章 実際の開発事例
C9章 チューニング(性能解析と最適化)
C10章 マルチプロセッサ

図7

D・システム設計編

D1章 組み込みシステムとその開発概要(1)(2)
D2章 組み込みシステムの要求仕様定義(1)(2)
D3章 組み込みシステム仕様定義(システム設計)
D4章 システムアーキテクチャ設計技術(1)(2)(3)(4)(5)
D5章 動作合成技術(1)(2)
D6章 機能検証技術
Z1章 制御系システムLSIとMM系システムLSI
Z2章 システムレベルの高速化;カスタムプロセッサの開発
Z3章 通信系システムLSIとシステムレベルの低消費電力化
Z4章 リコンフィギャラブルシステム

図8

Z・設計事例編

Z1章 制御系システムLSIとMM系システムLSI
Z2章 システムレベルの高速化;カスタムプロセッサの開発
Z3章 通信系システムLSIとシステムレベルの低消費電力化
Z4章 リコンフィギャラブルシステム



テキスト全体外観

図9

STARCテキスト利用状況 (教育支援)

中央大学
群馬大学
北海道大学
関西学院大学
慶応義塾大学
近畿大学
神戸大学
高知大学
京都大学
三重大学
名古屋大学
大分大学

大阪電気通信大学
大阪大学
大阪学院大学
立命館大学
静岡大学
東京工業大学
鳥取大学
豊橋技術科学大学
早稲田大学
(北九州)早稲田大学
山形大学
(アルファベット順)

図10

/検証、品質向上技術、開発管理技術からなる。SWエンジニアリングの章は、経済産業省のアンケート調査報告である「2004年版 組み込みSW産業実態調査報告書」の中で「学校教育で強化すべき教育分野」の項目で最も高い割合(32.8%)を占めたことを受けて新たに2005年度に導入した。第8章では、開発現場で考慮すべき項目、デジカメ開発を例としたSW開発事例、を解説している。第9章では、チューニングの効用、HWの前提

義から説き起こし、テスト容易化設計法として、スキャン・テスト、バウンダリ・スキャン、BISTなどを説明する。

「C・組み込みSW設計編」(図7)では、まず第1章で自動車への応用を例として組み込みシステムを説明し、さらに、組み込みSW作成に必要なHWの知識を解説する。第2章では、組み込みシステムで用いられるプログラム言語、OS、ミドルウェアなどを紹介する。第3章1では、リアルタイムシステムの定義、並列処理とタスクのスケジューリングという概念、リアルタイムOSが適したケースを明確にする。第3章2では、マルチタスク機構と割り込みハンドラ、マルチタスク環境、セマフォによる排他制御などを用いるタスク間同期通信、メモリ管理、システムタイマやタイムイベントやタイムアウト処理などの時間管理機能、などを解説する。第3章3では、スケジュール可能性の検証、優先度逆転、オーバーロードに対するQoS制御と例外処理、RTOSを用いたSW開発の流れ、を解説する。第4章1では、組み込みLinux概要と実装方法、Linuxの定義と歴史的経緯、プロセス、メモリ管理、時間の概念、を解説する。第4章2ではT-Engineの概要と実装方法を、ユビキタスコンピューティング、T-Engine概説、T-Kernelに分けて論ずる。第5章では組み込みSWの実行環境、開発フローと開発手法、組み込みSWの実装、デバイスドライバの開発、マルチタスクデバッグ、を解説する。第6章では、開発時間を縮めるアプローチ、組み込みSWの開発ツール、統合開発環境IDE、を論ずる。第7章1、2、3は、歴史的経緯と目的、特徴、開発フロー、開発上流工程 要求獲得、SWの設計、部品化と再利用、開発下流工程 実装とテスト

知識、チューニングの実際、事例紹介、を論ずる。第10章では、マルチプロセッサに関して、組み込みシステムでの必要性、事例紹介、長所と短所、同期通信、SW環境、などを論ずる。

「D・システム設計編」(図8)では、第1章1、2で、情報通信技術と組み込みシステム、組み込みシステムの定義、半導体技術ロードマップ、組み込みシステムとSoCの関係、組み込みシステムとものづくり、半導体事業の展開、SoC設計の展開と課題、SoCの設計フロー、などを解説する。第2章は、組み込みシステムの設計案の立案、組み込みシステム設計案の評価、要求仕様書の作成、などからなる。第3章では、UMLによる仕様記述を中心に、仕様の構造化とIP再利用、仕様設計方法論を解説する。第4章1では第4章の全体像の説明、SoCシステムアーキテクチャ設計方法論を述べる。第4章2では、システムアーキテクチャの仕様設計データの構造化モデリング(SoCのシステム仕様書)ならびにSpecC設計手法を用いた設計フローを論ずる。第4章3では、システム仕様記述言語の例としてSpecCとSystemCを論じ、また、ケーススタディとしてDVDを用いて説明する。第4章4では、SWとHWのコードザイン、性能評価と見積もりを述べる。第4章5では、再利用による設計効率化とインターフェース(IF)の生成要素技術を解説する。第5章1、2はBコースの動作合成と同一である。第6章ではシミュレーションによる検証技術、プロパティ記述言語とアサーションベース検証、形式検証技術を論ずる。

「Z・設計事例編」では主要な応用分野を選んで解説する。第1章では、前半でNC数値制御装置の高速化やNC制御用システムLSI、後半で動画デジカメの要求仕様と動画デジカメ

2005年度版STARCテキスト レジュメ分冊発行部数分布

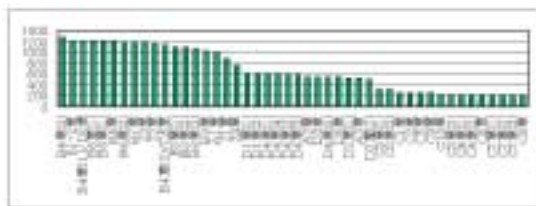


図11

STARC修了証発行累積数

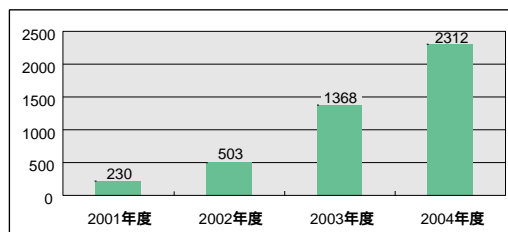


図12

講義風景



立命館大学
講義風景

図13

実習風景



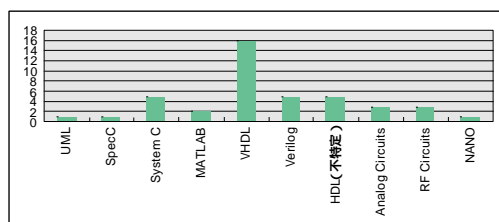
2005年度実習教材



名古屋大学
実習風景

図14

マイクロエレクトロニクス教材の設計対象



Source: MSE2005

図15

ISSCC 2005論文発表件数

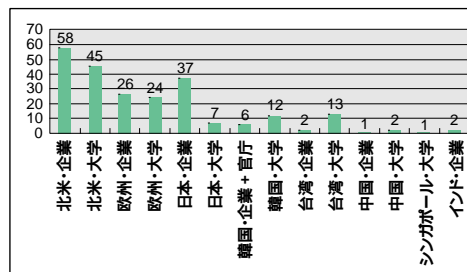


図16

用システムLSIを紹介する。第2章では、ゲーム向けプロセッサとスマートカー向け画像認識プロセッサを紹介する。第3章では前半でモバイル系プロトコルシステムLSI(ベースバンドLSI)とW-CDMA用LSI、後半ではモバイル向けアプリケーションプロセッサをモチーフとしてシステムレベルの低消費電力化を論ずる。第4章では、プログラマブルデバイス、リコンフィギャラブルシステム、ダイナミックリコンフィギャラブルシステムに関して解説する。

4. あすか計画での実施状況

SoC設計技術テキストの利用大学(図10)は日本全体で22校に達しており増え続けている。また、レジュメ発行部数も図11に示すように、2005年度では30888部に達している。コース別では、Bコース(LSI設計編)が最も多く、次いでDコース

(システム設計編)、Cコース(組込みSW設計編)の順である。Zコース(設計事例編)はBコースやDコースの一部として利用されているので発行部数は多い。また、STARCがテキストを供給している科目で大学の単位が認定された場合はSTARCから修了認定証を授与しているが、2004年度までで累計2312枚を発行した(図12)。ただし、原則として15コマの半数以上でSTARCテキストを用いていないと修了認定証は発行しない。参考までに講義(図13)と実習(図14)の風景を紹介する。今後はe-Learningも用いて多様な需要に応える予定であり、あすか計画(2001年度~2005年度)終了後も大学教育支援は質・量ともに一層の充実を図る予定である。

5. まとめ

集積回路はますます複雑が進んでおりこれに対応して設計の抽象度を上げて設計効率を向上させる必要がある。一方、マイクロエレクトロニクス教育では世界的にみてもまだRTLレベルのものが大多数であり(図15)、今後はシステムレベル設計の教育を強化していく必要があり、STARCのSoC設計技術テキストは物理設計でのDFM(Design-For-Manufacturability)をカバーするだけでなくESL(Electronic System Level)を実習を含めてカバーすることによりまさに次世代に向けたテキストといえる。今後はこの教育をベースに我が国の大学を含めた集積回路の国際的な研究開発レベル(図16)を向上させるうえでお役に立てれば幸いである。

(加沼 安喜良)

国際学会参加報告

42th DAC(Design Automation Conference) 参加報告

第42回設計自動化会議DAC (Design Automation Conference) が、米国アナハイム市会議センターで6月12日から17日にかけて開催された。参加者は、約10,000人であるが、その内、会議登録者数 3,300人(3,305)、展示のみ登録者数 2,745人(2,857) あわせて6,045人(6,162) が発表・聴講する側で、残りは展示説明員ということになる。()内は昨年数。

今年の大きな特徴は、これまでツール指向の技術発表が多かったが、SoC設計手法あるいは設計メソドロジーといわれる設計手法および設計フローへと大きく切り替わったことであろう。大雑把にみると設計メソドロジーは27.7%(9%)に増加し、ツールも39.5%(31%)と微増したが、メソドロジーとツールの混在セッションは、57%から29%に激減した。メソドロジーかツールかの区分けがはっきりしてきた。

分野別にみるとDFM (Design for Manufacturing) 関連が43%を占め断然多くなってきた。内容的には配置配線、消費電力、タイミングおよび素子のパラツキ問題等を含んでいるがプロセス技術の微細化に対応する諸問題であり、広くはDFMとみなしうると考えられる。

一方、これまで多かったハイレベル設計・合成・シミュレーション・検証等およびテスト関連は22%に減少し、設計手法・FPGAを含む組み込みシステム等は35%に増えている。これは最近のSoC設計の現状課題を反映しているものと考えられる。

分野別発表論文

	論文数	%
Business	7	3.6
System Level Design	44	22.6
Embedded Systems	18	9.2
Logic Design & Test	42	21.5
Low Power	19	9.7
Physical / Circuit Design	29	14.9
Timing & DFM	36	18.5

会議の進行は、5または6セッションと並行して進められ、57セッションで発表が行われた。論文の投稿数は、735件(785)で、その内採択数は155件、採択率は21(20%)と厳しいものになった。

論文投稿を地域別にみると米国60%、欧州20%、アジア20%となっている。とくに台湾・韓国の躍進が著しい。採択論文155件のほか特別セッションの40件を加えて195件の発表が行われた。その内訳をみると、米国大学105(54%)、米国企業44(23%)、欧州19(10%)、アジアの大学11(6%)、日本は大学から3件で1.5%と極めて少なくなっている。台湾は4件で政府主導のシリコンソフト・プロジェクトの効果がみえてきた感じがする。

この会議は、技術発表と併せてEDAの製品展示が行われ商談も進められている。今年の展示件数は241社(224)で、その内新規出展は50社(49)となっており、相変わらず新しい会社が活発に生まれてきているようである。会議と展示の有機的なつながりを促進する策として、今年は展示会場でDAC Pavillionという発表・パネルの場を設け、18件の発表が行われた。さらに初日はマネージメントの日、二日目はワイアレスの日とテーマを決めて、論文発表と展示会場を連携した企画が行われた。ワイアレスの日には、ワイアレスに関連する論文発表が4セッションが行われ、展示会場ではワイアレスパネルが3件行われた。こうしたEDA産業と学会会議をうまく融合させている企画は、ボランティア16人のExecutive Committee Membersで企画実施されていることは驚きである。

基調講演1は、Bernard S.Meyerson氏(IBMフェロー・副社長・チーフテクノロジスト) が、「古典的な比例縮小則が終焉した現在、“技術”をどう定義すべきか?」と題して、比例縮小が限界にきた時代の設計のあるべき姿を述べた。

Meyerson氏はEE Times紙が、半導体の技術開発に影響をあたえた13人のうちのひとりとして記する著名人である。

はじめに、IT産業は過去40年間、半導体の比例縮小則の恩恵により発展してきた、とくにマイクロプロセッサはMooreの法則に従う比例縮小により、性能が向上してきた、しかし現在は、比例縮小は終焉したと述べた。本公演では比例縮小がなぜ限界にきたのかを解説し、この不連続性を解決する手段としてHolistic Design(全体論的設計) を提唱した。

1965年に発表されたMooreの法則に従い、集積回路は12 - 18ヶ月ごとに集積度が2倍になってきたこと示し、とくにマイクロプロセッサは微細化により高速化、低価格、低消費電力、多機能化が達成されてきたことを図示した。

Moore氏は集積密度が2倍になることを予測しただけで、古典的な比例縮小則は1974年にDENNARD氏が提唱したと注釈を加えた。

古典的な比例縮小則が限界となったのは消費電力であることを示した。その理由はゲート酸化膜が比例的に縮小されなくなり、電源電圧が比例縮小からはずれてきたからである。

最先端のデバイスでは、ゲート酸化膜は1.2nm程度になり、原子層にしてわずか5 - 6層にしか過ぎず、たった1個の原子の欠陥によりリーク電流が100倍になると述べた。

過去の事例としてバイポーラトランジスタの性能が消費電力制限により限界と

なりCMOSの時代となったが、CMOSも同様に消費電力が増大し、Pentium 4ではアイロンの電力密度(5 W/cm²)を超えて限界に近づいていることを示した。

2005年が不連続の境目で、これまでは比例縮小によりマイクロプロセッサを中心に性能が向上してきたが、今後は革新技術(Innovation)により技術開発が進み、システムの性能向上に焦点が絞られると述べた。



米国アナハイム市会議センター

次に比例縮小の限界を超える技術革新の例としてデバイスレベルで、ひずみSiトランジスタが紹介された。IBMでは90nm世代からバリア膜(窒化膜)による引っ張り応力印加によりNMOSの電子移動度向上技術を実用化している。

また次の世代ではPMOSに圧縮応力を印加して正孔移動度を向上させる技術を導入すると述べた。ひずみの印加によりトランジスタ性能が20 - 30%向上する図を示した。

トランジスタは今後も超薄膜SOI 高誘電率ゲート酸化膜 ダブルゲート FinFET (2020年6nm) と技術革新により発展すると述べた。

続いて配線技術のロードマップを示し、低誘電率層間膜(2004年Keff = 3.0) 超低誘電率層間膜 Porogens エアギャップ(2020年Keff < 1.3) と技術革新が進むと予想した。

一般的には65nm世代は製造が困難になると予想されているが、Meyerson氏は自信をもって信頼性の高い製品を製造できると断言した。

またIBMにおける技術革新の例がとして、1 TrDRAM (1966年) やナノチューブトランジスタ(2001年) と並んで江崎博士のノーベル賞も誇らしげに紹介された。

後半はコストの問題についても触れた。技術革新には莫大な費用がかかるのが課題である。技術革新を導入すると設備投資が劇的に増大する。この費用増大化は産業構造をも変えようとしていると述べた。コスト負担を軽減するためにダイナミックなアライアンスが進み、基礎研究は産業界や政府機関による集中化が図られ、pre - competitive領域での協調が進んでいると述べた。競争の時代から協調の時代へさらには協調 + 競争(Coopetition) の時代になる。IBMは東芝、SONY、SAMSUNGなどと共同開発

を積極的に進めており、またAlbanyナノテクセンター（IBM、ASML、AMD、Infinionが参加）で193nm液浸露光技術の開発を促進している。

さらに設計技術に関して、新しいパラダイムとしてHolistic Design（全体論的設計）を提唱した。すなはち、材料、デバイス、回路、コア、チップ、アーキテクチャ、システム評価、ソフトウェアを同時に最適化することが重要であると強調した。システム設計戦略として仮想的資源をマッピングして物理資源とする方式を紹介した。

最後にプロセッサの革新技術についてIBMの製品を例に紹介した。MCM（マルチチップモジュール：1980年代）からPOWER 5（CMOSマイクロプロセッサ：1990 - 2000年）へと進化し、さらにBlue Gene/L（マルチコアプロセッサ：2004年）へと発展を遂げたのはHolistic Designの成果であると強調した。Blue Gene/Lの演算速度は70.72TFLOPSで日本の地球シミュレータ（42.7TFLOPS）に打ち勝ったと誇らしげに語った。またCELLプロジェクトについても紹介しグローバル・パートナーシップの成果であると述べた。

結論として、今後は革新技術により技術開発が進捗し、システムソリューションはホリスティック設計により最適化される、協調によるグローバルな技術開発がすすむと述べた。

基調講演 2 はCadence社副社長のRonald A.Rohrer氏（Corporate Vice President, Advanced Research and Development Cadence Design Systems, Inc）が「EDAビジネスにおけるイノベーション」と題して行った。

Ronald A.Rohrer氏はEDAの世界で40年以上の経験を有し、Fairchild Semiconductor社、イリノイ大学教授、UCB教授、カーネギメロン大学教授、ベンチャー起業（Performance Signal Integrity社 Avant!社買収、Neonlinear社 Cadence社買収）と多彩なキャリアを持ち、IEEEフェローで、NECのC&C賞を受賞（1996年）している。

はじめに、EDAビジネスを成功させるには5段階のステップがあると語った。問題発見 プロトタイプ開発 パートナー作り 製品開発 繁栄である。

問題解決の具体的な例として、マルチプレクサ・ロジック・アレイの開発を挙げて説明した。欠陥検査の方法としてBDD（Binary Decision Diagram）のアイデアを着想したが、論理回路に直接マッピングできないという問題にぶつかり、次にBDDの直接合成法を試みたが、設計者は設計方法の変更を受け入れず、さらに組み合わせ回路の合成にBDDを使うという新しいアイデアを発見したという経緯であった。問題が発生したときにアイデアを出すのが、必ずしも最初の案で解決できるわけではなく、辛抱強くアイデアを練り直すことが重要であるということで、技術者ならだれでも経験する、

共感できる話であった。

次にプロトタイプ開発からパートナー作りの段階では、ユーザの期待を把握して、新製品のアイデアを着想し、製品を定義することが重要であると述べた。

次のパートナー作りから製品開発の段階では、Calmaというツール開発を例に挙げて説明した。圧縮に関するアイデアはすばらしく、ベータ版は\$80Kで40本売れ、大きな利益になると予想されたが、実際には110%割引の商売にしかならなかった（装置を売るためにソフト開発費はただにしたということであろう）。しかし、ここからPCellsが生まれた。またハードとソフトを比較して、ハードは使い方がはっきり定義されており、保証は限定されているのに対して、ソフトは柔軟で、順応性があると述べた。

続いて、製品を10個開発しても4個は生ける屍になると語った。儲かるようになるまでにどれくらい期間がかかるか？という問題発見からプロトタイプ開発までが2年（所要人員3人）、プロトタイプ開発から製品開発までが2年（所要人員5人）、製品開発から商売繁栄までが2年（所要人員7人）ということである。

所要人員とはキープレイヤーで、5人前後でよく、10人では多すぎるのである。

次に、EDAビジネスモデルについて、具体的な数値を使って興味深い話をした。3種類の製品を開発するのに

(1) 3人 × 2 Period × 10 Projects = 60人年
(2) 5人 × 2 Period × 7 Projects = 70人年
(3) 7人 × 2 Period × 3 Projects = 42人年
で合計172人年のリソースがかかる。

1製品あたり172 ÷ 3 = 57人年で、人件費を1人年あたり\$200Kとすると

1製品あたりの費用は57 × \$200K = \$11.4Mとなる。

さらにベンチャー・キャピタリストは5倍の\$57Mを要求し、起業家は\$24Mを取るとすると合計\$81Mとなる。

P/S (Price/Sales) = 3 とすると、81 ÷ 3 = \$27Mの毎年売り上げとなる。

P/E (Price/Earnings) = 50 とすると\$1.6Mの収益となり、十分な開発が賄える。

さらに、継続的に製品開発をする費用は、製品開発にかかる期間を6年(24quarterで24製品ストリーム)とすると

\$11.4M ÷ 6 × 24 = \$45.6M / 年となる。
24製品を毎年\$27M売り上げると総売り上げは\$648Mとなり

\$648M ÷ \$45.6M = 7%が開発投資となる。

EDA産業全体で毎年\$4Bの売り上げがあり、

\$4B ÷ \$648M = 6.2 × 24 = 148製品が開発される。

これは1社あたり0.5製品という計算になる。

最後に、現在のEDA産業の課題は、パートナー作りから製品開発の期間を辛抱強く待たないことであると語った。

DAC展示会場内に大学の展示ブースが設けられ、40件の研究テーマの発表と

デモが4日間にわたり実施された。40件の国内訳は、米国18件、韓国7、台湾・ブラジル各4、日本・ドイツ各2、その他3であった。大学の研究では、評価データに何をを使い、現場の問題に近い評価ができていないかが大きな問題であると思われるので、この問題について集中的に質問してみた。米国の大学の場合は、学会のベンチマークに頼っている感が強く、産学連携も限界があるようである。とくに注目すべきは韓国・台湾の大学で企業との関係を密接にし、評価データを企業から入手し現実問題へ取り組んでいる様子が伺える。

台湾の場合は、TSMC、UMCはもちろんだことシリコンバレーのファブレス設計会社から実際の設計データを購入してEDAツールの技術開発に利用している。そのため現実の課題からEDAの問題をみつけることができ、新しいテーマに発展させることができると自信を持って説明していた。例えば、配線問題では、配線幅を可変にするためグリッドレスとしてOPCの問題も考慮して配線している。台湾は、論文も4件発表し、展示4件と政府主導のシリコンソフト・プロジェクトの効果が出てきているように感じられた。

韓国の場合は、サムスンの支援で現場に近いデータを用いており、DFMのための最適レイアウトに取り組んでいた。そのほか、RTLでの正確な電力推定、リレー電圧の最小化手法および上位設計ツール技術等も発表していた。



日本は、昨年と同様に東京大学、大阪大学から各1件が展示されていたが、実際のチップを設計試作した経験はなく、台湾に比べると迫力に欠ける感は否めなかった。

そこで考えることは、日本の半導体産業界はいつまでも日本の大学と密に組んだ研究開発に消極的で独自開発を続けるのだろうかという疑問である。それで将来的にも台湾・韓国に勝てるのであるかという疑問である。

産業界はいまだに大学へは現実のデータを提供しながらないが、それでは日本の大学は学会のベンチマークしか利用できず、現実に利用できる強い研究はできないのではないかと懸念である。企業が現実的なデータを提供して、大学が現場に強い研究ができれば、産業界で役立つ若い研究者・技術者が育成されると思うのだが。

43回は7・24 - 28 SAN FRANCISCO、44回は6・4 - 8 SANDIEGOの予定である。

(平田雅規 / 小澤時典)

国際学会参加報告

VLSI回路シンポジウム2005

2005年6月16日から18日にかけて京都市リーガロイヤルホテルで開催された2005 Symposium on VLSI Circuitsは参加者総数500人を超え過去最多となった。景気回復が本格化したのか、日本からの参加者が300人超とのこと。印象では研究室ぐるみの学生の参加者が増えたようである。投稿論文259件に対し採択論文数92件と35.5%と狭き門である。

採択論文の傾向

図1に過去3年間の地域ごとの論文数の推移を示す。本シンポジウムはハワイと京都で交互に開催されるため、日本・アジアからと欧米からの論文

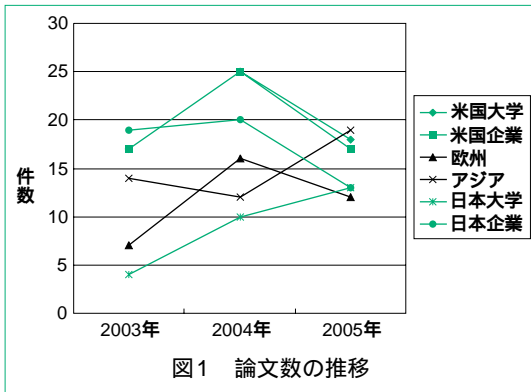


図1 論文数の推移

数の位相が反転する傾向にあるが、それを差し引いても日本の大学からの論文の急激な増加が見取れる。それに比べ日本企業からの論文は漸減傾向にある。国内半導体業界の基礎研究が企業から大学へかなりの勢いでシフトしていることの現われと思われる。図2の採択論文の傾向を見ると、日米ともに企業と大学からの論文数は拮抗しているが、それぞれ分野で住み分けていることがわかる。例えば日本では、企業はメモリ関連のセッション、大学はアナログ回路や信号処理のセッションの住み分けが明白である。また米国では企業からの発表はマイクロプロセッサと高速I/Oに集中し、大学からの発表はRFやPLLに集中している。しかし、米国は約半数が企業と大学の連名発表であるのに対し、日本からの産学の連名発表は25%以下に留まり、産学連携の進行度合いに差がある。

STARCと大学との共同研究に関わる発表

日本の大学からの発表12件中、以下の4件がSTARCと大

図2 VLSI回路シンポジウム2005採択論文の傾向

(企：企業、学：大学、研究機関、共：共同研究、共同研究の数は産・学が連名になっている論文数であり内数である)

セッション	日本			アジア			北米			欧州			合計
	企	学	共	企	学	共	企	学	共	企	学	共	
# 2 - Microprocessor							4		1				4
# 3 - Ultra-Wideband Techniques		1				3							4
# 4 - PLLs	1			1	1		1						4
# 5 - Imagers, Biochip and MEMS	1		1				2	1		1	1		4
# 6 - RF Building Blocks							3	1		1	1		4
# 7 - PLL and On-Chip Interconnect						2		2	1				4
# 8 - Analog Techniques		2				1		1	1				4
# 9 - Multi-GHz Wireline Building Blocks						3		1					4
# 11 - SRAM and NV-Memory	3	1											4
# 12 - High Quality Audio Chips	1					1					2		4
# 13 - High Speed I/O's							3	1					4
# 14 - Signal Processors		3	1					1					4
# 15 - Drivers and Sensors	2			1	1	1							4
# 16 - Oscillators and PLLs					1		1	1			1	1	4
# 17 - Digital Blocks		1					2	1	2				4
# 18 - Substrate Analysis and Devices		2	1					1			1		4
# 19 - WLAN RF ICs	1						2	1	1				4
# 20 - Low Power Design	2	1			1								4
# 21 - Data Converters	1							1			2		4
# 22 - DTV Tuner and Wireless Interconnect Techniques		1			1	1	1	1					4
# 23 - Embedded DRAMs	2			1						1			4
# 24 - Wireless Receivers and Transmitters					1		1		1	1	1		4
# 23 - Cellular RF ICs							2	1			1		4
合計	14	12	3	3	16	2	17	18	9	2	10	3	92

学との共同研究に関わるものである。

論文番号3.1

A CMOS Impulse Radio Ultra-Wideband Transceiver For 1Mb/s Data Communications and $\pm 2.5\text{cm}$ Range Findings

慶応大学・黒田研究G

パルススペースUWB送受信回路の発表である。0.18umCMOS技術とデジタル回路を駆使して1mの距離で1Mbpsのデータ送受信を確認している。パルススペース方式の特質を利用した高効率の同期補足方式や低電力回路が提案されている。さらにパルススペースならではの測距方式を開発し誤差 $\pm 2.5\text{cm}$ を達成した。UWBセッションの他3本の論文はすべて国立台湾大学からのマルチバンドOFDMに関わるものであるが、本論文はパルススペースのCMOS実装および測定評価・実証として高く評価された。

論文番号8.2

A 1V Supply 50nV/ Hz Noise PSD CMOS Amplifier Using Noise Reduction Technique of Autozeroing and Chopper Stabilization

広島大学・岩田研究G

デバイス微細化からのスケールアップ要請とセンサーネットワークなどアプリケーションからの需要増大により低電圧のRFフロントエンドが重要になっている。本論文はオートゼロとチョッパ安定化技術を活用した低雑音の1V動作CMOSローノイズアンプ(LNA)の発表である。仮想グラウンド入力スイッチや多出力スイッチ・オペアンプなどの回路技術を0.18umCMOSチップに盛り込み、雑音密度・消費電力・チップ面積の積で定義する評価関数において従来例より2.4倍の改善を確認した。

論文番号11.1

Experimental Verification of Row-by-Row Variable VDD Scheme Reducing 95% Active Leakage Power of SRAM's

東京大学・桜井研究G

選択された行のみセル電圧を昇圧する方式の低電圧SRAMアレイにおいて、ワード線の立上り/立下りとセル電圧の昇圧/降圧のシーケンスを回路的に保障することにより低リーク電流とメモリセル性能および安定性を両立するコンセプトの提示および実証である。0.15umFD-SOI-CMOSのもと、オーバーヘッドは9%のサイクルタイム増と3.5%の面積増と小さく、活性時

リーク電流は95%削減されている。従来のメモリセルをほとんど変更せずに行デコーダを変更するだけで、すぐにも採用できる実用性の高い技術である。余談であるが、TIの技術者がランプレセッションで「優れた技術である」とコメントしていたとのことである。

論文番号14.2

A 95mW MPEG2 MP@HL Motion Estimation Processor Core for Portable High Resolution Video Application 神戸大学・吉本研究G MPEG2 MP@HLエンコーダ・チップ消費電力の90%を占める動き予測アルゴリズム部において初の100mWを切った発表であり、ポータブル応向けSoCに適したIPコアとなる。0.18um CMOS技術を用いた225万個のトラン

ジスタにより3.1mm×3.1mmチップにシストリックアレイを構成し、電源電圧1V、動作周波数108MHzにて消費電力95mWを達成している。

チップ試作サービスの貢献

日本の大学からの発表12件中、5件の論文が謝辞にVDEC (VLSI Design and Education Center) の名を挙げている。VDEC (<http://www.vdec.utokyo.ac.jp/welcome.html>) は1996年に設立されて以来、日本の大学・高専の集積回路設計分野の先生・学生への安価なチップ試作サービスの窓口となってきた。0.35umや0.18umなど各世代のCMOSプロセスやTSMCの0.18um、ASPLAの90nm、さらにはFD-SOIやバイポーラ・プロセスにもVDECを通してアクセスが可能とな

る。ネットワークを利用したEDAツール運用や各種セミナー開催などを通じてVDECが集積回路設計人口の質・量の充実に果たしてきた役割は大きい。しかし、国際学会における台湾大学の躍進の源泉が産官挙げての大学に対するチップ試作サポートであることを見ると、日本においても今一層のチップ試作サポートの充実が望まれる。

総力戦の様相がますます濃くなる半導体産業において、日本の大学も戦線に参加しつつあることを実感させてくれる2005 Symposium on VLSI Circuitsであった。今後、さらに深くWin-Winの関係を築いていけたらと祈念するものである。

(益子耕一郎)

国際学会参加報告

2005 SYMPOSIUM ON VLSI TECHNOLOGY

概要

6月14日から16日の間、“2005 SYMPOSIUM ON VLSI TECHNOLOGY”が、京都で開催された。本年は25周年記念の大会であり、発表件数はPlenary Sessionを除き89件。今回の参加者はShort Courseに約300名、Conferenceに800名と、過去最高であった。また、今回のConferenceの特徴として、日本以外のアジアの大学よりの発表が急増したことがあげられる。以下、技術動向と発表機関連動向に分けて報告する。

Conference技術動向

歪Si関連は昨年と同様に活発。10件の発表があった。また、メタルゲートはフルシリサイドプロセスも加え、9件と昨年の3件より増加。Rump Sessionのテーマとしても取り上げられており、Moderatorの広島大学芝原先生を中心に活発な議論がなされていた。High-kのSessionでは、昨年は10件以上の発表があったが、今年は5件と減少。一方、他SessionではHigh-kを用いたMOSFETやDevice Technologyが報告されており、研究開発ステージの変化が伺える。

新たな技術として、Fin-FETに関するSessionとGeチャネルに関するSessionが新設されている。とくに、Fin-FETでは二つのSessionで計8件の発表があった。共にMOSFETの性

能向上(駆動電流確保およびMobility向上)のための技術である。

発表機関連動向

国別の発表件数推移を表1に示す。2002年以降、日本と米国が共に減少。昨年度比較では大きな変化はないが、韓国、台湾、欧州が2003年から安定してそれぞれ、17件、10件、および14件と高い水準を維持している。もう一つのプロセス関連の著名学会であるIEDMと同様な傾向である。

また、先に述べたように今年アジアの大学からの発表が急増している。台湾のNational Chiao-Tung Universityから6件、シンガポールのNational University of Singaporeから4件、韓国のSeoul National UniversityとKorea

表1 国別発表件数推移

	国別	1999年	2000年	2001年	2002年	2003年	2004年	2005年
全て	日本	40	33	25	35	28	34	27
	米国	21	33	32	30	19	24	17
	韓国	9	8	9	12	20	16	17
	台湾	4	4	1	4	12	9	10
	シンガポール	1				4	2	4
	欧州	7	8	4	5	4	13	14
	計	82	86	71	86	87	98	89
大学	日本	3	1	2	2	1	1	2
	米国	10	8	14	10	3	5	3
	韓国				1			3
	台湾	3	2	1	1	2		6
	シンガポール	1				4	2	4
	欧州	1		1			1	0
	計	18	11	18	14	10	9	18

Advanced Institute of Science and Technologyから、それぞれ2件と1件の、計13件である。いずれも、先端材料を用いてMOSFETやメモリーの試作を行っている。本Conferenceでは、日本の大学からの発表は、これまででも少なかったが、本年は2件であった。

まとめ

本Conferenceは、プロセス・デバイス技術の学会であるが、微細化と集積化に特徴を持つ。そのため、日本の大学からの投稿は行い難い面がある。一方、今回増加したアジアの大学からの発表は、新材料とその集積化に関する研究であり、企業での研究に近い内容であった。企業や国のサポートの結果であったと考えられる。同様な取り組みが日本で必要かどうかは、今後議論が必要と考えられるが、日本企業のアクティビティ減少を補うためにも、大学での研究活動の更なる活性化に期待したい。

(吉丸正樹)

STARCシンポジウム2005 「大学と産業界の相互交流と今後の展開」

開催日：2005年9月8日(木)～9日(金)

会場：天満研修センター（大阪市北区錦町2-21 TEL：06-6354-1927）

プログラム

9月8日(木) 13:00～19:30

基調講演「先端技術開発の事業展開とそこでの産学官の役割」

畚野 信義 氏（株式会社 国際電気通信基礎技術研究所）

招待講演（ ）「Cell プロセッサ」

増淵 美生 氏（株式会社東芝）

ポスターセッション（STARCと大学との共同研究テーマのポスター討論）

2004年終了の11テーマ、2005年継続中の30テーマ、計41テーマのポスター討論

レセプション

9月9日(金) 9:00～17:10

招待講演（ ）「国際半導体技術ロードマップの概要と将来の研究開発課題」

石内 秀美 氏（JEITA 半導体技術ロードマップ専門委員会、株式会社東芝）

STARC活動紹介

下東 勝博（STARC）

産学交流セッション 「研究開発の方向と産学連携への期待」

<デバイス・プロセス>

西村 正 氏（株式会社ルネサステクノロジ）

高須 秀視 氏（ローム株式会社）

小池 淳一 氏（東北大学）

<回路・システム>

福間 雅夫 氏（NECエレクトロニクス株式会社）

上田 勝彦 氏（松下電器産業株式会社）

山内 英樹 氏（三洋電機株式会社）

谷口 研二 氏（大阪大学）

招待講演（ ）「組込みスキル標準からみた産学連携による人材育成」

大原 茂之 氏（東海大学）

招待講演（ ）「産学連携の新展開 - 東京大学の新しい試み - 」

石川 正俊 氏（東京大学）

お申し込み先：<http://www.starc.jp>

お問合わせ先：STARCシンポジウム事務局 E-mail：sympo@starc.or.jp

主催：(株)半導体理工学研究センター

後援（予定）：経済産業省、文部科学省

協賛：半導体産業研究所、(株)半導体先端テクノロジーズ、
(社)電子情報技術産業協会、技術研究組合超先端電子技術開発機構、
(社)応用物理学会、(社)電子情報通信学会、(社)情報処理学会、
IEEE SSCS Kansai Chapter

STARCニュース No.25

株式会社 半導体理工学研究センター

発行：下東 勝博

編集：札抜 宣夫

Semiconductor Technology Academic Research Center (STARC)

〒222-0033 神奈川県横浜市港北区新横浜3丁目17番地2 友泉新横浜ビル6階

TEL：045-478-3300 FAX：045-478-3310

URL：<http://www.starc.or.jp>