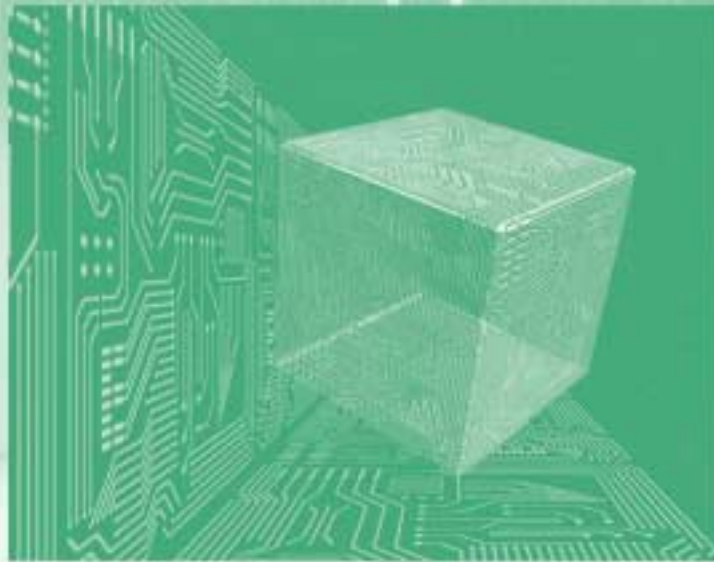


# STARCニュース



No. **24**

2005年4月25日発行  
株式会社 半導体理工学研究センター  
Semiconductor Technology Academic Research Center (STARC)



- 2 『創立10周年、節目の2005年度を、人心も新たに』
- 4 共同研究グループ便り / 奥山研究グループ
- 6 共同研究グループ便り / 前島研究グループ
- 8 共同研究グループ便り / 谷口研究グループ
- 10 国際学会参加報告 / ISSCC 2005
- 12 / ASP-DAC 2005
- 14 / DATE
- 17 EDS Fair 2005報告
- 18 2005年度共同研究実施テーマ
- 20 SoC設計技術フォーラム2005案内



# 創立10周年、節目の2005年度を、 人心も新たに

代表取締役社長兼CEO

**下東 勝博** (しもひがし かつひろ)

皆様方におかれましては、ますますご健勝のことと、お慶び申し上げます。また、STARCの活動にご理解とご協力をいただき、厚く御礼申し上げます。

## はじめに

STARCは1995年12月に設立され、今年は創立10周年を迎えます。日本の半導体産業の発展のため、大学における産学共同研究の推進と、半導体設計教育の充実が設立の主旨でした。産学共同研究では今年より、産業界の課題をもとにしたテーマをSTARCから提示し、大学の先生方に応募いただく「課題提示型」の研究を新たに始めます。また2001年度からは、SoC設計技術の共同開発を目的にあすか計画が始まりました。今年がその5年計画の最終年度になります。2003年度より本格化したASPLAプロジェクトでは、90nmの標準設計環境を業界に提供するという新たな試みに挑戦し、その活用先を拡げつつあります。一方、昨年は第二次SNCC（半導体新世紀委員会）より、2006年度以降のコンソーシア活動に対する提言が出されました。あすか計画の成果を土台に、新たな協業による日本の半導体業界の飛躍を目指すことが謳われています。このように、2005年度は大きな節目の年になります。2006年以降の新しいプログラムへの取り組みも含め、クライアントの皆様と一緒に知恵を絞って考えて参りますので、引き続きご支援をよろしく願いいたします。

## 活動ハイライト

2004年度の活動のハイライトを四つ挙げます。一つ目は、国立大学の独立法人化を契機に、これからの大学と産業界の新たな関係構築を目指した取り組みを始めたこと。二つ目は、あすか計画の中で90nm

リファレンスフローSTARCAD-21をリリースしたこと。また三つ目は、ASPLA社と共同のASPLAプロジェクトにおいて90nmプラットフォームを立ち上げたことです。そして四つ目は、2006年度以降のコンソーシア活動についての計画議論です。

## 大学と産業界のよりよい関係構築

これからの大学と産業界との新たな接点を求めた関係構築につきましては、大学からもいろいろとご提案をいただきました。強く印象に残っているのは、シリコンバレーを先導するスタンフォード大学のダッシャー先生が昨年のSTARCシンポジウムの中で流暢な日本語でお話された、アメリカから見た今の日本の半導体業界と大学の関係についてという講演でした。アメリカの産業界は1980年代に大学との連携を深めたのですが、日本の産学連携はアメリカのその頃に似ているということです。日本の半導体業界はまだまだ大学の知恵を使っていない、大学の知恵をもっと有効に活用できれば我々はもっと強くなれるだろう、と勇気づけられました。またシンポジウムでは、ポスターセッションで若い人達とも話しました。彼らは意気に燃えています。産業界との交流を深める機会を増やしていきたいとも思いました。一方で、大学が法人化して産業界に近づいて来ると、知財権の扱いなどの問題も生まれます。産業界はこれを真正面から受けとめ、大学の変化に正しく対応しなければ、いつまでも日本とアメリカの差は縮まらないと考えています。産業界と大学が協力して、よりよい関係を作っていきたいと思っています。

## 90nmリファレンスフローと技術移転

90nmリファレンスフローのSTARCAD-21については、Ver.1.0を2004年3月末にクライアントにリ

リリースしました。そしてこの1年間の内にVer.1.5から2.0までをリリースしました。今年は、Ver.2.5、3.0と、90nmの最後の仕上げを行います。昨年の6月には技術移転を目的に、Technology Transfer Roomを開設いたしました。非常に好評であり、順調に技術移転が進んでいます。このプログラムは、スタートから出口までをしっかりと考えてきた訳ですが、さらに一歩踏み込んでメンテナンス、サポートまでをやる必要があると考えています。それくらいやらないと本当の成果活用はできないと固く信じています。

### 90nmテクノロジープラットフォームの活用

昨年7月のSTARC/ASPLA共同フォーラムで発表いたしましたように、90nmテクノロジープラットフォームのベースはでき上がりました。今は、それを有効に活用いただく仕組みづくりを進めているところです。とくにVDECなどの大学機関には、研究や教育に活用いただきたいと思っています。90nmを境界としてLSIの設計スタイルが大きく変わります。設計の困難度が高まり、STARCAD-21のような新しい設計フローが必要とされるわけです。90nmではより多くのハードウェアが集積できる利点を活かして、新たなシステムアーキテクチャの出現が期待されています。また、90nmはアナログ回路にも大いに使い道があると思っています。90nmアナログIPをうまくライブラリ化し、最新のEDA技術と連動すれば、アナログの上位設計も可能になると考えています。大学の学生諸君や若い研究者たちには、これから主流になる新しいLSIの設計スタイルに早く馴れていただきたい。そして、先端のIPを設計し、ASPLAでの試作と共同の評価を通して、大学の知恵が短期間で実用化できるような活動が進展することを望んでいます。

### 新たな共同活動（DFM）

2006年度以降のコンソーシア活動として、設計技術に関してSTARCが行う新プログラムの提言をいただきました。その中心課題として、製造性を考慮した最適設計技術、DFM(Design for Manufacturing)開発に取り組みます。90nmからは、設計できても製造できないという状況が生まれます。プロセス、

設計、ライブラリ、製造、全員が製造性考慮設計、DFMで協力しないと製品ができないのです。これは垂直統合でその全部を持っているIDMにとって有利だと考えます。プロセスが物理限界に近づいて難しくなり、技術も奥が深くなります。開発には大学、EDAベンダー、装置メーカーの方々との協力も不可欠です。密接なネットワークを組んで、力を合わせて大きな問題を解くことが重要です。水平分業のファウンドリーとファブレスとEDAは別々ですが、水面下では協力しています。DFMは、例えていえば北国の雪下ろしのようなものです。雪がなくて当たり前、雪を下ろすことに付加価値を求めることはできません。でも手を抜くと家がつぶれる。しかも一人ではたいへんです。DFMでは一致協力してやるべきことが多いと私は思っており、このプログラムを強化したいと考えております。

### 2005年度の新しい体制

最後にもう一つ、例え話でいいますと、2005年度にSTARCは3組の飛行隊を飛ばします。まず一つ目はあすか号、7機編隊です。その一つ大きな飛行機は大学との共同研究・教育。この飛行機の管制官は、今度新しく富士通から来られた今村部長に担当していただきます。あとは上位設計、物理設計、低電力、IP技術、メソドロジとテスト、以上6機の飛行機が飛んでいます。間部長と新たに豊田部長の二人に見ていただきます。この新しい体制で、あすか号を着陸させるのが一つ目の仕事です。二つ目は、大空に向かって高く飛ばすASPLA号です。これは90nmテクノロジープラットフォームを使って、広く半導体のアイデアを募り、活性化させることで、引き続き伊藤部長に頑張ってもらいます。三つ目は新たに離陸させる飛行機でSNCC2号といいますが、2006年以降2010年までの仕事を規定して離陸させないといけません。この管制官は新しい札抜企画部長に担当していただきます。

人心も新たに2005年度がスタートいたしました。大学関係ならびにクライアント各社の皆様と一緒に頑張りたいと思います。より一層のご協力とご鞭撻を賜りたく、よろしくごお願い申し上げます。

## 共同研究 グループ 便り

### 奥山研究グループ

テーマ名 不揮発性メモリ用強誘電体薄膜の低温製膜プロセス技術の開発  
 研究代表者 大阪大学大学院 基礎工学研究科 システム創成専攻電子光科学領域 教授  
**奥山 雅則** (おくやま まさのり)

#### 研究代表者抱負

今日の情報化社会を支えるコンピュータ、携帯機器などで使われる半導体メモリの中で、不揮発性メモリは最も重要な素子の一つである。その代表的なフラッシュメモリは消費電力や高速性等の点で問題があり、これを解決できる強誘電体メモリは1960年代の原理提案、1970年代後半の強誘電体ゲートFETの提案、1980年代後半からの1T1C型デバイスの開発により発展してきた。最近、MRAM、RRAM、OUなどの新しい提案がなされているが、FeRAMは一日の長があると考えられ、より高集積化に向けての発展が期待されている。その重要な問題の一つは強誘電体薄膜の作製時500 - 600 以上となり熱的損傷を生じることで、その回避のためフロントプロセスに持つてこざるを得なかった。研究代表者等はこの問題点を克服するため300 - 400 以下の強誘電体薄膜作製法として水熱処理による低温プロセスの共同研究



後列左から 金島助手、山下助手、崎岡(M2)、直山(M1)、原田(B4)  
 前列左から 吉丸上級研究員(STARC)、野田先生(阪大)、奥山先生(阪大)、  
 中村客員研究員主査(ローム)、石原客員研究員(シャープ)、小岩客員研究員(沖)

を行っている。これが実用化されれば、従来プロセスによる集積回路の上にエンドプロセスで強誘電体薄膜が形成でき、より安価に高集積化FeRAMの製造が可能となり、その発展に大きく貢献できるものと期待を込めて研究開発に勤しんでいる。

#### 研究室現況紹介

研究室においては、誘電体・強誘電体膜関係の研究を行っている。誘電体薄膜では、High-k Hf酸化物薄膜の作製と光電子分光、ESRや電気的特性評価に加え、フォトレフレクタンス分光による応力、固定電荷などの比接触評価、さらに、第1原理解析を進めてい

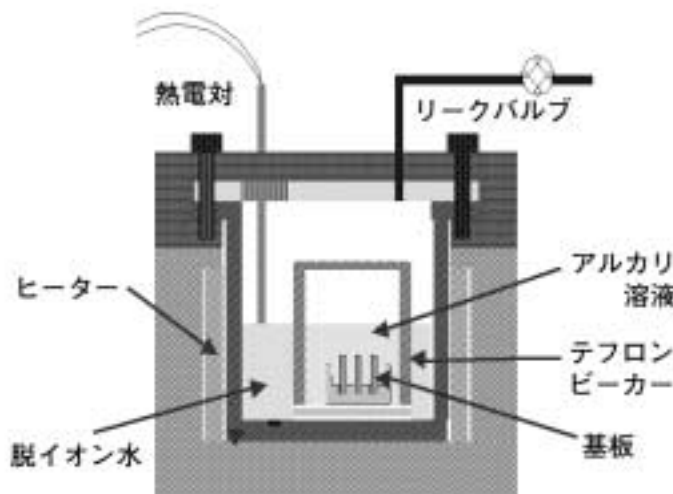


図1. 水熱処理容器の構造

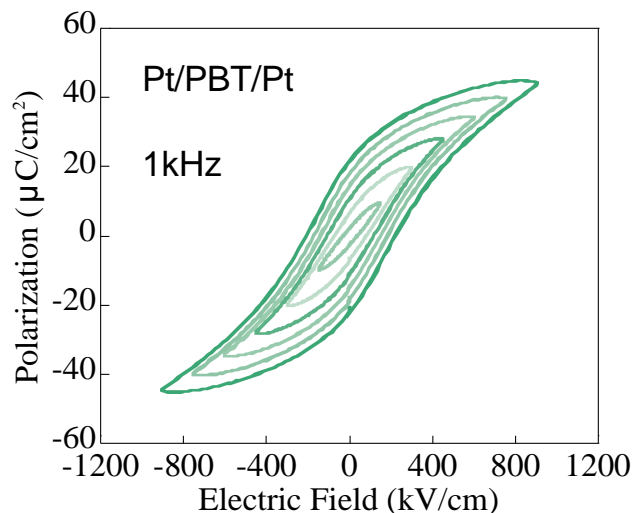


図2. PBT ヒステリシス

る。強誘電体膜関係は作製からデバイス応用まで多面的に取り組んでいる。強誘電体膜材料は、PZT、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$  (SBT)、 $\text{BaTiO}_3$ 、 $\text{Ba}_{1-x}\text{Pb}_x\text{TiO}_3$  (PBT)、 $\text{Ba}_{1-x}\text{Pb}_x\text{Zr}_{1-x}\text{Sr}_x\text{TiO}_3$  (PBZT)、 $\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$  (BST)、 $\text{BaTi}_{1-x}\text{Sn}_x\text{O}_3$  (BTS)、 $\text{BiFeO}_3$ 、Bi層状超格子薄膜等で、レーザープレーション(PLD)、ゾル-ゲル法、水熱処理など種々の方法で、Siデバイス応用を念頭に低温成長し、評価している。最近、 $\text{BiFeO}_3$ 薄膜において残留分極が90Kにおいて $146 \mu\text{C}/\text{cm}^2$ という、PZTや $\text{PbTiO}_3$ 膜のこれまでの最大値の1.5倍にもなる巨大分極を発見した。この薄膜は弱い強磁性も示し、マルチフェロイック新機能素子への応用が期待される。さらに、ランダウ理論や第1原理による分極の解析を行っている。電子デバイス応用としては、まず強誘電体メモリがあり、主な構造として再書き込み不要なMFIS FETであるが、最近半導体を用いずに強誘電体と誘電体接合の界面伝導を利用した新構造メモリFETも提案している。また、赤外線イメージセンサ、Si上圧電性PZT膜のアレイによる超音波イメージセンシングも行っている。

### STARCテーマ内容および 共同研究状況および 成果紹介

ここでは非結晶薄膜を水熱処理することにより240℃以下で結晶化させ強誘電体膜を得る試みを行っている。まず、ゾル-ゲル溶液をコートしてイオンでの乾燥・低温焼成したPZT、 $\text{BaTiO}_3$ や $\text{TiO}_2$ 非晶質膜を $\text{Ba}(\text{OH})_2$ または $\text{Ba}(\text{OH})_2$ と $\text{Pb}(\text{OH})_2$ の混合液中に浸漬し、密閉容器中で高压で加熱す

ることにより低温結晶化が可能となる(図1参照)。この方法により $\text{BaTiO}_3$ 、BST、PBT、PBZTなどの薄膜が140-240℃の低温で結晶化し、強誘電性も得られている。200℃での水熱処理されたPBT膜において残留分極が $22 \mu\text{C}/\text{cm}^2$ の強誘電性が得られ、実用化の目処をつけることができた(図2参照)。このような低温での処理がプロセスに応用されれば、強誘電体膜作製前でもAl配線やlow-k膜形成が可能となり、現状のプロセス変更を少なくFeRAMが製造できる。このように、強誘電体薄膜作製プロセスの低温化は共同研究により着実に成果をあげてきている。

### 大学側から見て、 産学協同に関して 日頃感じていること・提言

大学は独立行政法人化されその独自性や自立化がもてられる一方、産業側では基礎的な研究よりは実用に近い開発に集中するといった傾向から、両者の協力が切望される中でSTARCとの共同研究は連携を深くするのに非常に重要なものである。強誘電体不揮発性メモリ開発の火付け役となったのは米国での80年代後半の開発研究で、大学との共同研究がずいぶん役立った。このような新規デバイスの開発は、産業界のニーズと大学からの自由な発想を織り交ぜることにより、日本発の新デバイスの出現と実用化ももっと多くなるのではないかと考えられる。プロジェクト、プログラムを進めていく中で、比較的自由的な環境での研究と研究報告会の中での密接な討論は思った以上の成果をあげられているのではないかと自負している。

## 客員研究員主査からのコメント

ローム株式会社  
半導体デバイス研究開発部

### 中村 孝

奥山研究グループは、プロジェクトを含め5年目となりました。一貫して強誘電体薄膜低温成長を目指してきて、プログラムに入ってから大きな可能性を秘めた成膜法である水熱合成法に絞って研究を続けてきました。結果、PZT系の膜を200℃前後で結晶化し、電気特性が確認できるところに至りました。

通常の成膜法では600~700℃の温度が必要であるため、LSIとの整合性確保が難しく、配線下にキャパシタを形成せざるを得ない状況です。200℃という形成温度は非常にインパクトが大きく、実現するとLow-k/Cuなど耐熱性が低い将来多層配線上に形成できるようになります。色々な機関で低温化の研究が進められてきましたが、これまで実現しなかった技術です。

水熱合成法としてはプロジェクト開始以前に奥山先生によりKOHを用いて特性のよいPZTを成膜してありましたが、このテーマはLSIの整合性を考えてアルカリ金属フリーの成膜を目指してきました。この技術が実用化すると、LSIにおける強誘電体応用が広がるばかりではなく、プラスチックなど耐熱性の低い基板にも強誘電体薄膜が形成可能となり、応用分野はさらに拡大すると期待しております。

## 共同研究 グループ 便り

### 前島研究グループ

テーマ名 RISC + マルチVLIWアーキテクチャ融合マイクロプロセッサの研究

研究代表者 東京工業大学大学院 総合理工学研究科 物理情報システム専攻 教授

前島 英雄(まえじま ひでお)

#### 研究代表者抱負

我が国の半導体産業はかつて経験したことのない厳しい苦境に直面してきました。これを克服していくのはハードウェア、ソフトウェア、アプリケーションのすべての切り口から総合的に取り組まなければならない知識集約型の半導体製品、すなわち、SoCやそのコアとなるマイクロプロセッサ、各種IPなどにあると考えています。とくに、携帯電話、携帯情報機器、家電品など、組み込み用途でのマイクロプロセッサが鍵となるものと考え、5年前より、この分野において要求されている、高性能かつ低消費電力なマイクロプロセッサのアーキテクチャとして、一つのチップ上に複数のマイクロプロセッサを集積するオンチップ・マルチプロセッサの研究を行ってきました。マルチプロセッサ技術はコンピュータ分野では古くから使われていますが、ハードウェア、ソフトウェア共に大変複雑な構成となるために組み込み用途では使われていないのが現状です。ところが、半導体の微細化も90nmの時代へと進み、1チップ上に多くのマイクロプロセッサが集積できるようになった昨今では将来も見据えた上で、このオンチップ・マルチプロセッサが幅広く登場してくることが予想されています。これまでのような、「難しく複雑な」マルチプロセッサから、「手軽で簡素な」マルチプロセッサへ脱皮できる高度な技術を開発し、社会貢献をしたいと考えています。

#### 研究室現況紹介

研究室は、東京工業大学大学院総合理工学研究科 / 物理情報システム専攻 (平成16年度までは電子機能システム



後列左から 那須(M2)、石野(M2)、荒堀(B4)、城(M1)、山本助手、鹿又(M1)  
前列左から 水野客員研究員(ローム)、山田客員研究員(ルネサステクノロジ)、前島先生、  
内山客員研究員主査、宮本上級研究員(STARC)

専攻)に属しており、主な研究テーマとして、組み込み応用を意図したマイクロプロセッサのアーキテクチャ研究に取り組んでいます。アーキテクチャ研究は、オペレーティング・システム、コンパイラ、アプリケーションなどのソフトウェアから、プロセッサ構成、ロジック、VLSIなどのハードウェアに至る幅広い分野をカバーしなければなりません。

現在、研究室には、山本助手を始め、博士課程1名、修士課程8名、学部1名の学生が在籍しており、皆一丸となって研究を推進しています。学生諸君のSTARC共同研究活動に対する感心は非常に高く、多くの学生がSTARCのクライアント会社へ就職しています。さらに、専攻の他の研究室とも連携を深め、並列化コンパイラなどの研究開発も同時進行することで研究の実用性を高めています。

#### 共同研究概要と成果

STARCとの共同研究テーマは「RISC+マルチVLIWアーキテクチャ融合マイクロプロセッサの研究」で、RISC型プロセッサをマスタ、複数の

VLIW型プロセッサをスレーブとするマスタ・スレーブ型のオンチップ・マルチプロセッサに関する研究です。

図1は本アーキテクチャの概念を示したもので、ITRONなどの業界標準オペレーティング・システムで動作するRISC型プロセッサを主エンジン(MP:マスタ)として、この管理下で複数のVLIW型プロセッサをマルチメディアデータ処理エンジン(SP:スレーブ)として1チップ化するアーキテクチャです。マスタプロセッサは、標準オペレーティング・システム下で、この機能を活用しながら動作する管理ソフトウェアの制御によってスケジューリングを行い、複数のプログラムまたはスレッドをスレーブプロセッサに分配し、実行させることで、高速かつ低消費電力で実行するマイクロプロセッサ・チップが可能となります。

高性能化については、応用システムで要求される性能に応じて、処理に必要な数のスレーブプロセッサを割り当て、並列処理させることで実現します。

また、低消費電力化については、各スレーブプロセッサが独立に動作するため、マスタプロセッサのソフトウェ

ア制御によって、それぞれの動作電源電圧、動作周波数を最適に設定することで必要最低限の消費電力を実現します。

さらに、マスタにRISC型、スレーブにVLIW型ということはアーキテクチャ上では本質ではなく、多様な組合せが考えられます。

この共同研究は、平成12~14年度に実施したプロジェクト研究に引き続き行われており、平成15年4月より開始した、チップ開発を含むプログラム研究も最終年を迎え、研究完成に向けて鋭意奮闘中です。これまでに、パソコンを用いたソフトウェア・シミュレーション、複数台のマイコンボードを用いて応用ソフトウェアを実行させたハードウェア・シミュレーションを含む動作確認を終え、現在はFPGAベースのハードウェア・エミュレータ（ルネサステクノロジ社製LogicBench）による論理シミュレーションおよびVDECツールを活用したLSI設計に入っています。

## 産学共同に関すること

日本の企業は、これまで大学の連携および活用が少なかったように思います。この点、STARCは産学共同の戦略を積極的に押し進め、日本の半導体関連技術を根本的に高める牽引力として大変意義深い存在だと思います。

この共同研究は、STARCの宮本俊介上級研究員をはじめ、日立製作所の内山邦男客員研究員主査、ルネサステクノロジの山田朗客員研究員、ロームの水野秀導客員研究員にご指導いただいております。2ヶ月ごとの打合せでは、業界先端を走る企業としてのニーズ、それぞれのお立場での貴重な経験を含めて、技術内容、研究推進に関して有益かつ具体的なお意見をいただき、心より感謝しております。法人化となってより産業界との連携を深める大学側の一研究者として、これに応えるべく、奮闘努力していく所存ですので、ますますのご支援並びにご鞭撻をお願いする次第です。

## 客員研究員主査からのコメント

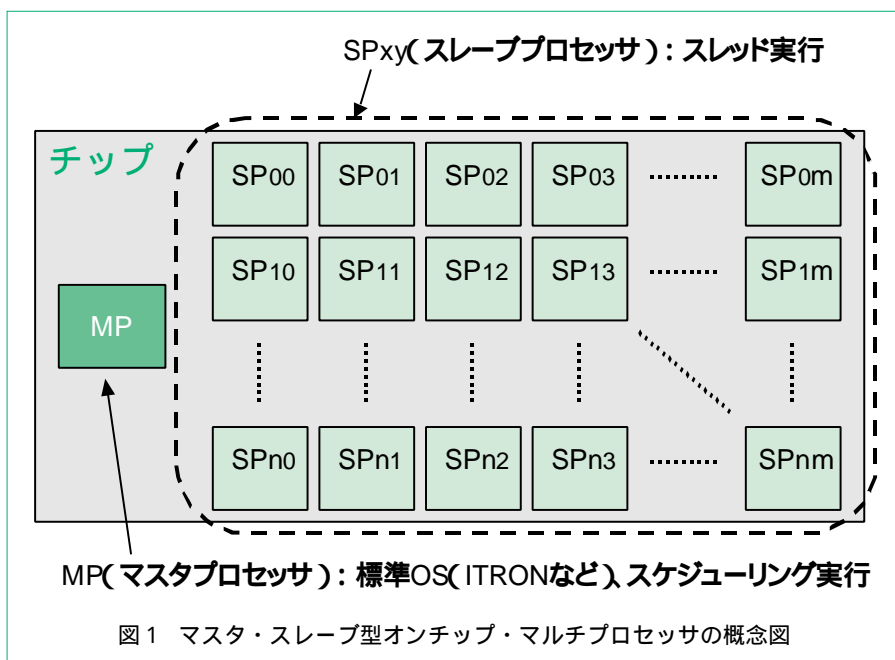
(株)日立製作所  
中央研究所

内山 邦男

LSIの微細化が進むにつれて、プロセッサアーキテクチャが大きな変化を迎えつつある。今年のISSCCで発表されたプロセッサは、サーバ系から組み込み系まですべてマルチコアに変わっていた。従来の単一プロセッサを中心としたアーキテクチャでは、消費電力や配線遅延がネックとなり、性能向上や電力性能比の改善が困難になっている。微細化に伴うサブスレッショルドリーク電流やゲートリーク電流の増大も問題である。とくに日本企業が得意とすべきデジタル民生分野のSoCでは、これらの問題を解決する新しいアーキテクチャの構築が必要となっている。

前島研究グループでは、ナノメタ時代の半導体技術の諸問題に対処すべく、新しいアーキテクチャの研究を進めている。とくに21世紀のデジタル民生応用をターゲットに、RISCとVLIWを融合したマルチコアアーキテクチャを6年前から提唱している。従来の科学技術計算を中心としたマルチプロセッサとは異なり、グラフィクス、画像、認識などのマルチメディア処理を中心にアーキテクチャの最適化や評価がなされてきた。単なる性能追求だけではなく、マルチコアによる消費電力の低減という新しい観点からも研究が進められてきた。

本共同研究はプロジェクト研究を終え、3年間のプログラム研究の最終年を迎えている。この研究をとおして、数々のマルチコア基本技術が生まれ、また人材も育ってきた。チップ開発に向けてマルチコアのアーキテクチャ、方式、設計は仕上げの段階に来ている。新時代を築くこのアーキテクチャは企業における今後のSoC開発の母体になると考えている。



## 共同研究 グループ 便り

### 谷口研究グループ

テーマ名 FD-SOI MOSFETを用いた高周波回路の設計技術の開発

研究代表者 大阪大学大学院 工学研究科 教授

谷口 研二 (たにくち けんじ)

#### 共同研究テーマに関して

本研究室では半導体理工学研究センターとの共同研究が1996年以降ずっと続いています。

最初は「酸化・拡散プロセス技術に関する研究」、続いて「酸化膜の薄膜限界」のテーマで極薄ゲート酸化膜の破壊メカニズムの解明に携わってきました。しかし、その後の卒業学生の職種調査では、プロセス技術者として勤務している者はただ一人、その他はすべて集積回路の設計者になっていました。その流れを反映するかのように電気系の専攻では集積回路の設計を希望する学生が増えています。今回はこのようなことを考慮して、共同研究のテーマを高周波LNA回路技術に設定しました。このテーマにすることで、それまでに研究室で蓄積してきた半導体デバイスの知識が生かせるだけでなく、学生たちの希望にも合わせることができると思ったからです。



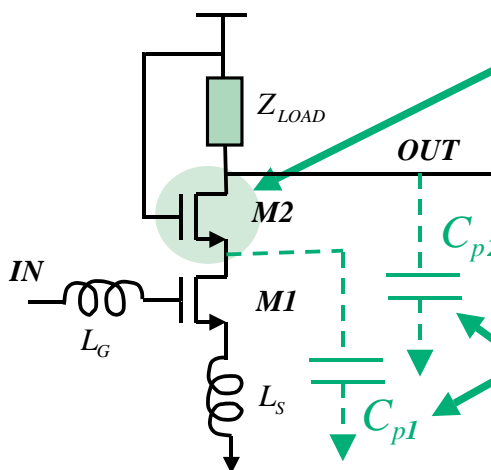
前列左より 上田(M1)、村上(M1)、松岡助教授、谷口教授、金(D2)、木原(B4)  
後列左より 後藤(B4)、米田客員研究員(三洋)、田辺客員研究員(NEC)、  
池田客員研究員(ルネサス)、馬場客員研究員(沖電気)、  
益子上級研究員(STARC)、清水(D3)

#### プロセスから回路設計へ

研究テーマをプロセスから回路設計に変更した裏には、40年ほど前に抱いていた電子回路への思いがあります。電子回路設計を楽しみにして入学した大学にはアナログ回路の研究室はなく、その8年後に(株)東京芝浦電気に入社しても希望とは裏腹に集積回路の製

造技術開発部門に配属されました。配属の日、所長は「頭のよい奴は回路設計に回した...」といわれました。きっと私の顔は頭が悪く見える顔立ちだったのでしょう。その後、大学に戻ってから電子回路設計の研究室の立ち上げようとしたが、設計CADが高価過ぎて手控えざるを得ませんでした。本格的に回路設計に乗り出す機会が回

#### FD-SOIによるLNA実現のメリット



ボディ・バイアス効果によるしきい値電圧変動が小さい

低電圧動作

FD-SOIの採用による寄生容量の低減

高周波動作

ってきたのは1998年でした。鳳先生と浅田先生のご尽力でVDECに参加する機会が巡ってきたのです。当時を振り返ると、VDECの若手主力メンバーの越智先生、小林先生、池田先生、小谷先生の連日深夜に及ぶ指導のお陰で、研究室の学生が立ち上がり、集積回路の設計にも参加できる環境ができました。この紙面をお借りして、拠点校の立ち上げにご尽力いただきました鳳先生のご冥福をお祈りするとともに、VDEC若手メンバーの先生方のご努力に心から感謝します。

## SOIの特徴を生かしたRF回路設計

今回の共同研究テーマ「FD-SOI MOSFETを用いたLNAの設計」にはデバイス屋としての知識と回路設計のセンスが要求されます。その意味ではSOI (Silicon on insulator) の特徴と微細MOSFETの動作を熟知した研究室のメンバーがSTARCのお役に立てると考えています。研究室ではFD-

SOIデバイスを共同研究開始前から手がけており、その経験からFD-SOI MOSFETの特徴を生かした新回路の提案を共同研究の中で行いたいと考えています。まず得意なデバイスのモデリングからLNAを手がけて、LNA回路の設計を積み重ねながらFD-SOI MOSFETの特徴を生かした回路設計の方法に研究の内容を変更してきました。こうした研究方針の下、高周波回路の知識と設計のノウハウを蓄積してきた松岡助教授が、今ではSTARCとの共同研究を主導しています。さらに、RF回路設計教育の必要性を痛感した松岡助教授はVDEC主催の若手夏の学校でもセミナー講師を務め、学外の後進の指導にもあたっています。これからは客員研究員の的確な意見・指導をいただきながら共同研究を進め、そこで得られたRF回路の経験と勘を教育に生かしていきたいと思えます。そして研究室を卒業した大学院生が将来、エレクトロニクス産業界で活躍する日がくることを楽しみにしています。

## 客員研究員主査からのコメント

沖電気工業㈱  
SiSC研究本部 SOI商品開発部

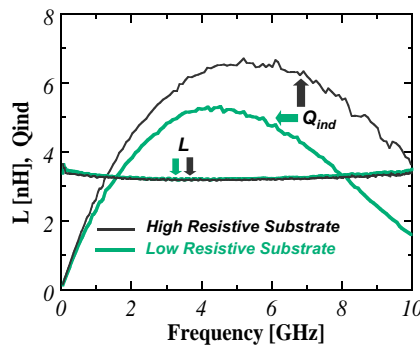
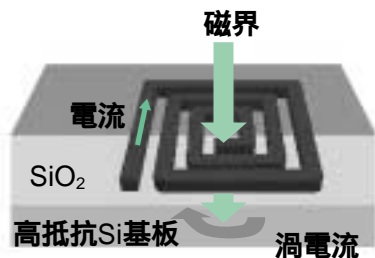
### 馬場 俊祐

SOI (Silicon On Insulator) 構造のデバイスは、個々の素子が埋め込み酸化膜によって分離されていることで、素子間の雑音の伝播が低く抑えられていて、なおかつラッチアップフリーであること、さらにFD (Fully-Depleted) 型デバイスでは、PD (Partially-Depleted) 型デバイスと比較して良好なサブスレショルド特性を持ち、キंक効果の影響が少なく、ヒステリシスがない、また、バルク構造のデバイスと比較して非常に小さな接合容量を持つなどの特徴もっています。このため、FD-SOIデバイスは高周波アナログ回路など、低電圧で高速動作が必要とされる回路への適用が期待されています。

現在、谷口研究グループでは、谷口先生、松岡先生を中心に、FDSOI MOSFETを用いた高周波回路の設計技術を開発しています。本研究では、科学的裏づけに基づいたSOI-CMOS高周波回路の設計技術を開発するという観点から、高精度な素子特性評価を基礎とした物理的な素子モデルの構築、およびそのモデルを回路シミュレーションに持ち込むための手法の開発、さらに開発したモデルを用いた高周波回路の設計概念の構築を目指しております。研究では、すでに、従来のバルクMOSの評価では寄生効果に隠れて見えなかった特性を確認し、高精度にモデル化することに成功しています。本研究成果を用いることで、素子の特性を生かした高周波回路設計を行うことが可能となります。

本研究テーマで開発された回路モデル、設計手法が今後の微細SOIデバイスの開発の基礎となり、さらにはSTARC参加企業をはじめとする産業界の協力の下で、デファクトスタンダードに育っていくことを期待しています。

### SOI基板でのインダクタ特性



### 高抵抗SOI基板

Q値の良いオンチップ・インダクタの利用

高周波になる程、重要

## 国際学会参加報告

### ISSCC2005

#### (International Solid-State Circuits Conference)

#### 1. はじめに

ISSCC2005は2月6日から2月10日まで前後のチュートリアルやショートコースの日程まで入れると5日間にわたって例年通りサンフランシスコのマリオットホテルにて開催された。今年のテーマは「Entering the Nanoelectronic Integrated-Circuits Era」。2004年は投稿論文数461件に対し採択論文数204件と採択率44%であったが、2005年は579件の投稿論文数に対し採択論文数233件、採択率が40%とより厳しい門となった。

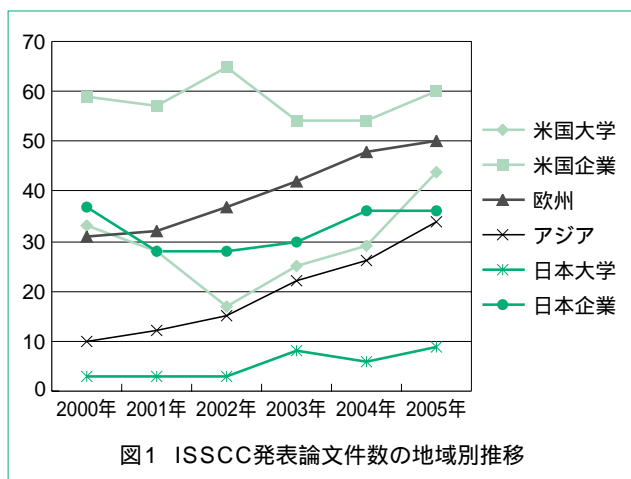


図1 ISSCC発表論文件数の地域別推移

このグラフより、過去3年間の顕著な動きとして、以下が挙げられる：

1. アジアと米国大学の急拡大
2. 欧州の堅調な増加
3. 日米企業と日本大学の微増

以下、今年のISSCCで印象に残ったことおよび所感を記す。

#### 2. アジア勢の躍進

台湾を始めとするアジア地域からの発表件数が18%増加し、とくに国立台湾大学(National Taiwan Univ.)の8件が目玉を引く。2、3年前に「(TSMCなど)LSI製造技術では完全にキャッチアップした。次は回路設計技術だ」と台湾の半導体関係者が息巻いていたことが現実化している。国家政策で世界中から台湾系の研究者を台湾の大学に呼び寄せ、教育・研究に注力したこと、TSMCの最先端技術による試作も台湾の大学であれば無料(TSMC50%、国が50%の補助)という行政・民間双

方からのサポートが短期間での実績に結実したのであろう。因みにISSCC2005の論文中で、筆頭発表者の名前が中国系と思われる件数が約45件、全体の20%を占める。単なる国別や組織別の分析で、見えてこない隠れた国力(人的資源)の分析および対策が必要と思われる。

また、このアジア勢の台頭がアジア版ISSCCであるA-SSCC(Asian Solid-State Circuit Conference: <http://a-sscc.org/>)の誕生につながったといえる。A-SSCCは台湾・新竹市で11月1

～3日に開催される。今年は、これ以外にも同じ新竹市で、VLSI-TSA International Symposium on VLSI Technology (<http://vlsitsa.itri.org.tw/default.asp>)が4月25～29日に開催された。台湾を始めとする東アジアの動向を把握する上で注目されたい。A-SSCCの誕生は今後、

LSI市場や技術開発がアジア・米国・欧州の世界三極化に向かっていくことを予感させる。EDA分野では、米のDAC、欧州のDATE、アジアのASP-DAC、回路分野では、米のISSCC、欧州のESSCIRC、アジアのA-SSCCをベースとして合従連衡が進むと思われる。

#### 3. アナログ/RF関連発表の着実な増加

アナログ/RF関連のセッション数は、2003年45%、2004年46%、2005年は過半数に達し52%と着実に増加してきた。因みに1995年のISSCCでは8/19=42%がアナログ/RFの関連セッションであった。WLANや携帯電話などアプリで括ったセッションと、

やPLL/VCOなど回路技術で括ったセッションの双方とも聴衆を集めていた。アプリ・市場の拡大と、CMOS性能向上による従来のバイポーラ・化合物半導体との棲み分け破壊とが相俟って当分この分野の活況は続くものと

思われる。

内容を見ると相変わらず欧米、とくに米企業の発表が多い。とくに以下のセッションでは、日本人からの発表がほとんどないことが懸念される。

- ・セッション6: DAC
- ・セッション9: モジュレータ
- ・セッション22: PLL, DLL, VCO
- ・セッション24: ベースバンド処理
- ・セッション27: 連続時間 コンバータ

#### 4. 日本の大学の存在感が増大

初日のオープニング・セレモニーにて、以下の三先生が表彰を受けるなど、日本の大学からの発表がISSCCで高く評価されるようになってきた。日本人として誇らしく思うとともに日本企業にも一層の奮起を望むものである。

2004 Takuo Sugano Award for Outstanding Far-East Paper

東大・桜井先生、川口先生、"Cut-and-Paste Organic FET Customized ICs for Application to Artificial Skin" 2004 Evening-Panel Award

東工大・松澤先生、"Is the Golden Age of Analog Circuit Design Over?" 2005 Beatrice Winner Award to Editorial Excellence

静岡大・川人先生、"A CMOS Rotary Encoder System Based on Magnetic Pattern Analysis with a Resolution of 10b per Rotation"

#### 5. STARC関係者の活躍

STARCと大学の共同研究プロジェクトに過去・現在関係されてきた方々が今年のISSCCでも多数活躍されている。

東大・桜井先生 SE2

"Adaptive techniques for managing power consumption"

広島大・岩田先生 14.4

"A 3D Integration Scheme utilizing Wireless Interconnections for Implementing Hyper Brains"

慶応大学・黒田先生、東京大学・桜井先生 14.5

"A 195Gb/s 1.2W 3D-Stacked Inductive Inter-Chip Wireless Superconnect with Transmit Power Control Scheme"

神戸大学・永田先生、広島大学・岩田先生、東芝・飯田哲也氏(第1次岩

田研究プロジェクト客員研究員) 14.6  
"Substrate Integrity beyond 1 GHz"

富士通・吉岡君(第1次岩田研究プロジェクトOB) 15.4

"A 10b 125MS/s 40mW Pipelined ADC in 0.18 μm CMOS"

静岡大学・川人先生 13.2

"A CMOS Rotary Encoder System Based on Magnetic Pattern Analysis with a Resolution of 10b per Rotation"

静岡大学・川人先生 19.3

"A 19.5b Dynamic Range CMOS Image Sensor with 12b Column-Parallel Cyclic A/D Converters"

東京大学・川口先生・桜井先生 32.3

"A Sheet-Type Scanner Based on a 3D Stacked Organic-Transistor Circuit with Double Word-Line and Double Bit-Line Structure"

STARCプロジェクトに、過去・現在関係された先生の発表は、6件と日本発の大学筆頭者発表トータル9件の2/3を占める。しかし、昨年と同様、発表内容は、STARCプロジェクトと直接関わるものは少ない。STARCプロジェクトのターゲットが高すぎる、あるいは産業界の要望が入りすぎ、学会向けとしては新鮮味や面白みに欠ける、辺りが理由と考えられる。その中で、第1次岩田研究プロジェクトの成果と人材が開花していることは注目に値する。プロジェクトのサブテーマであった基板雑音解析を担当した永田助手(当時)は、その後も研究を継続し、今回は神戸大学の助教授として基板インテグリティの発表を行った。共同研究者には岩田先生の外に、岩田先生が創業されたベンチャー企業や当時客員研究員として活躍された東芝の飯田氏などが加わっており、研究人脈が確実に広がっている。第1次岩田研究プロジェクトのもう一つのサブテーマであるAD変換器を担当した当時大学院生の吉岡君はその後、富士通に就職し、今回パイプラインADCでISSCCデビューした。NECに就職し昨年ISSCCで発表を行った同プロジェクトOBの崎村君に次ぐ快挙である。吉岡君は昨年の公約(STARCニュースNo.20 17ページを参照されたし)を果たしている。今後、STARCプロジェクトに関わった人たちがネットワークを通じさらに広く活躍されることを期待する。

## 6. アナログは広帯域化と低電圧化

アナログ技術の広帯域化と低電圧化は留まるところを知らず、29MHz帯域 DAC、23MHz帯域 複素ADC、+0.6Vオーディオ用 ADC、0.5Vアナログフィルタ、などが登場した。ギガを超える速度では依然、SiGeやGaAsが健闘している。MEMSとの集積化、ウェハ製造工程後に各種素子を形成するAbove IC技術など、異分野との融合が確実に進んでいる。

## 7. 採択論文の傾向

北米よりの発表は各分野をバランスよく網羅している。例えば、発表セッション数は北米 = 2、日本 = 9、アジア = 16、欧州 = 7となる。

一方で、筆頭発表者の所属組織の国籍で、分析することの意義が薄れてきている。

国際企業 IBM、フィリップス、etc)では、自社プロジェクトが複数国にまたがる。

国境・大陸を越えた産学連携も珍しくなくなりつつある。

- ・インド系や中国系など、人脈ベースで進められるプロジェクトの趨勢が、次の技術やビジネスの起爆力になるのではなかろうか?
- ・韓国や台湾の急速な半導体産業の立ち上がり、在外の自国民の人脈で培われた技術力が大きく貢献している。
- ・プロジェクトの胴元とメインプレイヤーの出自がより研究の本質を表すように思われる。

最後になるが、初日に「Nanoelectronics for an Ubiquitous Information Society」のタイトルで基調講演を行った韓国のDaeje Chin氏は、Samsung Electronics社の前CEO、現情報通信大臣であり、大統領に直接意見を述べる立場の人物である。半導体産業が総力戦の様相を呈している現在、国家政策決定プロセスに産業界からもっと働きかける必要性が増大していると考えられる。(益子耕一郎)

表1 ISSCC2005採択論文の傾向

(企: 企業、学: 大学、研究機関、共: 共同研究、共同研究の数は産・学が連名になっている論文数であり内数である)

| 地域   | 日本   |   |   | アジア |    |   | 北米 |    |    | 欧州 |    |    | 合計  |
|--|------|---|---|-----|----|---|----|----|----|----|----|----|-----|
|  | 企    | 学 | 共 | 企   | 学  | 共 | 企  | 学  | 共  | 企  | 学  | 共  |     |
| セッション  | 開発主体 |   |   |     |    |   |    |    |    |    |    |    |     |
| 2 Non-Volatile Memory                                | 2    |   |   | 2   |    |   | 2  |    |    | 1  |    |    | 7   |
| 3 Backplane Transceivers                             | 1    |   |   |     |    |   | 6  |    | 1  |    |    |    | 7   |
| 4 TD: Mixed-Domain Systems                           |      |   |   |     |    |   | 5  |    |    | 2  | 1  |    | 7   |
| 5 WLAN Transceivers                                  | 1    |   |   | 1   | 1  |   | 4  |    | 2  | 1  | 1  |    | 8   |
| 6 High-Speed and Oversampled DACs                    |      |   |   |     |    |   | 4  |    | 1  | 4  |    | 2  | 8   |
| 7 Multimedia Processing                              | 3    |   |   | 1   | 1  |   | 2  |    |    |    | 1  |    | 7   |
| 8 Circuits for High-Speed Links and Clock-Generators | 2    |   |   | 1   | 3  | 3 | 1  |    |    |    |    |    | 7   |
| 9 Switched-Capacitor Modulators                      |      |   |   |     |    |   | 4  | 1  | 2  | 2  |    | 1  | 7   |
| 10 Microprocessors and Signal Processing             | 1    |   |   | 2   |    |   | 4  |    |    |    | 1  | 1  | 8   |
| 11 Ultra Wideband Solutions                          | 1    |   |   | 2   |    |   | 1  | 3  | 3  | 2  |    |    | 9   |
| 12 Optical Communications                            | 2    |   |   | 1   |    |   | 1  | 2  | 2  | 2  |    |    | 8   |
| 13 Sensors   |      | 1 | 1 | 2   |    |   | 1  | 1  | 1  | 1  | 3  | 1  | 8   |
| 14 TD: Low-Power Wireless and Advanced Integration   | 2    | 3 | 1 |     |    |   | 1  | 1  |    |    | 2  | 1  | 9   |
| 15 ADCs, DC References, and Converters               | 1    |   |   | 2   |    |   | 1  | 3  | 2  |    |    |    | 7   |
| 16 Clock Distribution and Power Control              | 1    |   |   |     |    |   | 3  | 2  |    |    | 1  | 1  | 7   |
| 17 RF Cellular ICs                                   | 2    |   |   |     |    |   | 5  |    |    |    | 2  |    | 9   |
| 18 High-Speed Interconnects and Building Blocks      |      |   |   |     |    |   | 1  | 6  | 3  |    | 1  | 1  | 8   |
| 19 Imagers   | 4    | 2 | 2 |     |    |   | 1  | 2  |    |    | 1  |    | 10  |
| 20 Processor Building Blocks                         | 1    |   |   |     |    |   | 3  | 1  | 1  |    | 2  | 2  | 7   |
| 21 TD: RF Trends: Above-IC Intergration and MM-Wave  |      |   |   | 2   | 2  |   | 2  |    |    | 2  | 3  | 1  | 9   |
| 22 PLL, DLL, And VCOs                                |      |   |   | 1   |    |   | 5  |    |    | 1  |    |    | 7   |
| 23 Wireless Receivers for Consumer Electronics       |      |   |   |     |    |   | 1  | 1  | 1  | 4  | 1  | 2  | 7   |
| 24 Baseband Processing                               |      |   |   | 2   |    |   | 2  | 1  | 1  | 2  |    |    | 7   |
| 25 Dynamic Memory                                    | 4    |   |   | 2   | 1  |   |    |    |    |    |    |    | 7   |
| 26 Static Memory                                     | 4    |   |   | 1   |    |   | 2  | 1  | 1  |    |    |    | 8   |
| 27 Filters and Continuous Time Converters            | 1    |   |   |     |    |   | 2  | 3  | 1  | 1  | 1  | 1  | 8   |
| 28 Clocking and I/O                                  |      | 1 |   | 4   | 1  |   | 3  | 1  |    |    |    |    | 9   |
| 29 RF Techniques                                     |      |   |   | 1   |    |   | 1  | 4  | 2  | 1  | 3  | 1  | 10  |
| 30 Displays and Biosensors                           | 2    | 1 |   |     |    |   | 1  | 3  |    |    |    |    | 7   |
| 31 Mass Storage                                      | 1    |   | 1 | 2   |    |   |    |    |    |    |    |    | 3   |
| 32 TD: Advanced Array Structures                     |      | 1 |   | 1   |    |   |    |    |    | 1  |    |    | 3   |
| 合計   | 36   | 9 | 5 | 9   | 25 | 8 | 60 | 44 | 24 | 25 | 25 | 16 | 233 |

# 国際学会参加報告

## ASP-DAC2005

### (Asia and South Pacific Design Automation Conference)

#### 1. はじめに

ASP-DAC2005(Asia and South Pacific Design Automation Conference)が2月18日から2月21日まで中国の上海にて開催された。

DAC、DATE、ICCADの姉妹学会で、VLSI設計技術に関する論文発表と設計ツールの展示が行われた。今年第10回で、参加者は約400人で盛況であった。

今年は692件と過去最多(2004年は291件)の投稿を集め、採択論分数は185件(約27%の採択率、ポスターセッションを除く)となった。

#### 2. 基調講演 1

初日の基調講演1は、Zhenghua Jiang氏(教授・中国人民会議副議長)が「中国における集積回路産業の発展」と題して、経済的側面からその動向を述べた。中国では、集積回路産業はここ6年間で、年率30%で成長している。今後10年間もこのペースで推移すると、強気の予想を示した。とくに上海は中国全体の生産額の51%を占めている重要な都市であると強調した。インテルほか多数の有名企業が上海に拠点を持っている。

中国における集積回路の生産は2000年に58.8億個(186.2億元)であったのが2003年には124.1億個(351.4億元)と、ここ3年間で約30%の成長率となっている(注:100円=80元)またチップの輸出は63.84億個(27.72億US\$)119.4億個(59.7億US\$)と倍増している。

現在、中国ではLSI設計関連の463の企業が活動中であり、2003年末で、17の生産ラインが稼働している。また製造だけではなくR&Dにも投資しており、CPUやDSPも市場に出荷されている。

中国における集積回路産業の高度成長の要因として以下の5点が挙げられた。

- 1) 中国政府による投資優遇政策
- 2) 財務部門、市場管理部門の強力な支援体制
- 3) 安く優秀な多くの人材
- 4) 海外企業とのwin-win関係の協力
- 5) 中国国民の生活水準の向上による内需拡大

翻って我が国では、国家政策としての半導体産業支援育成は貧弱であり、また企業も短期的な収支勘定からしか、設備投資や研究開発投資を行っていない。このままでは韓国だけではなく、中国にもキャッチアップされ追い越されるのではないかと危惧する。半導体産業に関する長期的な戦略的な政策立案が必要であろう。

会場からはDRAM以外に今後どのような製品群にフォーカスするのか?との質

問があり(早稲田大学・後藤敏教授)コンピュータ・システムやマルチメディア関連に注力すると回答した。また人材面で、米国からの帰国技術者の貢献について質問があったが、その比率は小さいと答えた。

#### 3. 基調講演 2

2日目の基調講演2はRajeev Madhavan氏(Magma Design Automation会長兼CEO)による「シリコン・コンパイレーション: IC開発コストの削減に対する解」でRTLからGDSに変換するシリコン・コンパイラーの現状について発表があった。

SoCはますます、大規模化・複雑化しており、技術工数や開発時間などに関わるコストが制約要因になってきている。例えば18x18mmのチップの開発には、50人の技術者が必要で、HDLにして40000行の作業量となる(0.13um・100Mゲート)。またマスクセットは100万\$で、不具合があると100万\$の開発費追加となる。世代毎に技術コストは60%増加し、製造コストは40%増加し、マスク費用は倍増している。90nm世代には総開発費用は\$30M-\$50Mになると予想している。Moorの法則は経済的に破綻すると述べた。

これらの問題に対処するために、EDAベンダーは大量のポイント・ツールを供給しているが、設計者からみると、時間はかかり、設計品質は悪く、とても満足はいくものはないというのが現状であろう。65nm世代は、現在のツールは使い物にならず、革新的な設計メソッドロジーが必要であると述べた。開発費用と開発時間の要求に答えるのがシリコン・コンパイラーである、概念自身は古くからあるが、統合化された実用に耐えるツールはないと強調した。

ここでシリコン・コンパイラーの定義は、RTL記述から“自動的”GDSに変換するツールである。合成、配置、配線、消費電力、タイミング、信号インテグリティ(SI)などをすべてを包含するものであるとしている。

従来の設計手法は、個別のツール群を使うか共通データベース止まりで、消費電力やSIなどを総合的に最適化できていない、一つの問題を解決すると新たな問題が発生するという、“もぐらたたき”となっている。現状の階層的なコンパイラーはブロック・レベルの解を集めてパッチワーク的に変換するツールであると述べた。

今後のシリコン・コンパイラーは、共通データモデルを使って、解析エンジンがデータを同時にアクセスして最適解を

求めるべきであると主張した。すなわち、前段の設計変更が後段の修正に反映されるべきである。具体的には、RTLプロトタイプ段階では、RTLコードを検証して、タイミング制約を生成し、正しいRTLを生成し、合成し、次のゲートレベル・プロトタイプでは、タイミングや消費電力や面積を最適化して、最後にレイアウトする。低消費電力化の手法は、クロック・ゲーティングし、電力線グリッドを合成し、マルチ電源化し、IRドロップ対策としてメタル挿入するという手順である。またナノメタ世代では最悪設計ではなく統計的な処理が必要であると述べた。

次の世代(2年後)は押しボタン式で全自動変換になり、従来26週的设计サイクルが2週になるであろうと締めくくった。会場からは本当に押しボタン式で最適なGDSが生成されるのか?という懐疑的な声が上がった、同感である。全自動のシリコン・コンパイラーは理想的な形態であるが、実現にはまだ時間がかかるであろう。

#### 4. 基調講演 3

最終日の基調講演3は、カリフォルニア大学バークレー校(UCB)のJan M. Rabaey教授により「シリコン・ロードマップの末期における設計」と題して、100nm以降の世代の設計技術について示唆に富む話があった。100nm以降は設計の複雑性、消費電力、プロセスばらつき、信頼性が問題となり設計手法の劇的な変革が必要であると切り出した。

ITRS2003(国際技術ロードマップ委員会)によれば、2018年にはトランジスタは10nmになると予測していて、IEDMなどでは単体トランジスタであるが、10nm以下のデバイスが既に発表されていて、今後20年間はロードマップに従って微細化が進むと考えられている。しかし大規模なLSIが動作する保障はなく、大きな課題がある。少しずつの改良では不十分で、革新的な技術開発が必要であると述べた。

微細化の課題は多数あるが、以下の4点を挙げた。

- (1) 開発費用と複雑性: これまで40年間続いて微細化を主導してきた経済性モデルが壁にぶち当たっている。世代ごとに必要な開発投資が重荷になっている。
- (2) 消費電力: 現実問題として消費電力が集積度を制限している。単位体積当たりの演算処理量は、エネルギー消費/演算から制限される。
- (3) プロセスばらつき: ばらつきにより、タイミングや性能が、決定論的に扱えなくなってきた。
- (4) 信頼性: ノード当たりの電荷量が減少して、ノーズマージンが減少し、信頼性が確保できなくなっている。

上記の微細化の課題を解決するためのロードマップを4期にわけて説明した。

## (1期)並列性・柔軟性の時代

(現在 - 2006年)

開発費を低減するために、柔軟な、再利用可能なアーキテクチャは魅力的である。とくに消費電力の観点から、クロック周波数は上げられないので、並列動作が必須である。実例としてAMDの2重コアプロセッサ、NTTのビデオ・コーデック(4個のTensilicaを使用)、Xilinx Vertex 4が挙げられた。これらを実現するためにはソフトウェア環境が重要であると強調した。またVLSI設計者よりも多くのSoCプログラマーが必要になるとも述べた。

## (2期)自己適応の時代(2006 - 2010年)

プロセスばらつきはマージンを広く取れば解決できるが、性能などの劣化が避けられない。最適な手法は、性能要求や消費電力制限に対応して、動的に回路を適応させる方法である。すなわち、オンライン測定の結果を反映して、電源電圧や閾値電圧を変える。これを実現するためにはオンチップ自己検査が必要となる。また電源を最適配分するために、能動的電源配分網を用いて、電圧変換や定電圧化して供給する方法も紹介された。

## (3期)誤り許容の時代(2010年 - 以降)

系統的あるいはランダムなエラーは不可避であり、これを解決するには冗長性を持たせればよい。適応性アーキテクチャとは動作のオンライン検証を行い、その結果を反映して自己修復するというものであり、今後はこの技術が必須になると述べた。アナログの例としてはパークレーで開発したパイプラインAD変換器の補正回路が示された。100%歩留まりを保障しようとする、総トランジスタの50%が冗長設計に使われることもあり得る。

## (4期)ランダム性の時代(遠い将来)

ばらつきにより、決定論的なBooleanロジック設計は適用できなくなる。統計処理的な設計が必要となってくる。信号処理の世界ではすでに統計処理が用いられている。集積回路設計でもそれらのモデルを導入すべきであると結論した。

自己適応や誤り許容や冗長設計などの概念は、すでに発表されており、特に新規なアイデアはなかったが、将来の方向をわかりやすく解説した講演であった。

## 5. LSI設計とEDA開発

中国におけるLSI設計の企業数は463社で、このうち上海では、上海復旦微電子やHuahong Design, Shengsheng Shanghai, Jiaodahanxinなどが有力なLSI設計企業である。また、中国半導体産業に占める上海のシェアは約51%である。2003年における中国全体のチップ生産量は124億1000万個、金額ベースでは351億4000万円(約42億米ドル、約4兆3200億円)である。過去6年間のチップ生産量と生産金額の年間成長率は共に30%を超える。次の10年間の成長率はこれを上回

るといふ。2003年末までで、125mm - 200mmウエーハの製造ラインが合計で17本が稼働している。上海、江蘇省、天津、北京、広東が製造の中心となっている。日本の半導体生産額は約6兆円で、このままでは韓国だけではなく、中国にも追い越されるのではないかと危惧する。さらには、中国は単なる製造基地ではなく、設計技術に関する研究開発も活発になっており、とくに大学におけるEDA開発は、今後注目すべきである。

(平田雅規)

## § アナログ/RF関連の報告 §

### 1. RF解析とシミュレーション技術

セッション5D「Analysis and Simulation Techniques」はアナログとRF回路を対象にした解析/シミュレーションのセッションである。PLLシミュレーション手法やプロセス変動の階層的解析やウェーブレットによる非線形回路の雑音解析などが論じられた。最初にミネソタ大学のJaijeet Roychowdhury教授らによる優秀論文候補にもなっている論文「Fast PLL Simulation Using Nonlinear VCO Macromodels for Accurate Prediction of Jitter and Cycle-Slipping due to Loop Non-idealities and Supply Noise」の発表があった。聴衆も多く多数の質問が出た。

VCO (Voltage Controlled Oscillator) をローパスフィルタ出力や他の信号ノイズの影響を受ける非線形の発振回路にモデル化することにより、VCOゲインは一定値ではなくなり、正確にPLLをシミュレーションできるようになる。実験では、SPICEシミュレーションに比べ100倍以上の高速化と、SPICEと同等の定量的な結果が得られ、ジッターやサイクルスリップ、ロッキングなどの現象が正確に再現できた。

### 2. RFデザイン・メソッドロジ

セッション7D「RF Circuit Design and Design Methodology」は7件の論文よりなり、3件がRF回路設計、残り3件がRF回路の設計方法論という内訳である。発表元は、米ワシントン大から2件、国立シンガポール大学、カナダ・カルトン大学、東工大、中国復旦大学(上海)から各1件である。各発表とも活発な質疑応答があり予定時間を大幅に超過した。

ワシントン大学からの「An Elitist Distributed Particle Swarm Algorithm for RF IC Optimization」では、回路パラメータを最適化するために、遺伝子アルゴリズム(Genetic Algorithm)に代る新しいアルゴリズムを提案した。各解候補が位置・速度・加速度の情報を持ち解空間を探索するため、ローカルミニマムに陥りにくく、複数の解を提示でき、かつ高速(GAに比べ十倍)である。5.2GHz

ダイレクトコンバージョン受信回路のフロントエンド設計に適用し有効性を確認した。

東工大からの「A Dynamic Reconfigurable RF Circuit Architecture」では、マルチバンド/マルチモードに対応し、PVT(Process/Voltage/Temperature)変動を補償できる動的再構成や可変受動素子が提案された。デジタル制御回路を追加することのトレードオフ(消費電力、チップ面積、モニター回路の性能)について厳しい質疑があり、この分野に対する強い関心が感じられた。

### 3. アナログ回路設計

セッション8D「Analog Circuit Design」は5件の論文よりなり、VCO、断熱回路設計、DAコンバータと設計手法、オーディオ用パワーアンプ、基板雑音モデリングと内容は多岐にわたった。ルネサステクノロジから発表された「An 11-bit 160-MS/s 1.35-V 10-mW D/A Converter Using Automated Device Sizing System」は、デバイス寸法の自動最適化システムを0.18μmプロセスのDAコンバータ設計に適用した事例報告である。Sparcエンタプライズ機による36時間の最適化処理と61時間の検証を経た回路をそのまま変更なしに手設計でレイアウトし試作した結果、分解能11ビット、最大サンプリング周波数160MS/s、電源電圧下限1.35V、消費電力10mW、SFDR: 61dB (@fsig=10.2MHz)と満足いく性能が得られた。

### 4. 数学的モデル化研究

非理想的な現象(非線形、ノイズ、バラツキ)を数学的にモデル化する研究が盛んである。使用されている数学は大学初年度程度のものであるが発表はほとんど米国大学からのものである。日本の教育現場ではゆとり教育の見直しが検討されているが、複雑・非理想的な現実を適切な近似によりモデル化し見通しをよくする数学応用能力の育成も今後の数学教育の重要な課題と考えられる。

### 5. 上海の大学訪問

学会終了後、上海交通大学と復旦大学を訪問した。正月休みの土曜日であるにもかかわらず、多くの学生が端末に向かいレイアウトやシミュレーションに取り組んでいる姿に圧倒された。聞けば、米系のEDAベンダーやチップメーカーが100台単位のワークステーションやPCを寄付しているとのことである。官民挙げての大学支援の成果が着実に始まっている。

### 6. 論文採択

サブコミティ[8](Analog and RF Circuit Design)は64件の論文から15件の採択と全体平均より厳しい採択率(23%の採択率:ポスターセッションを除く)となった。(益子耕一郎)

## § 検証関連の報告 §

### 1. 設計システム統合

「Silicon compilation: The Answer to Reducing IC Development Costs」とは、昔の夢よ、もう一度、宣伝とも受け取られかねない題名ではあるが、Rajeev Madhavan氏（CEO of Magma Design Automation）のkeynote addressは筆者には示唆に富む内容であった。今後の大規模設計を考える場合に、point toolの集合としてのCADでは生産性向上は望めなく、設計システムとしての統合が必要であり、設計者もpoint tool対応ではなく、digital designer, analog designer, RF designerと各ドメインでの設計者であることが要求されるとの基本的な考えに沿って講演が展開された。ドメイン設計者をどのように育成するののかとの質問も出たが、研究の中から育っていくのであろうとの一般的な答えではあった。

### 2. 検証

検証に関する内容を記す。講演の中で例示した設計例としては、18mm、2000I/O、500MHzの設計対象では、10M行のRTL記述となり、80名以上のエンジニアが開発に従事し、開発費も\$160M×2年必要とのことであった。本設計例の47%の工数が設計であり、53%が検証に必要であった。検証はますます困難となっていくゆえ、従来のシミュレータ（symbolic simulationなども含む）とFormal verificationを両者行うconcurrent verificationが必要となる、ただし、取り扱い規模と実行時間に倍以上の向上が要求されるとの意見であった。Formal verificationにどのようなものかを考えているかの詳細な意見は聞かれなかったが、新たな方向への意思は感じられた。

筆者も力技でなく、完全性を方法論として保障する検証へ向かうべきと考えているが、記述を2種準備し、適用範囲も限られている現在のformal verificationを超える方法論、新しいアルゴリズムが研究されることを願ってやまない。実際には、本学会でも発表がある研究が積み重なり、変革へと進行していくのであろう。学会での競合協調が将来の世界に貢献することとなるが、今回、日本メーカからの発表は非常に少なく研究・開発者の育成の面からも、学会への貢献を再考していただければ幸いである。上海という場所の問題もあるが、約400名の参加者の中に、日本メーカの方々の姿は少なかった。

検証に対するもう一つの提言として、1月20日にはCAD for Microarchitecture Designs（special session 4 D、invited talk 3件で構成）の中で、「Challenges to Covering the High-level to Silicon Gap」と題してIntel社のBill Grundmann氏の講演がなされた。主題はArchitectのためのCAD、とくにArchitecture決定からMicroArchitecture決定のためのCADが現在はなく、

(1) High-level & Latency tolerant model、  
(2) Build ability analysis、  
(3) Value assessment、  
(4) Management of design abstraction、  
(5) Refinement and correctness  
が要件との意見であった。動作記述から開始して、RTL記述に達する間には、精度のよい予測と選択候補の正当性保障の面で、上記5項目が必要であり、また動作記述とRTL記述の間には、formal equivalence gapが存在するとの提示であった。橋を架けるのはformal verificationの技術となろう。ただし動作記述とRTL記述では、情報の範囲がかなり異なるので、等価性証明をすること事態がかなり

の難題であることは確かといえる。

一方で、検証の達成指標を計算するカバレッジに対しても研究がなされている。当然ながら王道ははまだ見えない。session 3 D-3, UCIからの発表では、RTL記述対象でのカバレッジ算出を試みている。fault挿入をタグで記述し、観測点まで伝播するかをシミュレートするが、多分岐文が出現すると、枝分かれにより従来はすべての計算が必要になるが、条件により枝分かれの刈り込みが可能との方法を提案している。しかしながら、使用した8つのITC99ベンチマーク回路のシミュレーションでは、刈り込み率が高いもの、低いものが混在しており、安定した方法とはなっていない。

session 3 C-5sのインテル社からの発表は、論理仕様記述の各種条件を抜き出し、シミュレーション結果とつぎ合わせながら、全体のどこまでカバーしたか、シミュレーションが誤りを検出したかを検出しようとする試み。スケジューラFIFOユニットを対象として、100秒（1万サイクル分）のシミュレーションを50回実施すると、検証すべき項目の50%を実施したと計算できた。（46端点、209エッジ）キャッシュコヒーレンシー論理では、5000行記述のものに対し10端点、29エッジだと100回シミュレーションして、（160秒10000サイクル）96%のカバレッジであった。

カバレッジは計算方法とともに、短時間に再計算可能か耐論理変更性が必要であり、研究がさらに必要な分野でもある。Verification crisisとの言葉はよく聞かれるが、ハードウェアエミュレータを長時間使用して、とにかく検証は実施したとの状態から、長期の研究となる可能性は大きい、一歩先を探索する積極的な努力が必要と思われる。（宮本 俊介）

## 国際学会参加報告

### DATE2005

## (Design, Automation and Test in Europe)

### 1. はじめに

DAC(Design Automation Conference)の姉妹学会であるDATE(Design, Automation and Test in Europe)2005が、3月7~11日にドイツのミュンヘンで開催された。設計技術に関する論文発表とEDA業者による展示が行われた。会場はミュンヘン中央駅から地下鉄で東に20分ほどのICM Messe Munichである。ミュンヘンはドイツ南部にある都市であるが、今年は寒波襲来により、一面雪景色で、晴れていても小雪がパラついていった。初日の7日はtutorialで、8日から学会と展示会がスタートした。また最終日の11日はWorkshopが開催された。学会

の基調講演は8日の朝で、韓国Samsung Electronics Co., Ltd.と米IBM Corp.がそれぞれ講演した。展示会では、地元の欧州企業の比率が高い。日本で注目率の高いIC言語設計ツールやシステム・レベル検証といったEDAベンダーは欧州に開発拠点をもち、

### 2. 基調講演 1

最初の基調講演はJeong-Taek Kong氏(Samsung Electronics Co, Ltd Semiconductor Business Unit副社長)による「ナノ時代のSoC: 課題と無限の可能性」で、Samsung社における開発事例を紹介しながら、微細化の課題と、将来

展望を述べた。

半導体産業はPCや携帯機器により進歩してきたが、近年はIT産業がその原動力であり次世代のキーワードは「ユービキタス」であると語った。ナノメートル時代には数億個のトランジスタが集積化可能であり、設計技術者は高度なシステム概念をシリコン上に実現できるようになり、さまざまなSoC製品がユービキタス社会を現実のものとする述べた。

しかしながら、SoCには、低消費電力や低価格化などのさまざまな課題もあり、システムレベルの設計から製造技術まで、ブレークスルーが必要であると述べた。とくに、EDA技術はナノデバイスの物理的な問題やシステムの複雑化の問題を解決する重要な技術であると強調した。

次に、携帯電話を例に挙げ、Samsung社が開発したさまざまなSoC製品について紹介した。SoCではないが、NANDフ

ラッシュはMooreの法則を超えて、2倍/年の率で高集積化が進んでいると、Samsung社の技術開発力を誇示した。しかしながら、ばらつきが増大し、歩留まりが低下するなど、微細化の問題が顕在化して、開発費が高騰しているとも述べた。

また今後はソフトウェアの開発費比率が増大すると指摘した。微細化の大きな問題として、長期的な価格/トランジスタ(量産時)と最初の6ヶ月の価格/トランジスタ(開発初期)とのギャップが大きくなっていることを挙げた。この経済的なギャップには、技術的な側面と戦略的な側面があり、技術面では設計生産性、低消費電力、DFMなどが課題となり、戦略的にはキラーアプリ発掘が課題であり、パラダイムシフトが必要であると述べた。

次に、DFM(Design for Manufacturability)への取り組みとして、統計的な設計手法を紹介して、歩留まりが向上した例を挙げた。プロセスのばらつき情報を設計者に上げることが重要であると述べた。低消費電力化への取り組みとしては、モバイル向け製品でMTCMOSにより大幅にリーク電流を低減した例を示した。設計生産性の課題に対してはESL(システムレベルの設計)の更なる進展が必要であると強調した。TLM(トランザクションレベル)の電力見積もり・最適化により、消費電力を56%低減した例についても紹介した。

最後にSoCを成功させるには大学、Fabless、EDAベンダー、半導体企業の協調が必要不可欠であると述べた。システムレベル設計、低消費電力、検証などの課題を整理して、これらの課題を解決すればSoCの将来は無数の可能性があるとの締めくくった。

Samsung社は、現在、メモリ製品で大きな利益を上げているが、SoC製品に向けても着実な研究開発を続けている。しかしながら、巨額な開発費がかかり、多品種少量生産のSoC製品でどう利益を出すのか、SoCビジネスモデルについては言及はなかった。

### 3. 基調講演2

次の基調講演は、Garry Hughes氏(IBM, USのASIC・Foundry部門の副社長)による「ナノメートル時代の新しいバランス: TIME - TO - MARKETの要求と技術課題」で、さまざまな技術課題を解決して、いかにTIME - TO - MARKETの要求に答えるかを語った。現在の半導体市場の要求は、ナノメートルデバイスを使って、複雑かつ高性能な製品を迅速に市場に出すことである。この要求は、微細化により顕現した課題を解決し、高品質な設計技術の開発を加速する。ナノメートル時代の市場をリードするには、一発動作(single-pass design)が重要である。不具合による再設計は、

開発費を増大させ、市場機会を逸失させる。開発期間の短縮が最重要であると述べた。設計自動化は、この要求を満足して、設計品質を作りこむこと(built-in quality)が不可欠である。現在、IBMで開発中の、ばらつきを考慮した統計的な設計手法や開発期間を短縮するためにチップとパッケージを同時開発する手法が紹介された。

ASIC技術を推進してきたのは、高性能設計、低消費電力設計、複雑性、TIME - TO-MARKETの4つであり、IBM製品の例では、BLUE GENEコンピュータは91.75TFLOPsの処理速度を実現し、ビデオ用のプロセッサでは0.25Wの消費電力で動作し、ネットワーク用チップでは180nmから130nmに移植するのに5カ月で済んだと紹介した。しかしながら、微細化が進むと、ばらつきが大きな問題になっていると課題を明確にした。180nmの時代にはゲート酸化膜は2.2~2.6nmの範囲でばらつき、90nmの時代にはさらにばらつきは大きくなると指摘した。従来最悪条件設計では、設計が困難になってきており、IBMでは、ばらつきを考慮したタイミング設計を行っている。今後は、ばらつきデータを把握して統計的な設計が必須であると述べた。

次の課題は、消費電力で、チップを複数の領域に分割して、それぞれに最適な電源電圧を供給する手法が紹介された。またリーク電流対策として、動作していない回路は排除する(unplug)手法についても紹介された。またタイミング設計する上で、雑音解析が重要であると述べた。容量カップリングなどによりタイミングが狂うことも考慮する必要があると強調した。さらにテストの重要性についても言及して、オンチップのテスト用クロック発生技術を紹介した。

これまでに挙げた技術課題を解決するためには、テスト、タイミング、プロセスデータなどを共有することが重要であると述べた。

シグナル・インテグリティの問題は、チップ内だけではなくパッケージも含めて考慮する必要がありチップとパッケージの同時並行設計がTIME-TO-MARKETの鍵になると語った。最後にIBMはINNOVATION、COLLABORATION、SURVIVEを推進していくと結んだ。

### 4. セッション2C

セッション2Cは「アナログとギガヘルツのテスト」に関連する4件の論文が

発表された。アナログや数GHzのチップのテストコストをいかに下げるかは重要な課題であり、オンチップまたはオフチップのテスト回路や測定方法が報告された。注目される2件を紹介する。神戸大学の永田助教授のグループからは野口氏が「ミックスドシグナルVLSI回路の診断用のオンチップ・マルチチャネル波形モニタリング」技術を発表した。本技術はアナログ混載回路のテストを高速に行う目的で開発された、オンチップのビルトインテスト回路である。8チャンネル・プローブのプロトタイプを0.18um CMOS回路により試作したもので、単なる理論ではなく、完成度は高い。10ビットの可変ステップ遅延発生回路と10ビットの参照電圧発生回路を内蔵し、アナログ信号をデジタル変換して、外部に高速に取り出すことが可能である。時間分解能は40psで電圧分解能は200uVを達成している(100MHz動作)。測定精度はオフチップ測定と同等で、測定時間を95%



DATE2005会場風景

以上短縮した。測定回路のコア部分の面積は1チャンネル当たり700um x 600umである。会場からは、プロセスばらつきによって、誤差が発生するのではないかという質問があったが、キャリブレーションを行っているので問題はないとの回答であった。また時間分解能を制限している要因は何かという質問には、PLL回路であるということであった。本研究はSTARCとの産学連携共同研究の成果である。

ジョージア工科大学からは、D. C. Keezer氏が「FPGAを用いた低価格なマルチギガヘルツ測定システム」を発表した。高速信号(2~5GHz帯)を高価なテストを使わないで低価格に測定できるシステムの開発報告である。市販のFPGAを用いた測定システムではPCにより制御され柔軟で適応度の高い測定が可能となっている。またPECL(Positive Emitter Coupled Logic)を用いたシステムでは+-25psの時間分解能を実現している。これらのテストシステムは光ファイバーを用いてデータベースに接続されている。データは5Gbpsの速度で転送され

る。従来の専用テストに比べてとにかくコストが安いということを結論でも強調した。

大学におけるVLSIの測定評価は測定装置が高価であり導入が困難であるという課題があるが、本発表はそれを解決する手法として評価される。

今回は2006年3月6日から10日、ミュンヘンにて開催される。

## 5. DATE 参加者の問題意識

ミュンヘンで開催された設計技術の国際会議DATEの会場において電子投票システムを用いたアンケートが実施された。質問は11項目にわたるが、参加者の技術的関心や所属する仕事等について聞いているので、興味のある結果となっている。回答者数は、投票機器を受け取った約520名であった。

- 1) 参加者の出身地別にみると、ドイツを除く欧州48.9%、北米20.4%、ドイツ19.3%、アジア8.7%であり、やはり欧州からの参加が70%弱に達している。
- 2) 専門領域の分類は、大学34.8%、マネージャー20.4%、学生17.4%、EDAツール開発12.0%、IC設計6.5%、システム設計4.4%、テスト検証3.0%等現場の技術者30%以下という結果になっている。
- 3) 自分の技術を応用する職種は、EDA 40.4%、マルチメディア・家電11.6%、ソフトツール10.1%、電話9.7%、コンピュータ7.9%およびその他14.3%等であり、EDAベンダーあるいは社内EDA技術者が多いことがわかる。
- 4) 設計に関する質問で、現在の仕事での設計の対象は、SoC設計20.2%、FPGA13.1%、アナログ・ミックス・RF回路12.0%、組み込みソフト7.1%、および設計以外26.4%となり、意外とSoC設計が少ないと感じられた。現実には、まだSoCへすっきり移行した訳ではないようで、アプリケーションによりいろいろな選択がなされていることが窺われる。
- 5) 現在の仕事で使用する半導体テクノロジーは、FPGA21.9%、130nm12.6%、90nm11.9%、180nm8.2%、250nm4.7%、65nm2.1%、45nm1.2%

等で設計以外が33.8%となった。システム屋が主にFPGAを使用していること、半導体では130nm、90nmが主流になってきていること、先のこととして65nm、45nmも先行的に設計されていることがわかる。

- 6) 90nm以下で設計の最大の課題を聞いたものでは、検証24.6%、フィジカル設計23.9%、システム設計19.8%、テスト11.1%、組み込みソフト8.0%等となった。これはこれからの設計の難しさをこれまでの経験に基づいて推測したものであり、今後の技術開発の方向性を示しているといえる。
- 7) 合成・レイアウトの設計で何が問題かという質問に対しては、適当なツールがない24.6%、低電力化17.2%、デザインフロー14.7%、タイミング13.9%、シグナルインテグリティ10.2%、変動・バラツキ9.7%と意見が分かれた。比較的現実に近い問題なので、回答者の最近の設計経験に依存しており、バラツいたということは、現在のEDAを含む設計環境がまだまだ十分でなくいろいろな問題を抱えていることを示していると思われる。
- 8) システム設計の問題点としては、検証25.1%、適当なツールがない23.9%、システム仕様12.8%、設計メソッドロジック17.0%、IPの集積5.7%、組み込みソフト5.2%等となった。
- 9) 設計の初期入力言語では、VHDL/Verilog 27.2%、C/C++ 20.6%、SystemC/System Verilog 16.7%、MatLab/SimLink 15.95%、UML 5.2%、スキーマ(図面) 4.4%等。高位設計に進むほどに言語が分かっている現状を反映しているようで、UMLの今後の進展に注目か。
- 10) 最適化の評価基準は何かという質問に対して、高性能27.0%、設計期間短縮22.3%、高信頼性18.4%、低電力化18.1%、低価格化12.8%となった。
- 11) 最後にDATEへ参加するときの関心事はという質問に対して、これは3個上げるという回答形式で、論文53.8%、特別セッション・ホットトピックス51.0%、展示40.2%、人脈作り33.6%、基調講演22.1%、EDAベンダー幹部のExecutive Session14.5%等となり国際

会議の運営に貴重なデータとなった。

こうしたアンケートをその場で集計する試みは、この種の学会では初めての試みであり、技術の全体の流れ、関心事、将来の問題点等大いに役立つ企画であったと思う。

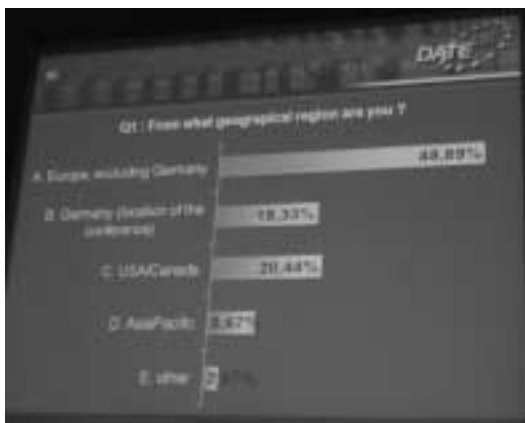
## 6. 欧州国際会議DATEでアナログが熱い

初日にアナログトラックが設けられ3セッション連続でパネル討論と7つの講演が行われた。ホットトピックスのパネルでは、IMECのモデレータが技術動向概論を行い、スケールリングは180nm以下で問題を発生しているとして、具体的には低電圧化による性能低下、ゲート漏洩電流、配線遅延、プロセス変動に伴うパラメータ変動、デジタル回路の影響、等をこれまでの論文を引用しながら解説し、65nmのアナログ設計は可能かという問題提起を行った。

パネラーからでた意見を纏めると、スケールリングは進むだろうが設計生産性、性能スケールリング、コストスケールリングには疑問がある。アナログ設計ではマッチングが重要なパラメータである。コンバクトモデリングとシミュレーション速度の関係、製造懸念事項等問題点の指摘が多い。これからはCMOSからナノCMOSの時代であり、プロセス・デバイス・回路のコンプロマイズが必要。65nmの設計でスケールリングは生きているがトランジスタのゲート長は短くしない。さらに、45nmは研究から開発に移ったとの認識が示された。こうした議論の中からDSM時代のアナログ設計者はがけっばちに立たされており、問題解決の見通しがつけ難い現実が浮き彫りにされた。

続く論文セッションでは、タイムドメインのシミュレーション、パラメータ変動の解析、等が発表され話題のテーマへの取り組みが窺われた。とくに注目に値するのは、アナログレイアウトの自動合成にまともに取り組んでいる発表であった。マルチ構造の配置モデルをベースに最適化アルゴリズムを開発し、ベンチマークでプレートベースの配置と同様の時間でかなりよい結果を得ている。

最後のセッションでは、高周波回路の発表が続き、2.5GHz低電力マルチチャンネル発信器、配線抵抗を考慮と基板雑音を解析する手法等が活発に討論された。こうした一連の発表を通して聞くと欧州のアナログへの力の入れ方がよく伝わってくる。とくにIMECを中心とするベルギー勢がアナログのリーダーシップを取っているようである。日本のアナログ技術者が職人芸といわれて久しいが、欧州ではコンピュータによる自動合成・解析に積極的に取り組んでおり、日本の技術者の取り組みが期待されることである。(平田雅規/小澤時典)





# EDS Fair 2005 報告

## - 実用化を目指すSoC設計技術開発成果の展示とセミナー 大学との共同研究成果の展示とミニシンポジウム -

社団法人・電子情報技術産業協会（JEITA）が主催するElectronic Design and Solution Fair（EDS Fair）2005が、2005年1月27日（木）～28日（金）の2日間、パシフィコ横浜にて開催された。電子機器およびLSIの設計技術とEDAを主体とする展示会である。今年も100社以上が参加し、1万人以上の来場者があり、盛況であった。STARCからは、設計技術開発成果と大学との共同研究成果を展示した。

設計技術開発では、従来より広い展示ブースを準備。その技術成果をデモンストレーションを中心に展示。ブース内のミニセミナーでは「最先端SoC開発へ活用が進むSTARCの成果」を紹介。さらに出展者セミナーでその内容の解説を行い、実用化を目指すSTARCをアピールした。

大学との共同研究では、従来のパネルによる展示に加え、新たに大学発のミニシンポジウムを企画。より実用化に近いEDAに関するテーマということで、6人の先生方が講演。ミニシンポジウムは、STARCブース内で実施し、各講演に10名から20名程度の参加者を得た。また、EDS Fair終了後にも、ミニシンポジウム関連の問い合わせを得ており、これまでに以上に成果を外部に伝えることができた。

下記に、会場でのSTARCブース風景、展示内容、出展者セミナー、およびミニシンポジウム講演一覧を示す。次回EDSFairは、2006年1月26日、27日に開催予定。  
(吉丸正樹 / 益子耕一郎)

### 展示内容

- ・90nm世代のSoC設計メソッドロジV1.5およびV2.0（セミナー実施）
- ・1000倍の高速化を可能とするSystemCベース高速強調シミュレーション（デモ実施）
- ・テスト品質の最適化を可能とするテスト戦略支援技術とナビツール
- ・90nmSoCテクノロジプラットフォームと Shuttle LSI試作サービス
- ・産学連携による半導体基盤技術とSoC設計技術者教育

### 出展者セミナー

- ・最先端SoCの設計技術 - STARC活動概要 豊田栄次郎
- ・STARCの設計技術への取り組みとSTARCAD-21の開発 間 佐五郎
- ・ASPLAシャトルコンテンツ整備と90nmSoCテクノロジプラットフォーム 伊藤 荘一
- ・SoC / IPの設計技術標準 中村 忠彦

### ミニシンポジウム講演一覧

| 大学名      | 研究室名   | 講演タイトル                      |
|----------|--------|-----------------------------|
| 1 大阪大学   | 今井 研究室 | カスタム・プロセッサ設計環境 ASIP Meister |
| 2 東京大学   | 藤田 研究室 | システムレベル仕様・設計検証技術に関する研究      |
| 3 熊本大学   | 末吉 研究室 | FPGA遠隔再構成技術とリモート・ロジックアナライザ  |
| 4 奈良先端大学 | 藤原 研究室 | プロセッサの命令レベル自己テスト法           |
| 5 早稲田大学  | 笠原 研究室 | チップマルチプロセッサ上でのマルチグレイイン並列処理  |
| 6 東京工業大学 | 益 研究室  | 配線長分布モデルによるLSIの性能評価         |



開会式来賓のSTARCブース視察



共同研究テーマのミニセミナー



出展者セミナー

# 2005年度共同研究実施テーマ Research Programs and Projects in 2005

## システム分野 System Area

1. 「コンポーネント間のデータ流量解析に基づくアーキテクチャ・レベル設計手法」  
研究代表者：大阪大学 今井 正治
2. 「SoC設計プラットフォーム・マクロの研究」  
研究代表者：東京大学 浅田 邦博
3. 「RISC + マルチVLIWアーキテクチャ融合マイクロプロセッサの研究」  
研究代表者：東京工業大学 前島 英雄
4. 「FD-SOI MOSFETを用いた高周波回路の設計技術の開発」  
研究代表者：大阪大学 谷口 研二
5. 「プロセッサの命令レベル自己テストとテスト容易化設計に関する研究」  
研究代表者：奈良先端科学技術大学院大学 藤原 秀雄
6. 「BIST環境に適應した故障診断法に関する研究」  
研究代表者：愛媛大学 高松 雄三
7. 「低消費電力型超高速無線通信システムの開発とそのIP化に関する研究」  
研究代表者：北海道大学 宮永 喜一
8. 「超高周波システムオンチップの構成理論および実証的研究」  
研究代表者：東京理科大学 兵庫 明
9. 「低電圧動作低雑音アナログ回路設計技術の研究」  
研究代表者：広島大学 岩田 穆
10. 「ダイナミックリークを低減するナノサーキットの研究」  
研究代表者：東京大学 桜井 貴康
11. 「システムレベル仕様・設計検証技術に関する研究」  
研究代表者：東京大学 藤田 昌宏
12. 「並列化コンパイラ協調型チップマルチプロセッサ技術」  
研究代表者：早稲田大学 笠原 博徳
13. 「実時間動画認識プロセッサVLSIの設計技術研究」  
研究代表者：神戸大学 吉本 雅彦
14. 「リコンフィギャラブルシステム技術とその応用」  
研究代表者：熊本大学 末吉 敏則
15. 「CMOS RF・アナログBBシステムの高性能化とスケーラブルな設計手法の研究」  
研究代表者：東京工業大学 松澤 昭
16. 「動的電圧制御によるGALS型高性能低消費電力プロセッサの研究」  
研究代表者：東京大学 中村 宏
17. 「ミックスドシグナルLSIのためのオンチップ診断技術」  
研究代表者：神戸大学 永田 真
18. 「超広帯域無線機LSIのための機能回路ブロックに関する研究」  
研究代表者：北見工業大学 谷本 洋
19. 「SoC / SiP設計のためのパワー / シグナル・インテグリティ検証統合システム」  
研究代表者：静岡大学 浅井 秀樹
20. 「DSMテクノロジーを想定したEmbedded Processorのハードウェア/ソフトウェア協調設計環境」  
研究代表者：早稲田大学 大附 辰夫
21. 「生体内埋込型超高感度バイオフォトニックLSIの開発」  
研究代表者：奈良先端科学技術大学院大学 太田 淳
1. "System Level Design Method based on the Analysis of Data Flow among Components"  
Masaharu Imai (Osaka University)
2. "Design and Implementation of Infrastructure Platform Macros for System-on-a-Chip"  
Kunihiro Asada (The University of Tokyo)
3. "Study on a Microprocessor with RISC and Multi-VLIW Architecture"  
Hideo Maejima (Tokyo Institute of Technology)
4. "Design of RF Circuits using FD-SOI MOSFETs"  
Kenji Taniguchi (Osaka University)
5. "Research on Instruction-Level Self-Test and Design-for-Testability for Processors"  
Hideo Fujiwara (NARA Institute of Science and Technology)
6. "Fault Diagnosis under Built-In Self-Test Environment"  
Yuzo Takamatsu (Ehime University)
7. "A Low Power Design of Ultra-High Speed Wireless Communication VLSI System and its Soft IP Development"  
Yoshikazu Miyanaga (Hokkaido University)
8. "A Study on Theory and Implementation of a Very High Frequency System on a Chip"  
Akira Hyogo (Tokyo University of Science)
9. "Low Voltage Analog Circuit Design for Low Noise Systems"  
Atsushi Iwata (Hiroshima University)
10. "Research on Nano-Circuits with Reduced Active Leakage"  
Takayasu Sakurai (The University of Tokyo)
11. "Formal verification of system level descriptions for hardware/software co-design"  
Masahiro Fujita (The University of Tokyo)
12. "Parallelizing Compiler Cooperative Chip Multiprocessor Technology"  
Hironori Kasawaha (Waseda University)
13. "An Algorithmic and Architectural Study of VLSI Processor for Realtime Image Recognition"  
Masahiko Yoshimoto (Kobe University)
14. "Research on Reconfigurable Systems and their Applications"  
Tosinori Sueyoshi (Kumamoto University)
15. "Research on High-Performance CMOS RF/Analog Baseband System and its Scalable Design Methodology"  
Akira Matsuzawa (Tokyo Institute of Technology)
16. "High-Performance and Low-Power GALS Processor with Dynamic Voltage Scaling"  
Hiroshi Nakamura (The University of Tokyo)
17. "On-chip Diagnosing Techniques for Mixed-Signal LSIs"  
Makoto Nagata (Kobe University)
18. "Study on Functional Analog Circuit Blocks for Wide Band Wireless Transceiver"  
Hiroshi Tanimoto (Kitami Institute of Technology)
19. "Integrated Verification System of Power/Signal Integrity for SoC/SiP Design"  
Hideki Asai (Shizuoka University)
20. "Hardware/Software Codesign Environment for Embedded Processors based on the Deep Submicron Technology"  
Tatsuo Ohtsuki (Waseda University)
21. "Implantable High-Sensitivity Bio-Photonic LSI"  
Jun Ohta (Nara Institute of Science and Technology)

## 2005年度新規開始テーマ

22. 「アーキテクチャ技術による低消費電力プロセッサの研究」  
研究代表者：名古屋大学 島田 俊夫
23. 「ミリ波ワイヤレス通信用CMOS要素回路の研究」  
研究代表者：北海道大学 佐野 栄一

## New themes started from 2005

22. "Low power consumption processor using architecture technology"  
Toshio Shimada (Nagoya University)
23. "CMOS RF Circuits for Millimeter-wave Communication Systems"  
Eiichi Sano (Hokkaido University)

- 24. 「極微細CMOS回路のための超高周波物理レイアウトの評価および最適設計に関する研究」  
研究代表者：東京大学 藤島 実
- 25. 「微細プロセスにおけるチップ内の特性変化を積極的に利用するASIC向け再構成デバイス」  
研究代表者：京都大学 小林 和淑
- 26. 「CMOS RF回路によるマルチバンド・マルチモード無線送受信回路の研究」  
研究代表者：東京工業大学 益 一哉
- 27. 「半導体EMC設計のGHz対応信号/ノイズ制御技術」  
研究代表者：岡山大学 和田 修己
- 28. 「低電源電圧高速アナログ集積回路技術」  
研究代表者：東京工業大学 高木 茂孝
- 29. 「組込みマルチVLIWコアプロセッサ向け高効率コード自動生成についての研究」  
研究代表者：東京工業大学 杉野 暢彦
- 24. "Study on Modeling and Physical Synthesis for Ultra-High-Frequency CMOS Design"  
Minoru Fujishima (The University of Tokyo)
- 25. "A Reconfigurable Device against Within-die Process Variations on Nanometer-scale Technologies"  
Kazutoshi Kobayashi (Kyoto University)
- 26. "Multiband/Multimode Wireless CMOS RF Tranceiver Circuits"  
Kazuya Masu (Tokyo Institute of Technology)
- 27. "Signal and Noise Control above 1 GHz for Semiconductor EMC Design"  
Osami Wada (Okayama University)
- 28. "Analog Integrated Circuit Design for Low-Voltage and High-Speed Applications"  
Shigetaka Takagi (Tokyo Institute of Technology)
- 29. "Automatic Code Generation and Optimization Methods for Embedded Multi Core Processor Architectures"  
Tokyo Institute of Technology, Nobuhiko Sugino

## プロセス/デバイス分野 *Process/Device Area*

- 1. 「次世代CMOSのためのデュアルメタル/ALD絶縁膜ゲートスタックの研究」  
研究代表者：広島大学 芝原 健太郎
- 2. 「超薄ゲート絶縁膜MIS(FET)の評価技術および物理モデル構築の研究」  
研究代表者：東京大学 鳥海 明
- 3. 「HiSIM2：回路シミュレーション用RFデバイスモデル」  
研究代表者：広島大学 三浦 道子
- 4. 「高精度プラズマプロセスのためのオンウエハーモニタリングシステムの開発」  
研究代表者：東北大学 寒川 誠二
- 5. 「界面制御された高信頼性Cu合金配線の開発」  
研究代表者：東北大学 小池 淳一
- 6. 「High-k絶縁膜の高分解能コンビナトリアル放射光解析」  
研究代表者：東京大学 尾嶋 正治
- 7. 「超臨界流体を用いた新規ナノ配線形成プロセスの創製」  
研究代表者：山梨大学 近藤 英一
- 8. 「低速陽電子ビームによる次世代半導体材料の評価」  
研究代表者：筑波大学 上殿 明良
- 9. 「ゲート長10nm世代を見据えた量子輸送シミュレータの開発」  
研究代表者：大阪大学 森 伸也
- 1. "Research on the Gate Stack Structures with Dual-Metal and ALD Insulator for Advanced CMOS Technologies"  
Kentaro Shibahara (Hiroshima University)
- 2. "Precise Characterization and Physics-based Modeling of Ultra-thin Gate Dielectric MIS Devices"  
Akira Toriumi (The University of Tokyo)
- 3. "HiSIM2: A MOSFET Model for Circuit Simulation with Focus on RF Applications"  
Mitiko Miura-Mattausch (Hiroshima University)
- 4. "Development of On-wafer Monitoring System for High-Performance Plasma Processes"  
Seiji Samukawa (Tohoku University)
- 5. "Development of highly reliable Cu-alloy interconnect with controlled interface"  
Junichi Koike (Tohoku University)
- 6. "Synchrotron radiation high-resolution combinatorial analysis of high-k dielectrics"  
Masaharu Oshima (The University of Tokyo)
- 7. "Development of a novel thin film deposition technique from supercritical CO<sub>2</sub> for ULSI applications"  
Eiichi Kondoh (Yamanashi University)
- 8. "Characterization of next-generation semiconductor materials by means of monoenergetic positron beams"  
Akira Uedono (University of Tsukuba)
- 9. "Quantum Transport Simulation for Future Technologies"  
Nobuya Mori (Osaka University)

### 2005年度新規開始テーマ

- 10. 「相変化薄膜素子の微結晶性と不揮発性多値記録特性に関する研究」  
研究代表者：群馬大学 保坂 純男
- 11. 「基板およびプロセス歪の非破壊高精度分布測定」  
研究代表者：明治大学 小椋 厚志
- 12. 「次世代異種新材料複合MOSFET集積化技術」  
研究代表者：東京工業大学 岩井 洋
- 13. 「原子レベルの材料特性を考慮した3次元量子輸送デバイスシミュレータの開発」  
研究代表者：神戸大学 小川 真人
- 14. 「半導体から絶縁体へ可逆的に相転移するシリカ薄膜の研究」  
研究代表者：東京大学 岡田 文雄

### *New themes started from 2005*

- 10. "Nanometer-sized crystallization of a phase change material for multilevel nonvolatile memory"  
Sumio Hosaka (Gunma University)
- 11. "Precise measurement of strain profiles induced by process and substrate"  
Atsushi Ogura (Meiji University)
- 12. "Si,Ge High-k metal gate stack technology"  
Hiroshi Iwai (Tokyo Institute of Technology)
- 13. "Three Dimensional Quantum Device Simulator Reflecting Material Characteristics"  
Matsuto Ogawa (Kobe University)
- 14. "Studies on resistance change mechanisms of amorphous SiO<sub>x</sub> thin films and its application to electronic devices"  
Fumio Okada (The University of Tokyo)

# SoC設計技術フォーラム2005

## [ SoC開発の最前線に広がるSTARC設計技術 ]

開催日：2005年7月8日(金)

場所：新横浜国際ホテル 10:00～19:15

### [ 主旨 ]

STARCが開発した先端SoC設計技術成果の半導体業界での使われ方を中心として紹介します。  
また、SoC設計技術開発への期待や活用方法など、官界、学界、産業界の方々から、ご講演いただきます。

### [ プログラム ]

#### 基調講演

『電子・情報技術ロードマップ』の狙いと半導体技術開発のあり方 西川 泰蔵氏 (NEDO技術開発機構)

#### STARC活動報告

STARCにおける共同研究・開発の歴史と新たな展開 下東 勝博 (STARC)

あすかプロジェクトの成果と活用 ( )

あすかプロジェクトから生まれたSoC設計技術 間 佐五郎 (STARC)

NECエレクトロニクスにおけるSTARCAD-21の活用 山田 和美氏 (NECエレクトロニクス)

テスト設計現場の課題とSTARC成果活用への期待 野本 和之氏 (ルネサステクノロジ)

あすかプロジェクトの成果と活用 ( )

高速協調検証技術の事業展開 山本 節雄氏 (インターデザイン・テクノロジー)

The emergence of RTL Design Guides and Atrenta's contribution to their success

Ajoy Bose氏 (Atrenta Inc.)

SoC設計技術開発におけるSTARCへの期待

川上 博平氏 (松下電器産業)

AS PLAプロジェクトの成果と活用

AS PLAプロジェクトの狙いと成果及び今後の展開 川手 啓一氏 (ASPLA)

90nmSoCテクノロジープラットフォームの提供と運用 伊藤 荘一 (STARC)

VDECにおける90nmテクノロジーと試作シャトルの活用 浅田 邦博 教授 (東京大学)

#### 招待講演

第2次SNCCの提言とSTARCへの期待 前口 賢二氏 (SIRIJ)

参加費：無料 (申し込みは、オンライン登録をお願いいたします。)

<http://www.starc.jp/event/reg-j.html> 受付期間は5月16日(月)～6月30日(木)です。

主催：株式会社 半導体理工学研究センター (STARC)

後援(予定)：経済産業省

独立行政法人 新エネルギー・産業技術総合開発機構 (NEDO技術開発機構)

協賛：半導体産業研究所 (SIRIJ)

株式会社 半導体先端テクノロジーズ (Selete)

株式会社 先端SoC基盤技術開発 (ASPLA)

お問い合わせ先：SoC設計技術フォーラム事務局

TEL：045-478-3300 FAX：045-478-3310 e-mail:forum@starc.or.jp

STARCニュース No.24

株式会社 半導体理工学研究センター

発行：下東 勝博

編集：札抜 宣夫

Semiconductor Technology Academic Research Center (STARC)

〒222-0033 神奈川県横浜市港北区新横浜3丁目17番地2 友泉新横浜ビル6階

TEL：045-478-3300 FAX：045-478-3310

URL：<http://www.starc.or.jp>

[ 無断転載禁止 ] © STARC