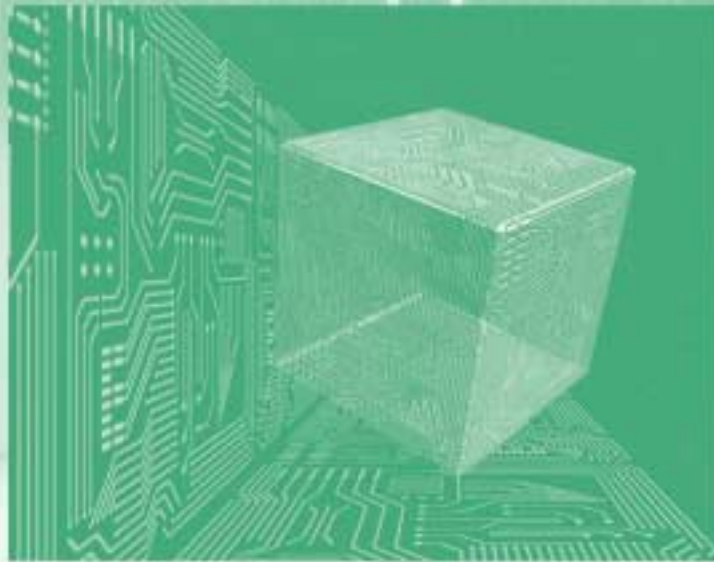


STARCニュース



No. **23**

2005年1月15日発行
株式会社 半導体理工学研究センター
Semiconductor Technology Academic Research Center (STARC)



- 2 **会長・社長の新年挨拶**
- 4 共同研究グループ便り / **小川研究グループ**
- 6 共同研究グループ便り / **浅田研究グループ**
- 8 共同研究グループ便り / **小池研究グループ**
- 10 **低電力技術開発室メモリグループ**
- 13 教育推進室 / **第8回 STARCアドバンスト講座**
- 14 **テスト設計開発室**
- 16 学会報告 / IEDM2004
ICCAD2004
第8回システムLSI-WS
- 19 IP技術開発室から / **OCPの紹介**
- 20 EDS Fair 2005出展のご案内
および OCPセミナー開催のご案内

新年のご挨拶



代表取締役会長

小野 敏彦 (おの としひこ)

新年明けましておめでとうございます。

皆様におかれましては、ますますご清栄のこととお慶び申し上げます。

半導体業界は2001年から右肩上がり成長し、2004年は27.9%と大幅に成長すると予想されましたが、2004年度半ばまで、牽引していた、携帯電話、デジタル家電の市況悪化に加え、価格下落の影響が大きく、下方修正せざるを得ない厳しい状況になっています。2005年もこの傾向は続くが、SCMが進み、顧客が的確な在庫調整を行っているため、大幅な市況の減退はないと考えられます。

ユビキタス情報社会で求められる、“多機能、高性能、高速”、“低電力、小型化、軽量化”の<性能>とともに“安心、安全、快適”の<セキュリティ>を両立させる、SoCビジネスは依然高い成長率が予想され、LSI開発が顧客の事業の成否を左右する重大な位置付けにあり、激変する市場、多様化するビジネスモデルに対応するため、パートナーシップの推進と、デバイス、ソフトウェア、リファレンス・ボード、アプリケーション・サポートの垂直立ち上げがますます重要になっています。

SoCビジネスはプロセス技術は当然ながら、設計環境の整備が重要で、STARCでは“あすかプロジェクト”として、国のご支援もいただいて、90nm世代の設計メソッドロジ開発、IP再利用・流通化技術の開発に取り組んでおり、今年が最終年で成果の刈り取りとともにクライアントへの技術移管がキーになります。

2006年度から第2次SNCC（半導体新世紀委員会）がスタートしますが、半導体産業が21世紀日本の基幹産業であり、我が国半導体産業の復活・飛躍のため、プロセス、設計力の強化は最重要課題であり、STARC新プログラム準備委員会として、産学連携、半導体設計教育の強化、設計メソッドロジ技術開発、SoCプラットフォーム構築といった課題に今年から取り組んでまいります。引き続き皆様のご支援、ご協力を賜りたくよろしくお願い申し上げます。

最後となりましたが、2005年がクライアント並びに関係者の皆様にとって、よき年となることをお祈りして、私の新年のご挨拶とさせていただきます。





代表取締役社長 & CEO

下東 勝博 (しもひがし かつひろ)



新年明けましておめでとうございます。

2005年の新春を迎え謹んで新年のご挨拶を申し上げます。

昨年、日本の半導体業界は前半は絶好調でしたが、後半には調整局面があり、変化の激しい年でした。今年は、デジタル家電市場の本格的伸長により日本の半導体産業が安定成長することを期待しております。

STARCは今年末で創立10周年を迎えます。また、2001年から始めました「あすか計画」も5年目の最終フェーズを迎え、大きな節目の年に当たります。昨年来「ポストあすか」として検討してきました「第2次SNCC計画 - STARC新プログラム」へと軸足を移しつつ、「あすか計画」を完遂することが、今年のSTARCの使命と考えています。

今年のSTARCの目標は次の3つです。第一の目標はあすか計画を完成させることであります。あすか計画にはご承知のように6つのテーマ：IP基盤技術、物理設計、低電力技術、上位設計、設計メソッドロジそしてテスト設計があります。それぞれの技術を完成するとともにその成果を皆様に使いやすい形で提供することが重要です。個々の技術を設計メソッドロジに組み込み、集積・統合化してご提供したいと考えています。さらに、他組織とも連携して多様な形でアウトプットを出すべく、新たに設けました事業化戦略委員会で検討したいと思っています。

第二の目標はAS PLAプロジェクトの拡大であります。昨年で90nmテクノロジープラットフォームがほぼ完成しました。今年はそのプラットフォームを多様な使い方で活用する年であります。大学を始め幅広くご活用いただき、日本の半導体産業の新たな未来を創る活動になっていくことを期待しています。

第三の目標は2006年以降の日本半導体の協業計画である「STARC新プログラム」の計画を完成させることであります。あすか計画では、皆で協力して基盤を造るということにポイントがありました。2006年以降の協業のポイントは、これに加えて強いところをさらに強くするという新たな考え方が必要です。進め方は雁行方式で、日本の強みをどんどん生かした協業を進めたいと思っています。

以上3つの目標はいずれも過去を振り返ってもお手本のない仕事であり、未来から発想し、未来を創る創造力にかかっています。STARC社員一同力を合わせ、半導体産業の将来は我々が創るという気概で2005年も頑張りたいと思っています。

引き続き皆様のご支援、ご協力を賜りたくお願い申し上げます。最後となりましたが、今年も、皆様にとって、よき年となることをお祈りして、私の新年のご挨拶とさせていただきます。

共同研究 グループ 便り

小川研究グループ

テーマ名 量子輸送理論によるナノ構造デバイス汎用シミュレータの開発

研究代表者 神戸大学 工学部 電気電子工学科 教授

小川 真人(おがわ まつと)

研究室現況紹介

本研究グループは、小川(量子エレクトロニクス研究分野)、三好教授、土屋助教授(電子デバイス工学分野)計3名の教員と、博士課程学生2名、修士2年3名、修士1年6名、学部4年生13名(修士課程へは外部からの入学者を含めて8名進学します)、研究生1名、このうち博士課程の1名はインドネシアからの留学生、修士と学部女性が一人数の総勢28名で構成されています。電気電子工学科の学舎の改修がまだ済んでいないために学生の皆さんには古くて狭い場所に居住し、主に計算機シミュレーションによる半導体デバイス解析、半導体材料電子構造解析、カーボンナノチューブ中の量子輸送解析、光波・電磁波伝搬解析の研究をしてもらっています。

共同研究内容

最近のインターネットや携帯電話の普及は、電子デバイス、とくにシリコンMOSテクノロジーの微細化により軽量、小型、低消費電力化を実現してきたことによるものですが、今後、高齢化社会で生じうる諸処の問題に対処する場合も、人間の知性や感性を具現して文明の発展に寄与する場合も、現状よりも性能の高い機器の実現がますます必要になってくると考えられます。そのためにもLSIの継続的な発展が必要不可欠です。電気工学に携わる研究者は過去100年間の電子デバイスの歴史の中で、デバイス寸法を縮小することによってその性能向上を図ってきました。現在、トランジスタの寸法はナノメートル(数十原子)のオーダーまで縮小され、トランジスタの縮小化の限界がどこにあるかが重要な問題と



後列左から 梅垣(D3)、小田(M1)、宮村(M1)、米谷(M1)、籠谷(M1)、平野(M1)
中列左から 谷本客員研究員(東芝)、金田客員研究員主査(富士通)、宇野(M1)、安藤(M2)
前列左から 益子上級研究員(STARC)、小川教授、土屋助教授、三好教授、高篠客員研究員(ルネサス)
右 上: 伊地知技官

して取り上げられています。このようなナノサイズのトランジスタを作るには莫大な設備投資が必要であることも予測されています。

共同研究では、ナノサイズの素子の特性予測を可能とするナノデバイスシミュレーションについて電子の波動性を厳密に取り扱う非平衡グリーン関数法(波動モデル)と、電子を粒子として取り扱うモンテカルロシミュレーションに量子力学的な補正を加えた量子補正モンテカルロ法(粒子モデル)に

よって解析を行う2種類のアプローチを提案し、プロジェクト研究を開始させていただきました(図1)。ナノスケールMOSFETではソース・ドレイン間のトンネルが生じることや準バリスティック輸送現象が生じることなどがシミュレーションを通じて明らかになりつつ(図2)あり、徐々にその有効性が確認されつつあります。今後、プロトタイプが公開され実測との比較検証によりナノスケール素子の特性予測手段として価値の高い技術となると

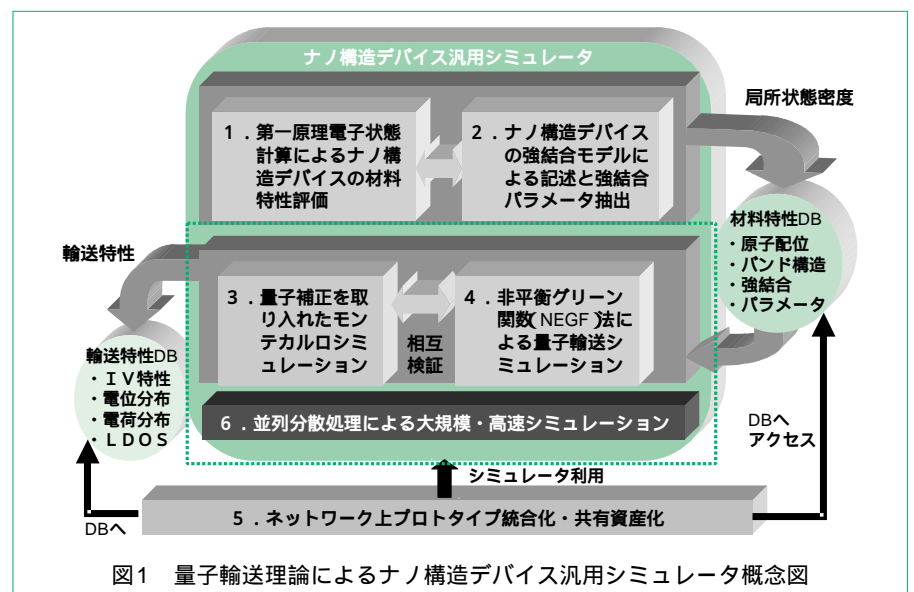


図1 量子輸送理論によるナノ構造デバイス汎用シミュレータ概念図

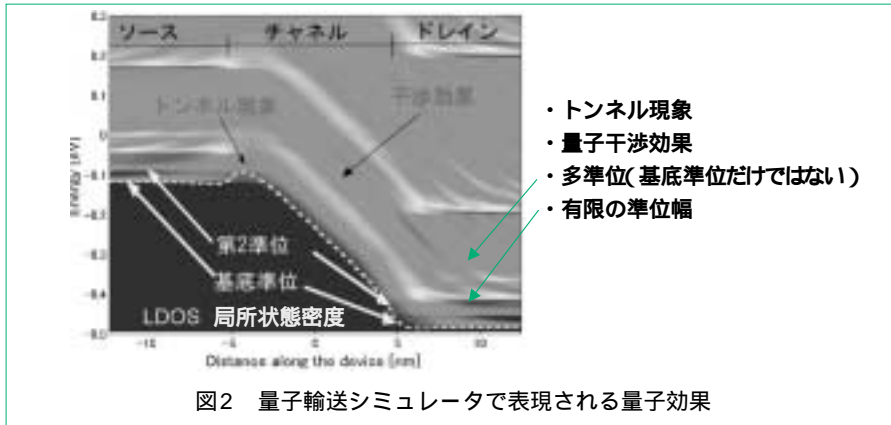


図2 量子輸送シミュレータで表現される量子効果

客員研究員主査からのコメント

(株)富士通研究所
シリコンテクノロジー研究所

金田 千穂子

半導体の高集積化、高性能化のために、MOSトランジスタの微細化が強力に推し進められた結果、現在、研究レベルでは、ゲート長が10nmを切るトランジスタも報告されています。このスケールの中に並べることのできるシリコン原子は高々数十個です。さらに、ゲート絶縁膜の物理膜厚は、実用レベルですでに2nm以下になっています。このような領域では量子効果が顕著に現れるため、従来のデバイスシミュレータにおいて用いられてきた伝導モデルは破綻を生じつつあります。量子効果を正しく考慮に入れて、伝導モデルを再構築することが強く求められています。

現在、小川研究グループでは、小川先生、土屋先生、三好先生を中心に、電子を波動として捕らえる非平衡グリーン関数法および、電子は粒子として扱い量子補正を加えた量子モンテカルロ法によるナノデバイスシミュレータをそれぞれ開発し、ナノ構造デバイスの輸送特性を定量的に再現・予測することに挑戦しています。開発されたシミュレータは、これまでに、ナノ構造デバイスにおける擬似バリスティック量子輸送特性などの問題に適用され、興味深い知見が得られています。

このシミュレータが、デバイスの更なる微細化や新規材料・構造の導入に向けた継続的改良・発展のためのプロトタイプとなり、さらには、STARC参加企業をはじめとする産業界の協力の下で、デファクト・スタンダードに育っていくことを期待しています。

考えております。

産学連携について

本共同研究において客員研究員の皆様との技術的な議論をいただくことで、日頃の不勉強や欠けている点を補っていただけることに感謝しております。大学側では学生諸君に半導体産業で問題になっている点に直接携わっていることの自覚を植えつけるのに四苦八苦しておりますが、大学で即戦力となる人材を育成することが今後のこの分野の発展に必要であることも日々痛感しております。電気電子工学科 沼昌宏教授にはSTARC講座を担当して

いただいております。情報知能工学科 吉本雅彦教授、永田 真助教授には常日頃システムLSIについてご教示いただいております。単に産業界とのつながりだけでなく、学内の協力体制も必要であるということがこの共同研究を通してわかってきました。中央から離れているので、なかなか博士課程の学生が集まりませんし、客員研究員や産業界の方々にお気軽に研究室にお立ち寄りいただいて研究やプログラムの話ができるような環境にもありませんが、大学院の学生が産学連携による研究を通して得た技術を企業で発展させて花開かせてくれることを望んでいます。

共同研究の成果としては量子輸送シミュレータのプロトタイプが提示できる予定です。今後の発展方向として図3に示す方向が考えられ、産学連携を軸としていずれかの方向で産業界、教育界に貢献し、世界をリードする付加価値の高い技術を生み出すことのできる人材を育成し、電子産業がさらに発展することを願って研究を進めたいと思っております。

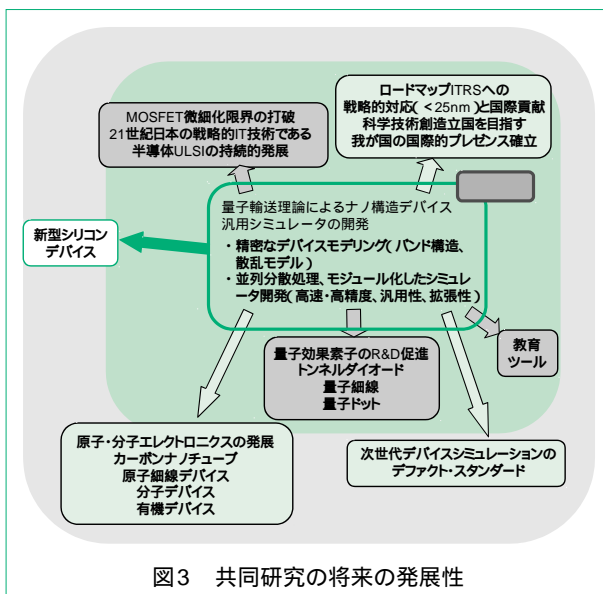


図3 共同研究の将来の発展性

共同研究 グループ 便り

浅田研究グループ

テーマ名 SoC設計プラットフォーム・マクロの研究

研究代表者 東京大学大規模集積システム設計教育研究センター 教授

浅田 邦博(あさだ くにひろ)

研究代表者抱負

集積回路技術の微細化によりチップ上に作り込める回路規模が大きくなりその機能や性能の検証が大変重要になってきています。SoCではデジタルだけでなくアナログが混載されて動作の多様性が増してきており、同時に信号雑音やチップ内温度分布の影響を勘案して検証を行う必要性が増してきています。本共同研究ではVDECの使命の一つであるチップ試作評価の支援を効果的に行う方法として、SoCテスト・検証のためのインフラIP・プラットフォームを研究開発しています。この研究成果は直接的には大学等の研究用チップ試作評価の効率化に寄与するものですが、産業界におけるSoC開発にも利用できるものであり、広い意味でSoC設計の効率化に寄与できればと考えています。

研究グループ現況紹介

東京大学大規模集積システム設計教育研究センター(VLSI Design and Education Center; VDEC)は1996年5月の発足以来9年目を迎え、その間、全国の国公立大学および高専におけるVLSI設計研究・教育を高度化し、産業界に対しても優秀なVLSI設計技術者を数多く輩出することを使命として活動を行ってきました。とりわけ、「VLSIチップ試作支援」、「VLSI設計支援教育用CADソフトウェアの整備」、「VLSI教育情報の発信拠点形成」の3つの柱を中心とした活動を続けてきており、当初の目的以上の成果を達成できていると考えております。また、2003年12月には、武田先端知ビルが竣工し、それまでキャンパス内に分散していたセミナー室、測定装置、プ



左から 吉田(D1)、鄭助手、平田上級研究員(STARC)、池田助教授、浅田教授、清水客員研究員主査(ルネサス)、小松助手、飯塚(D1)
右上: 小林先生(京都大学)

ロセス装置などが1ヶ所に集中したことで、VDECの提供するサービスの向上が期待できます。

現在、VDECには教授2名、助教授2名、助手3名、客員教授1名、流動教員2名(助教授1名、助手1名)が所属しており、各教員の所属する研究室を中心にして非常に多岐にわたって研究活動を行っています。また、学内の協力教員、学外の協力研究員、さらには全国の拠点校の教職員・学生によるボランティア等数多くの協力者の手によって支えられています。

共同研究概要

本共同研究は、「ULSI設計教育に関する研究」(研究代表者: 鳳紘一郎: 1997 - 1999年度)、「システムLSIのための再利用可能な設計資産の構築手法の実験的研究」(研究代表者: 浅田邦博: 2000 - 2002年度)に続くものです。前者において、デジタルLSIの設計フローの構築、PAD、I/Oリングなどの提供による、「セルベース設計向けプラットフォーム」の構築を行いました。また、後者において、IPとして再利用可能な設計資産の構築、およびIPを利用した設計フローの構築を行って

きました。本共同研究「SoC設計プラットフォーム・マクロの研究」は、それらを受けて発展させた研究であるとも考えることができます。

本研究は、今後重要になると考えられるチップ上でのテスト、および動作状態のリアルタイムでのモニタリング、といった目的を持っており、VDECの使命であるVLSIチップ試作支援の延長線上にあるVLSIチップ試験支援を視野に入れています。従来、チップ上のPAD、I/Oリングから構成されるチップ周囲部分(プラットフォーム)に、信号のスキャン機能などを付加したiPADプラットフォームの構築およびその実装を目的としています。本プラットフォームをVDECユーザに提供することで、設計試作したLSIを電源と極少数のピンのみを外部に接続することで、簡単な動作試験を可能とし、LSI設計試作フローにおける試験・実チップ動作の検証に対する障壁を下げることを目指しています。

本研究で研究開発を行う「SoC設計プラットフォーム・マクロ」は、図1に示すとおり、

(1) 最小限のCPUコアとメモリー(ROM/RAM)を含むプログラム機

客員研究員主査からのコメント

㈱ルネサステクノロジ

清水 徹

東京大学大規模集積システム設計教育研究センター(VDEC)は、平成8年5月の発足以来、全国の国公立大学や工業高等専門学校でのLSI設計教育とチップ試作を支援してきました。このVDECの活動を通じて、大学や高専の研究室にとって以前はごく限られていたチップ試作の機会が拡がり、研究開発の成果をより具体的な形で検証する活動が増えています。主要国際学会等でも、大学や高専からのLSI研究成果の発表件数が増え、また産業界にとっても、理論やシミュレーションだけでなく実際のチップでの評価が伴うことにより、製品開発等への成果の活用がより具体的に検討できるようになってまいりました。

一方、製造技術の微細化に伴い、試作チップといえども設計規模が拡大し、周波数が向上しております。その結果、試作チップの動作や性能の評価ボードやテスト・プログラムの開発に多大な作業が必要になってきており、その評価準備が十分に整わないために、試作チップでの評価が単なる機能確認に留まり、さまざまな特性評価ができずに終わってしまうケースも出てまいりました。これでは、貴重なチップ試作の機会が十分に活用されないだけでなく、実際にチップを試作して評価して得られた知見を次の改良に活かしていくという研究開発のフィードバック・ループが閉じないことになり、研究・教育の双方の面で大きな問題となります。

これに対して浅田研究グループでは、「iPAD」と呼ぶオンチップ・テスト機能を開発しております。iPADは、テスト機能のコントローラ、試作回路とのテスト・インタフェース、外部のPCとテスト・データをやり取りする通信インタフェースを備えており、チップの設計時に試作回路とともにiPADを組み込むことで、試作チップをPCに繋がれば標準的な評価が実行できる環境を目指しております。浅田研究グループでは、よりコンパクトで有効なiPADの開発を進めております。また、この研究は、システム設計者が開発した多数のIPが搭載された大規模なシステムLSIのテスト・評価技術に対しても役立つ知見が得られるものと期待しております。

常温度、異常雑音等の監視回路)としての働きを持つことで、SoC設計開発・試験とともに異常解析の支援の実現できるといえます。

現時点では、基本的なオンチップ・テスト機能(デジタル入出力ピン、アナログ入出力ピン:DCスキャン、タイミングスキャン)を持つ第1バージョンiPADについて、(1)各構成要素(CPUコア、インタープリタ形CPU制御プログラム、シリアルI/O、ROM/RAM、I/Oピンマルチプレクス回路、AD/DA回路、遅延制御回路)の試作・評価、(2)第1バージョンiPADの完成と評価、のそれぞれがほぼ完了しており、今後はユーザによる利用事例を増やすことでiPADの有用性を示していきたいと考えています。また、同時に第2バージョンiPADの構成要素である、TCP/IPインタフェース、温度サンプリング回路、電源ノイズサンプリング回路の試作・評価も行っており、本共同研究の最終年度(平成17年度)での第2バージョン完成を目指しています。

STARCとの共同研究に関して、非常に有益であると思われることは、企業で活躍されている研究員の方々と活発に議論をしながら研究開発を進めることができることです。とくに、LSIチップのテストについては大学と比較して企業が先んじている部分が多く、的確なアドバイスにより効率的に研究を進めることができ、ここに感謝する次第です。

能を持つ

- (2) プラットフォーム・マクロ自身のセルフテスト機能を持つ
- (3) RS-232C、TCP/IPなどで直接外部と接続しテキストコマンド・ベースでユーザと通信する基本機能を有する
- (4) プラットフォーム・マクロ以外のオンチップデジタルIPに対しバウンダリ・スキャン・ベースのテストインターフェースを持つ
- (5) プラットフォーム・マクロ以外のオンチップアナログIPに対しマルチプレクサ・セレクトラ・ベースでのAD/DAテストインターフェースを持つ

ものです。このプラットフォーム・マクロは用途ごとのSoC本体部と合わせてSoCを構成しますが、それ自体で上記の機能を有し自立的に動作するコア回路でもあります。SoC設計開発段階ではオンチップ・テスト手段としての機能を果たし、通常動作時には、オンライン動作モニタ回路(異常動作、異

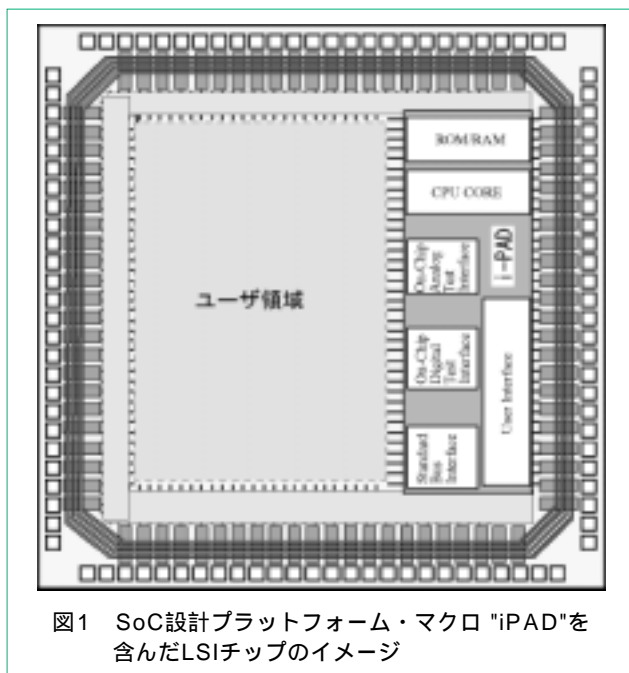


図1 SoC設計プラットフォーム・マクロ "iPAD" を含んだLSIチップのイメージ

共同研究 グループ 便り

小池研究グループ

テーマ名 界面制御された高信頼Cu合金配線の開発

研究代表者 東北大学大学院 工学研究科 教授

小池 淳一(こいけ じゅんいち)

私達の研究室では機械的性質や組織的観点からデバイス材料の信頼性の研究を行っています。例えば、有機基板上の銅薄膜やITO(Indium Tin Oxide)透明導電薄膜の力学的信頼性の研究に携わっています。これらの材料は液晶や有機ELを用いたフラットパネルディスプレイ部品や有機トランジスタなどのデバイス性能と信頼性に影響を与えます。これらの研究に加えて、銅配線を用いた半導体配線の信頼性も重要なテーマとなっています。これまでに銅薄膜のストレスマイグレーション、メッキ膜の組織形成挙動、Cuとバリア層界面の密着強度評価などの研究を行ってきました。

STARCとの共同研究は、45nmテクノロジーノードの半導体配線の信頼性と性能を向上するための基盤技術確立することを狙っています。期間は2003年 - 2005年度の3年間です。この研究を行うことになった動機を簡単に説明します。現在出荷されている半導体のテクノロジーノードは90nmですが、今後65nm、45nmと世代が進むにしたがって、配線に関わる問題が今まで以上に顕在化してきます。45nm世代では配線の実効抵抗の上昇を抑制するために高抵抗のバリア層の厚さを5nm以下にしながら、ストレスマイグレーションやエレクトロマイグレーションなどの信頼性の問題を同時に克服する必要があります。バリア層を薄くすることはALD (Atom Layer Deposition)などの新しい成膜技術を用いて活発な研究が行われていますが、絶縁層との密着性に乏しいため、配線と絶縁層界面に高速拡散経路を作ってしまう、信頼性の問題を克服することが困難となります。

これらの問題を一気に解決する方法



後列左から 羽根田院生(M1)、高橋客員研究員(ソニー)、清水客員研究員(富士通)、和田院生(D3)

前列左から 吉丸上級研究員(STARC)、小池教授、柴田客員研究員主査(東芝)

としてバリア層の自己形成技術があります。これは配線材料として純銅の代わりに銅合金を用い、加熱プロセス中に合金元素を絶縁層との界面に拡散・反応させることによってバリア層を形成しようというものです(図1)。この技術に関しては90年代から多くの研究が行われていますが、バリア層を自己形成した例はあっても、薄く均一であることと配線抵抗を純銅レベルに維持することが困難であり、未だに実現していない技術です。本研究はこの問題に対して新たな研究手法で挑戦し、2~3nmの均一な厚さを有するMnSi_xO_y層を界面に自己形成することに成功しました。

研究の概要を説明します。問題解決の原理は次のようになっています。まず、銅に添加する元素は酸化物の形成傾向が高い元素とします。こうすることで、この添加元素はSiO₂のような酸素を含有する絶縁層に向かって拡散する駆動力を有していることとなります。銅中の拡散係数が銅自身より速いことも肝心です。こうすることで、添

加元素は酸化物を形成しようとする駆動力の下で銅より速く絶縁層界面に到達します。これらの項目に加えて、いくつかの熱力学的考察を加えます。その結果、選択された添加元素は5元素ありましたが、これらのうちMnを用いて狙いどおりのMnSi_xO_y界面層を自己形成することに成功しました。界面層の厚さは2~3nmで均一かつ均質です。構造は非晶質相であり、高温熱処理条件下で優れたバリア性能を有します(図2)。また、従来の銅合金で問題となっていた電気抵抗は、純銅と同等の値を示します。さらに、デュアルダマシン2層Cu配線の試作も順調に運び、期待通りの結果が得られています。

今回の研究で見出したバリア層自己形成技術は、現状のTa系バリア層を有する場合と比べて、性能と信頼性に優れた配線構造を提供できることが期待されます。また、高価なTaターゲットが不要となり、Ta/TaN形成プロセスが省略できるというコスト面での利点もあります。さらに、この技術は現状

のCuターゲットをCu-Mn合金ターゲットに変えるだけで実現できるため、新しい装置を必要としません。クリーンルーム汚染問題がクリアされれば、45nm世代だけでなく銅配線を使用するデバイス全般に適用することが可能になると期待しています。得られた成果は前倒して技術移転されることになりました。残りの1年は、バリア層自己形成の速度論とメカニズムを解明し、実用化の際に有用となる基礎的な情報収集を行っていきたくと考えています。

最後になりましたが、客員研究員の方々には非常に積極的に研究に参加いただき、多くの助言をいただきました。また、2層配線の試作結果があって初めて本研究のインパクトを明確に示すことができました。ご支援いただいている研究員の皆様に対しまして、この場を借りて感謝いたします。

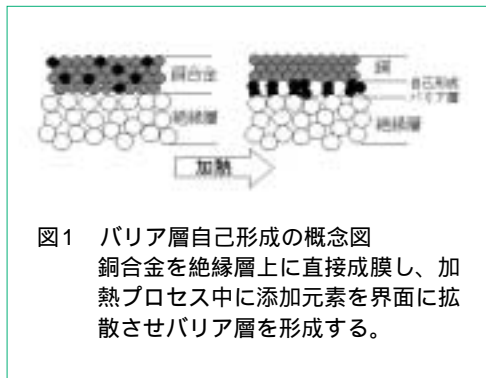


図1 バリア層自己形成の概念図
銅合金を絶縁層上に直接成膜し、加熱プロセス中に添加元素を界面に拡散させバリア層を形成する。

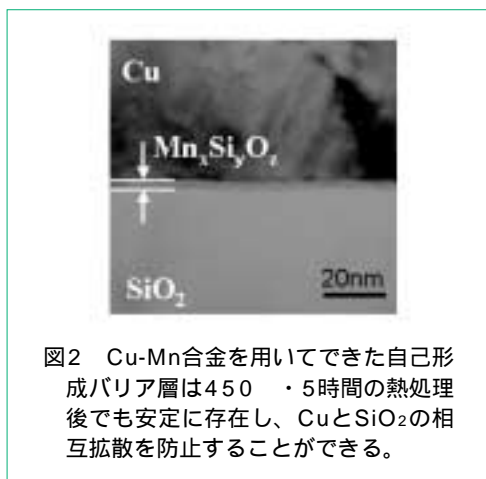


図2 Cu-Mn合金を用いてできた自己形成バリア層は450・5時間の熱処理後でも安定に存在し、CuとSiO₂の相互拡散を防止することができる。

客員研究員主査からのコメント

(株)東芝 セミコンダクター社 SoC研究開発センター

柴田 英毅

SoC (System on a Chip) の高性能化や低消費電力化を実現していくためには、MOSFETの駆動能力向上やリーク電流低減はもちろんのこと、論理回路を構成する多層金属配線を通した電気信号の伝播遅延時間を短縮することが極めて重要になります。それには、130nm世代から導入された銅 (Cu) 配線の電気抵抗と、Cu配線を取り囲む層間絶縁膜の静電容量を確実に小さくしていくことが強く求められます。とくに、Cu配線の電気抵抗は、Cuの周りをCuよりも約2桁比抵抗が高いCu拡散バリア層 (通常Ta系薄膜材料) で被覆していますので、配線幅の微細化と同じ割合でバリア層の厚みも薄くしていかなないと配線抵抗は大幅に増大してしまいます。ITRS2003では、45nm世代以降のバリア膜厚として5nm以下を要求していますが、現状の物理気相堆積 (PVD) 法では原理的に微細な配線溝やビアホール内に均一に形成できず、一方、化学気相堆積 (CVD) 法では原子密度の低い低誘電率 (Low-k) 絶縁膜中に容易に拡散して配線間リーク電流を増大させたりする問題があります。さらに、TaはLow-k材料の影響を受けて酸化されやすく、かつCuとの密着強度が低いためにストレスマイグレーションやエレクトロマイグレーションなどの信頼性を確保するのが非常に難しい状況にあります。

東北大小池研究グループでは、こうした深刻な技術課題をブレークスルーするために、絶縁膜上に直接Cu-Mn合金を成膜し、その後加熱処理を行うことによってバリア層を自己形成させるプロセスを考案し、実際にベタ膜実験において、超薄膜 (2-3nm) のMnSi_xO_yが均一に形成されることを世界に先駆けて実証しました。またこの時、MnはCuに固溶しないためにCuの電気抵抗を増大させないことも見出しました。これまで世界的に見れば、90年代初頭から米国の研究者が他の合金元素 (Mg、Al、Snなど) について同様の研究を行っていましたが、いずれもCuに固溶して電気抵抗を増大させる結果に終わっていたことを考えると、まさに従来の認識を覆す革新的な技術といえます。

しかしながら、この革新的技術が将来本当に実用化できるポテンシャルを持っているかどうかを早期に見極めるためには、やはり実際に微細Cu配線構造へ適用して電気特性や信頼性評価を行う必要があると我々客員研究員は強く思い、クリーンルーム汚染問題を回避するために装置メーカーへ一部の試作業を委託しながら苦勞して試作を行い、ついに90nm世代の2層Cu配線において自己形成プロセスの有効性を検証することに成功しました。

こうした試みはSTARCでは前例がないと聞いていますが、とくにプロセス関係の研究テーマでは避けて通れない課題でもあり、今回の成功は産学協同の大きな成果といえるのではないのでしょうか?すでに共同で、Mnそのものやその成膜方法だけでなく、Cu配線に応用した場合に想定される構造やプロセスを網羅した特許も出願済みで、早期の技術移転も検討中です。今回ご紹介したこのCu配線の限界を打破できる可能性を持つ有望な技術が、45nm世代で実際に実用化できるようにこれからも客員研究員一同強力に支援していきたくと考えています。

低電圧システムオンチップRAM開発

低電力技術開発室メモリグループ 戸田 春希、市橋 基

「あすか計画」の下、'02年度から低電力技術開発室は、システムオンチップメモリの低電力化の検討を開始した。'02年はセルの検討、'03年はメガビット級のアレイシステムの検討と設計、'04年は、90nmプロセスでのTEG試作と測定を行った。'04年11月に技術説明会を開催、クライアント各社に技術公開を行いSTARCにおける開発を完了した。ここでは技術の一端を紹介する。

背景

SoCに搭載されるメモリの状況

各種のロードマップの予測によると、SoC (System on Chip) に占めるメモリの割合は、90nm世代で全面積の80%以上になると、予想されている。各世代での消費電流を見ると、90nmプロセス世代以降、電源を入れておくだけで電力を消費するリーク電流は、SoCの動作電流以上(全消費電流の50%以上)となる。さらに65nm世代になると、消費電流の4分の3以上がリーク電流となる。これはほとんどオンチップメモリの待機時電流が占めると、予測される。携帯端末向けのSoCには、低消費電力のシステムオンチップメモリが必須であり、とくに待機時電流の削減は、解決しなければならない大きな問題である。

システムオンチップメモリの現状

そこで、SoCによく用いられるRAM (Random Access Memory) のSRAMとDRAMの特徴を見ると、一般的なSRAMでは、セルは6素子から構成され、基本的には、ロジックプロセスで作ることができる。しかし、トランジスタのリーク電流が増加すると、オンとオフのトランジスタの組合せでセルが構成されているため、待機時のデータ保持電力は、急激に増加する。また、読出し時にセルデータが壊れずに安定した動作 (SNM : Static Noise Margin) を確保するためには、トランジスタ寸法をプロセステクノロジーのノードに沿って単純に微細化できず、低電圧電源での動作も難しい。

一方、DRAMはセルが2素子で構成できるが、キャパシタに蓄積された電荷量そのものがデータであるので、大きなキャパシタ容量が必要となる。したがって、微細化するには電荷容量を大きくするためにキャパシタの誘電材料として新材料を導入したり、キャパシタの形状として立体構造化し面積を増したりするなど、ロジックプロセスのみでの構成は難しい。また、キャパシタに蓄積される電荷量に信号量が依存

するため、電荷量を少なくするような低電圧電源での動作は困難である。

ATC-DRAMが目指し実現するもの

このような状況のブレークスルーとしてSTARC低電力技術開発室で提案するのがATC-DRAM (Asymmetric Three-Transistor Cell- DRAM) である。ATC-DRAMの目標仕様は標準のロジックプロセスのみで

メモリセルサイズはSRAMセルの半分程度

制御回路を含んだRAMの面積は70%程度

低電圧 (0.5V) 動作が可能

待機時電流はSRAMの100分の1程度

を達成することである。ATC-DRAMは3つのトランジスタを用いたゲインセルタイプである。DRAMとあるが、複雑なプロセス工程を必要とするeDRAMなどで用いられるようなセルキャパシタは用いない。さらに、スタンバイ時には、セルアレイのドレイン・ソース間電位を0Vにすることでオフリーク電流をなくすメモリ回路システムであり、低電圧動作での低電力化に加えてゲートリーク電流を小さくするために、セルアレイ低電圧化するなどの対応で、低消費電力のシステムオンチップメモリを実現することを目標とした。

技術内容

ATC (Asymmetric Three-Transistor Cell)

ATCは標準プロセスのトランジスタ3つから構成され、Pタイプトランジスタを書込み用、Nタイプトランジスタを読出し用に用いる3トランジスタから成るセルである。書込み時は、ワード線WWLとビット線WBLを用いて、ノードSに電荷を転送する。読出し時は、ワード線RWLによって選択されたセルの電流をビット線RBLとセルの接地レベルVSRの間に

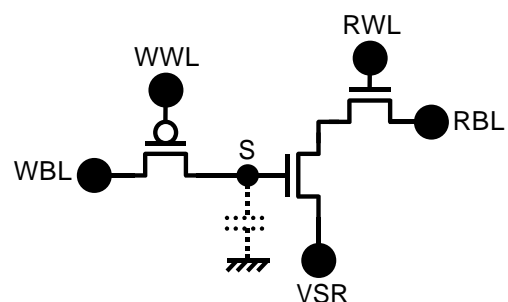


図1 ATC (Asymmetric Three-Transistor Cell)

流して、ノードSのレベルを判定する。Pタイプトランジスタを使うのが大きな特徴である。なお、名前のAsymmetricは、回路構成、セルレイアウトが非対称で、セル電流の保持データレベル依存性が非線形であることに由来する。

ATCの長所

微細化されたトランジスタのリーク電流には、リーク電流の増大が電圧に対して指数関数的な増加を示すゲート酸化膜を介してのリーク電流と、電圧にほぼ比例した増加を示すドレイン - ソース間のオフリーク電流がある。ATCでは、セルに関するリーク電流は、トランジスタのゲート酸化膜を介してのリーク電流が大部分であり、低電圧でセルを動作させられることでリーク電流を大きく減らせることが大きな長所となる。SRAMではトランジスタのオフリーク電流が大きな割合で加わり、低電圧動作も困難なことからデータ保持時のリーク電流が大きい。

また、ATCでは、NとPの両タイプトランジスタの存在により、ノードSへのゲートリーク経路が流入と流出の双方向となっている。このためセルの電位レベルの最終平衡レベルが“1”と“0”との中間レベルになり、大きなキャパシタを設けることなく、リーク電流によるデータ破壊に対するデータの保持特性が向上することも大きな特徴である。ATCでは、セルのリフレッシュ動作が必要であるが、低電圧動作でのデータ保持特性がよいので、リーク電流が多くなるSRAMよりデータ保持電力を減らすことが可能である。

低電圧高速センスアンプ・FFSA

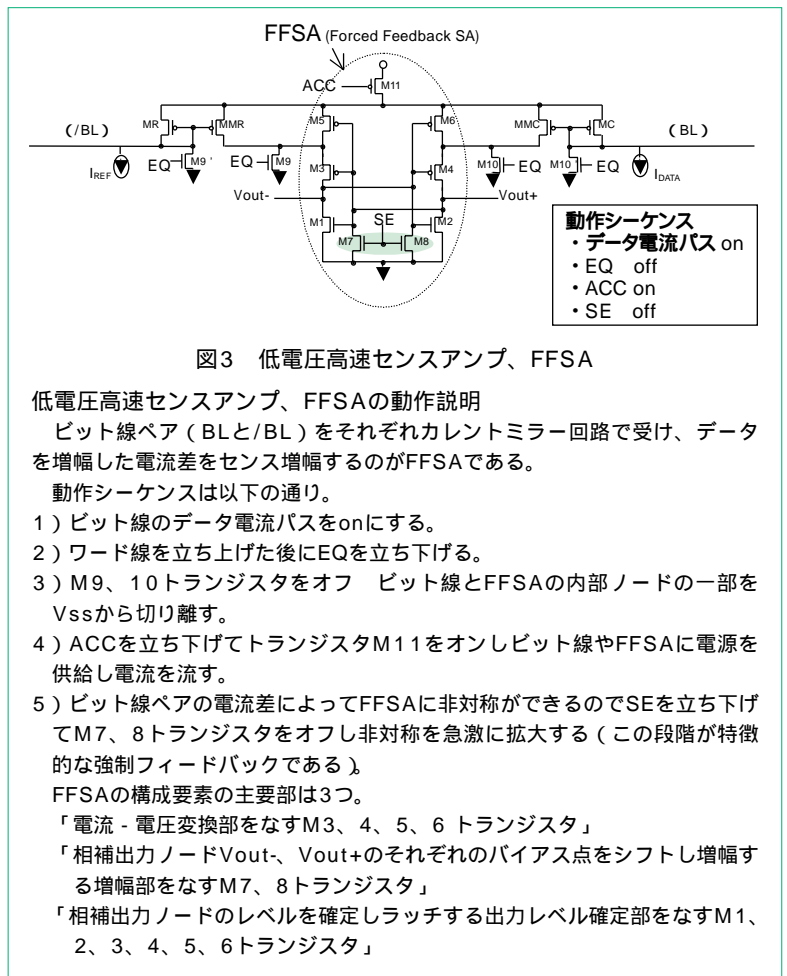
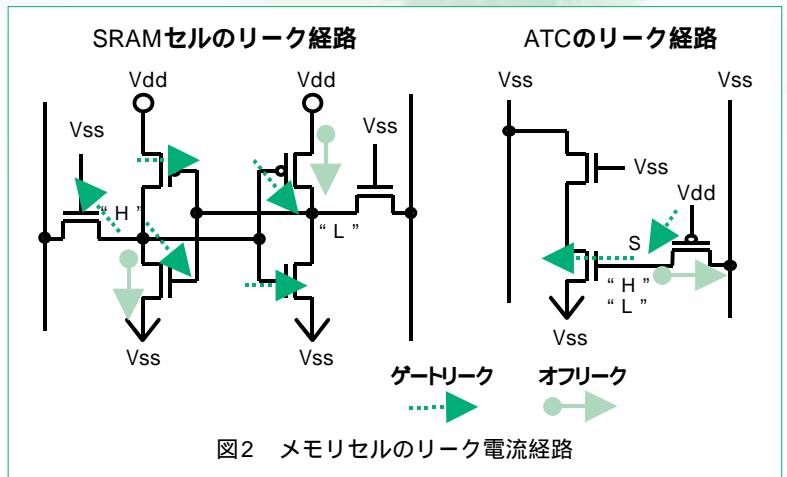
ATCは、低電圧で動作させることが特徴であり、セル電流は1 μ A程度と小さい。低電圧で微小な電流を高速にセンスすることがATCをメモリシステムとして利用するためには必要となる。こうした微小な電流を検知するセンスアンプとしてFFSA

(Forced Feedback Sense Amplifier)を開発した。対称性の高い初期状態にセル情報による微小な非対称を導入して、これを急激に増幅し安定化するというコンセプトで低電圧動作と高速性を兼ね備えたセンスアンプとして考案したものである。低電圧で微小電流差を高速に検知しなければならない用途にも応用可能な技術である。

FFSAの基本コンセプトは次の通りである。

- 【センス直前および初期状態】：外部のノイズ擾乱の影響やセンスアンプ自身の非対称性の影響を最小限に留める。
アンプと検知するノードはVssとする。アンプのゲインはできる限り低くする。
- 【増幅期】：アンプの対照的な状態を外部信号の僅かな差で均衡状態を崩し、非対称性を拡大する。
信号が確定したらゲインを急激に大きくする。
- 【データ保持期】：出力ノードはVddとVssにつながり、電源間には貫通電流が生じない。
ラッチ構造を取り、確定したデータを保持する。

FFSAの動作説明については、囲み記事をご覧ください。



実証と成果

TEG試作

メモリスステムの実証として「ASPLA 90nm Technology Generic Process (AS90 G)」を用いて1 Mbit ATC-DRAMを4つ搭載したTEGを試作した。1 Mbit ATC-DRAMは、センスアンプ系列が4つから構成され、512ビットのデータ線を32I/Oに絞り込むMUX & Buff. 部によってデータのやり取りを行う。セルアレイは、センスアンプを中心に32×512の16Kbit構成のMATと称するセルアレイを片側に4つ、左右両側で合せて8つ持つ。周辺回路には、リフレッシュやデコードのためのリフレッシュ カウンターとアドレス デコーダ (RF counter & add. Decoder) も備えたメモリスシステムである。

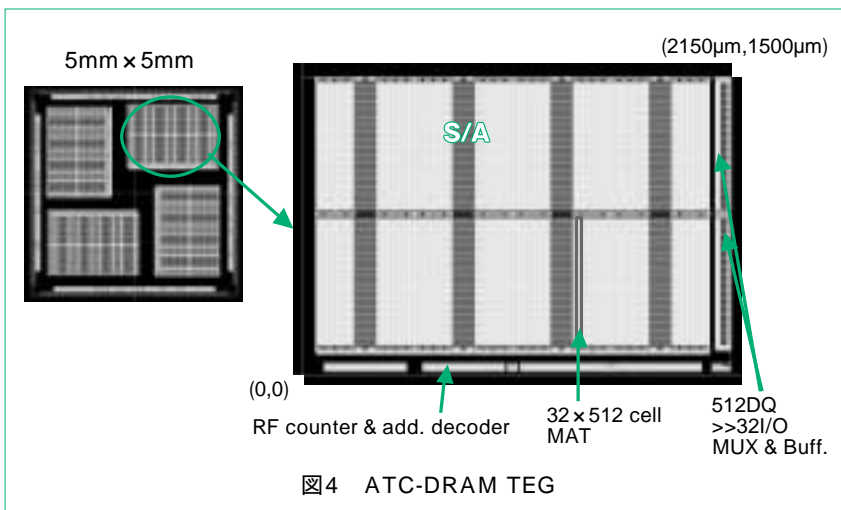


図4 ATC-DRAM TEG

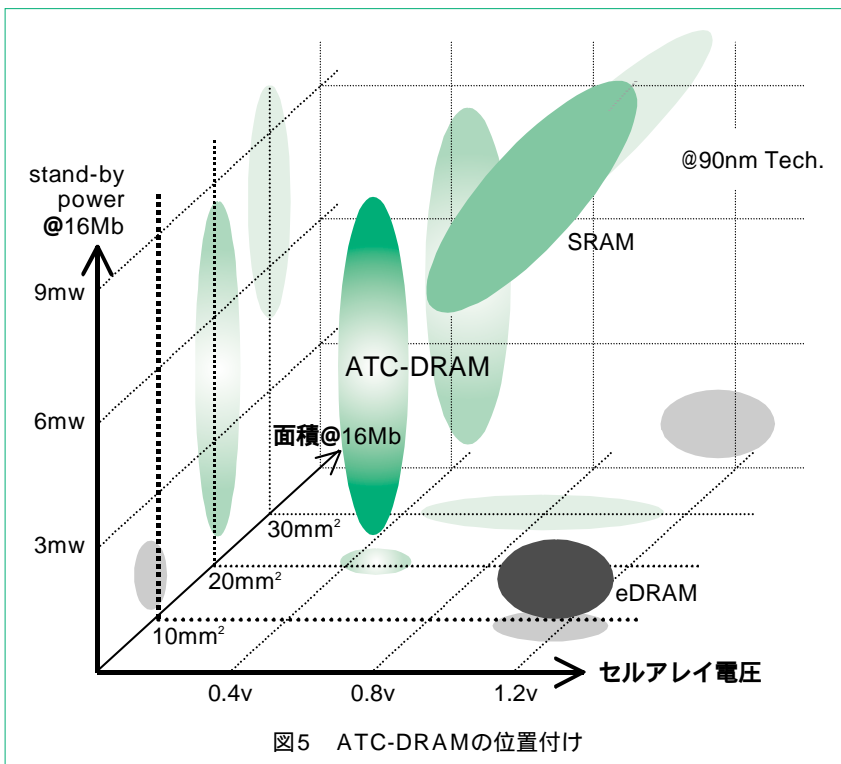


図5 ATC-DRAMの位置付け

ATC-DRAM評価

TEG試作を一通り測定し、得られた結果の検討から、セルを構成するトランジスタの酸化膜をチューニングにより、同じプロセスのSRAMに比べデータ保持電流は数十分の1にできることが確認でき、ATC-DRAMの特徴と制約も明確になった。

SRAM並みの動作性能を低消費電力と小さな面積で実現できるが、データ保持時のリフレッシュ動作が必要であり、さらにデータをセルに書込んだ後には書き込み動作によるセルデータのリーク電流の加速を解消するためのリフレッシュを入れなければならないという制約がある。

ここでATC-DRAMの特徴と制約をまとめると以下のようになる。

【特徴】

Logicプロセスだけで構成できる。

ランダムアクセスはSRAMと同レベルである。

ReadとWriteはデータパスが異なるため、Dual Port RAMの構成も実現可能。センスアンプをビット線ごとに持っている都合上、512b並列データ転送などが容易で、広いデータ転送帯域が必要となるアプリケーションで有効に利用できる。

【制約】

リフレッシュ動作を定期的に入れる必要がある。

Write動作直後に続けて固有のリフレッシュを入れる必要がある。

このため、Writeスピードは見かけ上Readスピードの半分近くになる。

まとめ

90nm以降、種々のリーク電流が消費電力を決める世代においても、ATCを用いれば標準ロジックプロセスのみで構成できる低消費電力オンチップRAMが実現可能であることを示した。また、ATC-DRAMをTEGとして構築する具体的な検討の中から、他のシステムへの応用可能な低電圧高速センス方式FFSAなどを提案した。

以上、本研究はリーク電流による待機時消費電力が支配的となる世代において、SoC搭載メモリを検討する際の重要な視点を提供した。実製品において本技術が活用されることを期待して紹介を終わりたい。

第8回 STARCアドバンスト講座 「高位設計における低消費電力設計技術」開催される

教育推進室 渋谷 寛人

第8回アドバンスト講座開催

昨年10月14日に第8回アドバンスト講座が開催された。テーマが多くの設計者が興味を持っている最先端技術「高位設計における低消費電力設計技術」であることと、東京会場を送信サイトとして双方向テレビ会議システムMeeting Plazaを使用してインターネット経由で大阪会場およびクライアント社の9受信サイトへ配信し、遠隔地における受講を可能にしたため受講者総数が375名と多数が受講し、またMeeting Plazaを通して東京会場と各社サイトの間で活発な議論が行われ、盛況であった。

セミナー概要紹介

バッテリー駆動の携帯情報機器やサーバー/ワークステーション向け高性能CPUチップ等にみられるように、消費電力を意識した設計(Power-Aware Design)が重要度を増している。これまで、RTL設計以降の下位設計(RTL、論理、回路、レイアウト)における技術が数多く開発され、実際のLSI製品への適用が進んでいる。ゲートドクロックはその代表的な例であり、自動設計ツールの整備も進んだことから、今や低消費電力技術のデファクトスタンダードとなりつつある。また、RTLやゲートレベルで電力を見積り解析するツールも、EDAベンダから市販されており、広く浸透してきている。

これに対し、RTLよりも高位の設計、すなわちアルゴリズム設計やアーキテクチャ設計における低消費電力技術については効果が大きいにもかかわらず、下位設計に比べ、まだ認知度、浸透度ともに低く、今後の技術開発が期待されている。

そこで、芝浦工業大学宇佐美公良助教授に高位設計に焦点を絞った低消費電力セミナーをオーガナイズしていただいた。

はじめに、宇佐美先生より高位設計での低消費電力設計技術について全体の俯瞰図を描くとともに、プロセスのマイクロアーキテクチャ・レベルの低消費電力技術について、代表的な最新技術を取り上げて解説をいただいた。

次に、大阪大学尾上孝雄教授に、マルチメディア処理を対象にした低消費電力アルゴリズムと設計技術について紹介いただき、三番目に、Prof. Dr.-Ing. Wolfgang NebelとDr.-Ing. Eike



東京会場(川崎グランドホテル)のセミナー風景

Schmidtより、C言語を用いたビヘイビア設計からの消費電力見積り、電力最適化を行うCAD技術について紹介いただき、実例として、ChipVision社のORINOCOというツールを取り上げ、設計手法を解説いただいた。

受講後のアンケートでは最新技術の全体を俯瞰できてよかった、原理が理解できたとの感想が多数あり、満足度も高かった。

これまでの実績と今後の予定

STARCアドバンスト講座の受講実績は2002年度と2003年度の合計で1012名あったが、2004年度は2回の開催で728名となった。また、今回の受講後アンケートでのSTARCアドバンスト講座の知名度は67%となり、かなり知名度も上がった。本年度中にさらに4講座を開催いたしますので、ぜひご参加ください。

表：これまでの実績と今後の予定

開催日	名称	会場参加者	ネット受講者	合計
2002.9/20	IP再利用教育 (SoLID編) IP開発室との共催	20		20
2002.12/2	MPEG4搭載SoCの設計技術	58	(25サイト) 225	283
2003.9/29、30	高位設計セミナー「高位レベル設計技術」	56	(12サイト) 228	284
2003.12/15	ITC (International Test Conference) 2003報告会 テスト設計開発室との共催	50		50
2004.2/27	機能検証セミナー	119		119
2004.3/12	65～90時代の物理設計技術の課題 物理設計開発室との共催	256		256
2004.7/7	システムLSI設計における機能・論理検証 - SoC設計のための実用的技術の現状 -	105	(8サイト) 248	353
2004.10/14	高位設計における低消費電力設計技術セミナー	129	(9サイト) 246	375
2005.2/10	マネージャのためのSystemCと動作合成による 設計改革セミナー(会場: STARC)	定員70		
2005.2/28 2005.3/10	上級を目指す論理設計技術力向上セミナー (2/28 会場: 大阪天満研修センター) (3/10 会場: STARC)	2/28定員60 3/10定員70		
2005.3/7	動的リコンフィギュラブルLSI技術セミナー (会場: 新横浜国際ホテル)	定員140	配信あり	
2005.3/14	SoCテスト品質向上のための設計セミナー (会場: 新横浜国際ホテル)	定員140	配信あり	

開催予定

クオリティ・クリエータの テスト設計開発室

テスト設計支援小委員会

テスト設計開発室の概要

テスト設計開発室は2003年4月にSTARC設計技術開発部にメソドロジ開発室と時期を同じくして設立され、テスト品質の向上とテストコストの低減を目指した活動が始まりました。日々、クライアントの代表からなるテスト設計支援小委員や専門家からなるサブワーキングメンバーとともに、STARCの開発に対する進め方、開発内容の検討や開発成果の早期ビジネス寄与を念頭に議論を行いテーマに取り組んでおります。

テスト設計開発室の特徴を一言で言えば、「クオリティ・クリエータ」です。テストは製造工程の最後に不良品と良品を区別し、SoCの価値付けを行う工程です。ナノメータ時代のSoCのテストは年々難しくなっており、技術的革新なしにはその信頼性を維持することすら難しくなっています。品質の低下は、単に顧客の信頼低下に留まらず、計り知れない損害をもたらすことも私たちの周りに例が見られます。

そこで、「テスト品質面でしっかりした技術を持れば顧客信頼を勝ち取り、ビジネスの特長とできる」という信念のもと、各社からメンバーが参集しました。現在、13名の出向者が集まり、各自のテーマに取り組んでいます。今までテスト関係業務は、各社個別の文化で培われ社内に閉じていることが多く、他社との思想・言葉の違いなどを感じることは全くなかったのですが、思想も定義も用語も異なる会社からメンバーが集まりゴールに向かって協力しあうことは、前例が

ない画期的であると思います。プロジェクトもすでに3年目が近づき、成果の刈り取りがメインテーマになりつつあります。大リーグ・マリナーズイチロー選手の年間最多安打記録のように、着実な歩みの積み重ねで成果を出していくつもりです。今後とも皆様のご支援をよろしくお願いいたします。

佐藤室長【去年の出来事】とまかく目まぐるしい一年でした。2年目で技術成果がようやく見え出したのですが、早くもゴールへ向かったスパートが必要になっています。米国のEDAベンダといろいろ打ち合わせを行い、錆付いた英語を少しずつ思い出しつつあります。



【今年の抱負】英語は諦め気味なので、フランス語をマスターしたい。春と夏にハイドンとベルディのレクイエムを歌う予定で練習しています。感動させます。

【STARCの印象】皆さん一生懸命努力している印象で、活力があります。各社のいろんな方に会えるのはいい経験になります。朝、小机駅からSTARCまで鶴見川沿いの土手を歩いています。痩せられません！

【お国自慢】富山は海の幸、山の幸、おいしい水の豊富などです。金沢にも住んでいました。故郷は遠きにありて想うもの（犀星）。。

メンバー紹介



浅香【今年の抱負】胸を張って持ち帰ることができるレベルまで、成果の完成度を高めることです。

【STARCの印象】事務所が静かで、仕事の環境はよいですね。

【お国自慢】都電荒川線の始発停留所「三ノ輪橋」が最寄り駅です。ねずみ小僧のお墓が近くにあります。特定の職業の方々がご利益にあやかるべく、墓石を削ってお守り代わりに持ち帰るので、ぼろぼろです。



大谷【去年の出来事】後半は武蔵野線のダイヤの乱れに祟られました。

【今年の抱負】運動不足解消と持久力回復のため、登山を再開。山の鋭気を充電してDFT開発を頑張る。



小田代【今年の抱負】テスト戦略の総仕上げ。クライアントの皆さんに少しでも多く活用してもらおうよう頑張ります。プライベートでは、四十肩の克服です。

【STARCの印象】いろんな会社の文化に触れることができ、新しい発見ができます。

【お国自慢】私の故郷は鹿児島です。周りのみんなは桜島の火山灰を話題にするけど、最近では灰なんてめったに降らないですよ。それと、新幹線がやってきたと。



真田【去年の出来事】仕事一筋のため、文化的雰囲気まったく浸れなかった。

【今年の抱負】マラソン3時間15分以内と精神入替えに四国八十八ヶ所巡ること。

【STARCの印象】新横浜ビジネス街が何と10分歩けば急激な田舎。ランニングにもってこいです。

【お国自慢】常に時代から取り残されている街「金沢」出身です。300年の伝統が息づいていて、回顧趣味ブームで観光地として人気があります。



杉浦【去年の出来事】研究会やフォーラム等に参加ができ有意義でした。

【今年の抱負】自分のオリジナルアイデアを組み込んで成果を出したいです。

【STARCの印象】第一印象「とてもサッパリした環境！」が感想でした。今は多人数で印象は変わりました。

【お国自慢】出身は愛媛/松山です。名所は道後温泉(奥道後温泉)忘れてはならない愛媛大学。山側では雉・猪に出会える長閑な場所も多数あります。



下田【去年の出来事】気象予報士試験に合格したこと。

【今年の抱負】今年は大厄を迎えます。体だけは壊さないように頑張りたいと思います。

【STARCの印象】異文化交流の場という印象があります。この恵まれた環境と人脈をうまく活用したいという思いがあります。

【お国自慢】全国的に自慢できるものといえば、明石焼きと明石海峡大橋くらいですかねえ。



高取【去年の出来事】結婚しました。

【今年の抱負】プロジェクトの最後の年なので、きちんと成果を出して終わらせることです。

【STARCの印象】他社の人と一緒に働くという環境は、何かと刺激になり、仕事に対する視野を広くしてくれました。今後は、STARCで得つつある経験を出向元でどのように生かせばよいかを考えていきたいです。



田中【去年の出来事】新横浜に越してきました。そしてSTARCに派遣され、早くも半年になります。

【今年の抱負】体脂肪率を下げる。スポーツするぞ!お菓子を控える...

【STARCの印象】とても静かで仕事がかどります。

【お国自慢】大阪に9年間在住(一番長い)。阪神タイガース・お好み焼き・大阪城・大阪のおばちゃん(自慢?)



野津山【去年の出来事】テスト品質関連技術全般の勉強、実デバイス不良の状況調査、新しい手法提案等でき、まずまずの1年でした。

【今年の抱負】今年EDAベンダが思わず欲しくなるような手法・技術を開発したいと思っています。

【STARCの印象】テスト室は専門家集団で活気があります。今後EDAベンダに数目置かれる存在になればと思います。



則松【去年の出来事】長年の運動不足を解消しようと、スポーツクラブに通い始めました。まだ一年余りですが、最低週3回は通っています(効果は?)

【今年の抱負】担当の業務も漸く軌道に乗ってきたので、なんとか仕上げて行きたいと思います。

【お国自慢】宮崎県延岡市の出身です。陸の孤島と呼ばれる田舎で高校卒業まで暮らしました。



浜田【去年の出来事】新幹線が遅れて終電に乗れず、手術では不具合が出るし、PCは壊れるし、、、等々トラブル多発の年でした。

【今年の抱負】トラブルのない年にしたい。そして、半導体製品においても、トラブルを撲滅させるべく信頼性向上技術を開発し、技術立国日本の復活を担います!



前田【今年の抱負】テスト業界の人が幸せになれるように、プロジェクト完遂に向けて頑張ります。

【STARCの印象】それほど広くないビルの3フロア+ にSTARCすべての人員が収まっている点で、ごんまりとしていて、機動性に富んでいます。

【お国自慢】奄美大島出身ですが、熱帯魚に囲まれ珊瑚を見ながら泳いだのは、今でもとても心に残っています。食べ物では、地鶏を使った鶏飯がお勧めです。



宮崎【去年の出来事】初めて国際学会で発表し、また大学に社会人入学する等、よい経験ができました。

【今年の抱負】目標を達成し、実りある年にしたいと思っています。

【STARCの印象】集中できるよい環境です。

【お国自慢】高校まで水戸にいました。偕楽園~千波湖周辺の散策は何度歩いても飽きないです。

1. はじめに

12月13日から15日の3日間にわたり、米国・サンフランシスコでIEDM2004が開催された。今回は50回記念大会であり、special receptionやhistorical poster session等のイベントが開催される華やかな学会であった。参加者も例年より若干多く、2000人弱とのことであった。セッション数は昨年の39より3件増え42件。発表論文数は招待講演とレイトニュースも含め248件で、昨年の発表論文数231件よりこちらも増加。論文の応募数は620件以上で採択率は36%となっている。以下、学会での論文発表件数推移、および学会トピックに関し報告する。

2. 論文発表件数推移

日本からの発表は48件で、昨年の55件、一昨年の52件より減少。大学からの発表は昨年並の10件となっている。米国からの発表は79件で、その半数を大学からの発表が占めている。大学からの発表件数は国別にみると、企業からの発表と同じく、日本が米国に続き2番目となっている。しかし、その差はまだ非常に大きいといえる。また、地域・国別の発表件数推移は、昨年までと同様の傾向を示し、その傾向がより顕著となっている。1996年よりの国・地域別の論文発表件数推移を図1に、また、企業による論文発表の推移を図2に、大学による論文発表の推移を図3に示す。96年からの推移でみると、米国はほぼ均衡、日本は明らかに減少。アジアと欧州からの発表が増えている。アジアでは、韓国が27件と一昨年の19件、昨年の24件よりさらに増加。台湾は昨年と同じ15件。また、これまで発表のなかった中国から、新たに7件の発表があった。欧州ではドイツ、ベルギー、フランスを中心に、60件近い発表となっている。図2および図3から明らかのように、アジアや欧州の発表は大部分が企業からの発表であり、大学の発表はまだ少ない。大学では、米国の発表が、突出して多く、96年から、毎年40件程度となっている。米

国の場合、若干の減少を示す企業の発表を、大学の発表が支えている状況である。大学の発表に関しては、欧州が10件から20件の間を推移、日本とアジアの大学の発表数は増加傾向といえる。しかし、日本に関しては99年から横ばいである。先に述べたように日本の大学は米国について2番目に位置するが、米国との差はきわめて大きい。今後日本の大学の発表を増やし、企業発表件数の低下を補うことが、日本の半導体研究のアクティビティを維持するためにも、必要と考えられる。

3. 学会トピック

今年のIEDMでは、歪Si関連、メタルゲート関連、およびHigh-k関連発表

に特徴がみられた。歪Siに関しては、昨年、始めてStrained silicon devicesとしてセッションが設けられたが、今年Strained silicon- との二つのセッションとなった。論文数は14件であるが、それに加えモデリング&シミュレーションのセッションでも歪Si関連の論文が発表された。Strained silicon- とでは、ともに250名から400名近い聴講者がおり、関心の高さをうかがわせた。現在、歪Siには、SiGe + SOI基板を利用した歪Si基板を用いる方法と、通常の歪んでいないSOI基板を用いMOSFET上に高ストレス膜をつける等の付加プロセスでSiに歪を発生させる方法の二種類がある。歪Si基板を用いる方法では、昨年インテルによりペンティアムプロセッサへの適用が報告されている。今回、付加プロセスを用いる方法の、Power PC、およびAthlonプロセッサへの適用が、IBM、東芝、Sony、AMDより報告された。この方法の場合、Pch-MOSFETとNch-MOSFETでストレスの方向を変える必要があるが、圧縮応力を持つSiN膜と引っ張り応力を持つSiN膜をつけ分けることでこの問題を解決している。その結果、リングオシレータ遅延を24%改善している。昨年のペンティアムプロセッサへの適用に加え、これで、現在の主要なPC用マイクロプロセッサすべてで歪Siの適用検討が報告されたことになる。また、他の発表では、昨年までに比べより詳細な検討結果が報告されており、歪Siの実用化が近いと感じられた。

Metal Gateに関しては、昨年Metal gate technologyと題して初めてセッションが設定されたが、今年Metal gate engineering and integrationのほか、Fully-silicided gatesのセッションも設定された。また、こちらも新たに設定されたセッションであるAdvanced gate-stack devicesでも、Metal gatやFully-silicided gatesとHigh-k膜との組み合わせが報告されていた。まだ実用化には課題が多く、今後この分野の研究・論文がさらに増加することが予想される。

High-kに関しては、昨年と同様に非常に発表が多かった。昨年はHigh-kの名前がついたセッションはHf-based gate dielectrics と SiO2 and high-k reliability の二つであったが、今年High-k 、High-k 、および NBTI effect in conventional and high-k dielectricの三つと増えた。また、Reliability-Modeling and Simulation、やGate dielectric reliability等のセッションでもHigh-kの発表があり、論文数

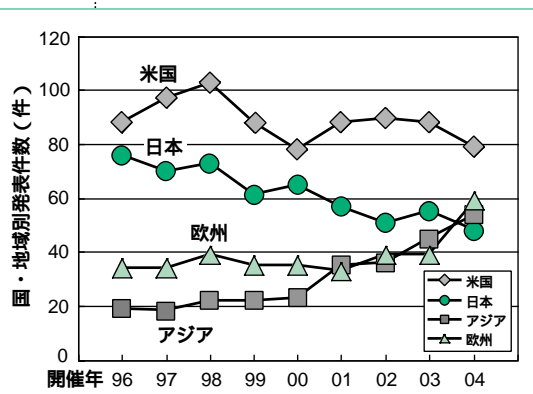


図1 国・地域別論文発表件数の推移

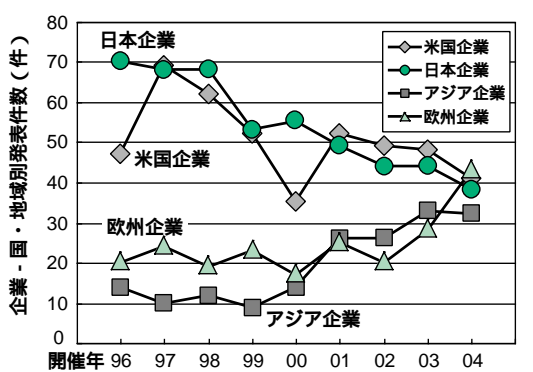


図2 企業による国・地域別論文発表件数の推移

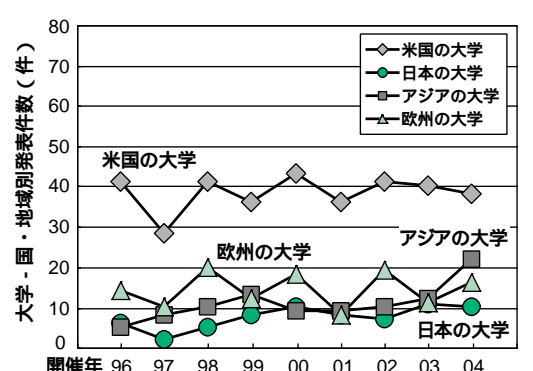


図3 大学による国・地域別論文発表件数の推移

学会報告 ICCAD2004

としては、昨年と同じく30件近い発表があった。信頼性に関する発表が多くなったのは、詳細な検討が進んでいることの現われと考えることができる。ただ、関連するセッション数が多く、比較的広い部屋が与えられていたためかもしれないが、各セッションでの聴講者がかなり少ないと感じられた。更なるブレイクスルーが必要とされているのか、それとも実用化が近いのか、技術的過渡期なのかもしれない。

4. STARC関連発表

今回のSTARC共同研究関連の発表は、東京大学の鳥海先生のグループと東京工業大学の益先生のグループの2件であった。鳥海先生のグループは、歪Siのセッションで、S(100) X 110 X 111) 面上のMOS反転層移動度の異方性と、それが歪により異なる挙動を示すことを報告し、多くの質問を受けていた(講演番号: 9.5)。また、Advanced Logic and Platform Technologyのセッションで、益先生のグループは、伝送線路配線構造を用いることで、45nm世代で回路の動作周波数が15GHzから40GHzに向上し、同時に消費電力も低減できることを示し、将来の伝送線路配線構造の重要性を明らかにしている(講演番号: 28.7)。また、STARC共同研究関連ではないが、東京工業大学の岩井先生がプレナリーセッションで Future Semiconductor Manufacturing-Challenges and Opportunities 題した招待講演を行い、好評を博していた。

5. まとめ

今回のIEDMのパネルディスカッションは、What will End CMOS Scaling - Money or Physics?と Nanoelectronics - Now or Never? の二つのテーマであった。スケールリングは今後も重要だが、それだけではソリューションとして限界があるという意味合いでのテーマ選定と考えられる。

また、広い部屋は与えられていなかったが、IBMがカーボンナノチューブを用いたField effects transistorに関する発表を、ケンブリッジ大学がナノワイヤの発表を行ったNano-Computing Devices(Emerging Technology)のセッションが盛況で、部屋が溢れるほどの聴講者が集まっていた。SOI、歪Si、およびMetal Gate等の新技術の研究の重要性とともに、オプトやナノテクノロジー等の他技術分野と電子デバイスの融合研究への関心の高まりが感じられた学会であった。

(研究推進部 吉丸正樹)



設計技術関連で先端的理論の発表が多く行われる国際会議 ICCAD 2004 (International Conference on Computer Aided Design) がアメリカ・シリコンバレーの中心であるサンホセ市で11月7日から11日の間に開催された。今年の特徴は、DSM時代に備えるフィジカル設計に関する論文の急増といえそうである。これまでこの会議では上流の抽象的な設計手法とか理論の発表が主流であったが、今年は微細加工進展により顕在化してきた素子とか配線特性、配線等の寄生効果の解析、低電力設計あるいはアナログ設計等の発表が目をつけた。今年は34カ国から520件の論文投稿があり、その中から127件が採択(採択率24.4%)されるという厳しさであった。採択論文数を地域別でみると、米大学88(69.3%)、米企業11、欧州大学8、アジア大学9、日本大学2、日本企業1、他8であった。日本の論文数はアジア地区の1/3で低迷している。分野別にみるとシステム設計25件、上流の合成とシミュレーション等27件、低電力とアナログ16件、配置配線・タイミング・特性等フィジカル設計が51件、テスト8件という分布になっていた。こうした傾向をここ3年と10年前(1994)および15年前(1989)と比較したのが図1の分野別推移である。数

ミクロン技術の時代(1989)では論理合成とシミュレーション分野が主流で次いで配置配線アルゴリズムのレイアウト分野が多い。最近ではSoC設計例、特性解析等のフィジカル設計とモデリング等が増えてきたことが読み取れる。図2は、論文を発表した組織別の分類を過去と現在で比較したもので、米大学が圧倒的に多く、産業界のニーズ変化に対応して研究テーマをシフトしてきていることが窺われる。産学の比較でみると世界的に企業の論文発表は減少しているが、米国では企業が減少して大学の論文が増えているが、日本では企業の論文が減少しても大学の論文は増えていない。アジア地区は台湾・中国・韓国から増加しており、日本を大きく追いついてしまった。

基調講演では、TI FellowのPeter Rickettが"Problems or Opportunities? Beyond the 90nm Frontiers"と題して行った。製品および技術のロードマップから将来の設計ニーズを予測し、パワー制御の設計・65nm設計フロー・DFM・テスト等について課題をあげた。

市場予測としては、ここ数年は急激に伸びるものは少ない。数では携帯電話が圧倒的に多く、ディジカメ・PCはそれほど伸びない。0.13um以降SoCが現実のものとなってきたが、今後ト

ランジスタの性能は伸び悩み配線性能が重要になる。90nm以降では配線で性能が支配されるようになる。微細加工で容量は比例減少するが非線形抵抗は逆に増加する。また漏洩電流も大きな問題になる。纏めると、SoC設計ではフィジカル設計・パワーマネジメント・統計的モデリングが重要になる。EDAは標準化とデータベースが重要になり、規模にたいしてはLINUXのクラス数で対応する。

個人的に印象に残ったのは、パワーマネジメントとアナログサイジングのセッションで参加者の数も多く今の関心事を示しているように感じた。

(小澤時典)

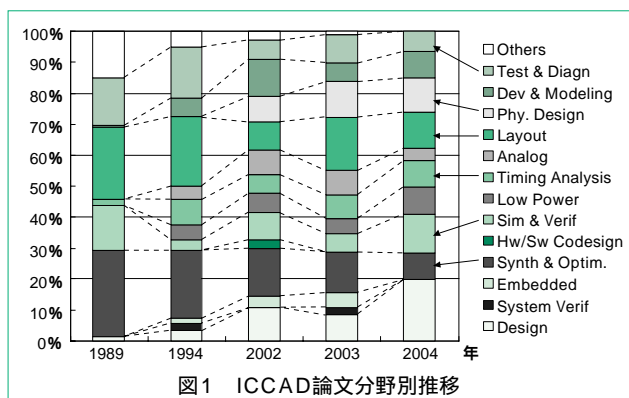


図1 ICCAD論文分野別推移

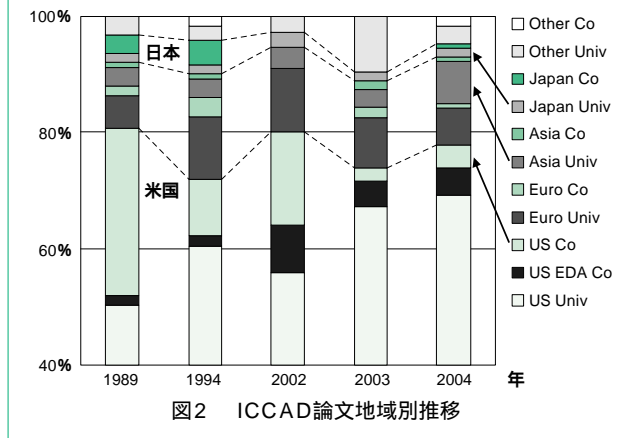


図2 ICCAD論文地域別推移

学会報告

第8回システムLSIワークショップ参加報告

第8回システムLSIワークショップが11月29日から12月1日まで北九州国際会議場にて開催された。参加者は約300人で昨年と同程度であった。今年のテーマは「情報家電向けシステムLSI構築技術」で、今後、ますますの発展が期待される次世代情報家電機器を支えるシステムLSIのアプリケーション、アーキテクチャ、設計技術、プロジェクトマネージングと多岐にわたるホットピックスが集められた。また最終日にはデザインガイアとの共同企画セッションとして「微細化世代のDFM/タイミング設計技術」が開催された。主催は電子情報通信学会集積回路研究専門委員会（ICD亀山充隆委員長）で、STARCが協力している。



北九州国際会議場

まずはじめにASPLA / STARC共同企画で「90nm世代のSoCテクノロジープラットフォーム」が紹介された。

基調講演は牧本次生氏（ソニー顧問）が「半導体産業のパラダイム転換」と題して、市場構造の転換、新技術動向、ジャパンパワーの盛衰について述べ、日本が強みとするデジタル情報家電により復活するとの力強いメッセージであった。

特別招待講演では黒田忠広教授（慶應義塾大学）が「システムLSIの課題と展望」について講演した。インテル社がペンティアム4の高速版（4GHz）の開発を中止した記事を紹介し、CMOS集積回路は漏洩電流と発熱のために限界に近づきつつあることを示した。しかし、微細化の限界を克服するさまざまな技術を紹介し、半導体産業は今後も発展と進歩を続けるであろうと述べた。とくに誘導結合を用いた高密度3次元実装は興味深い将来技術であった。最後に「システムLSIは未来文明の夢を現実の形にする楽しい研究である」と将来を担う学生諸君に力強いメッセージを送った。

2日目の特別招待講演は斎藤光男氏（東芝）が「大規模LSI開発マネジメン

ト」と題して、プレイステーション用のエモーション・エンジン開発秘話を興味深く語った。伊東での合宿に始まり、当時の技術レベルでは不可能と思えた300MHzに挑戦し、さまざまな障害を乗り越えて、無事出荷にこぎつけたサクセスストーリーはNHKの「プロジェクトX」を髣髴とさせた。最後の「なぜプロジェクトが成功したか？」「高い目標を設定され、それに答えようとするエンジニアがいた」が印象に残った。

その他に携帯電話やプロセッサやアナログ設計技術など、最先端技術を解説する10件の招待講演が行われた。

STARC企画セッションでは「情報家電向けシステムLSIの実例」を特集して、4件の報告を頂いた。中倉康浩氏（松下電器）は「デジタルTV用システムLSI開発」について発表し、TV用システムLSIはさらに進化を遂げ、デジタルTVは放送と通信の融合により見るだけTVから双方向TVへと、新たな世界が創造されると語った。山内英樹氏（三洋電機）は「Tile-noise-free High-definition Real-time JPEG2000-Codec」と題して、JPEG2000コーデックの設計事例を報告した。このLSIは高画質画像のリアルタイム処理が可能で、セキュリティ・カメラシステムなどへの応用が検討されている。古澤敏行氏（東芝）は「携帯電話用LSIとプロセッサコア」で、Mepプラットフォームによる携帯機器用LSIの設計について述べた。平沢政夫氏（NECエレクトロニクス）は「DVDレコ - ダ用システムLSI」について講演し、C言語ベース設計を利用することにより、事前のSW/HW協調検証が可能となり、製品設計品質を向上し、迅速な製品立ち上げが可能となったと述べた。いずれも情報家電を実現する実際のシステムLSIのホットな開発事例であり、若手技術者の参考になったと思われる。

ポスターセッションは「システムLSIおよびその要素技術の研究開発事例」として36件が発表された。優秀ポスター賞は「CMOSスイッチ2個でリーク電流削減とデータ保持を両立」（樋口雄貴他：中央大学）、IEEE奨励賞（IEEE SSCS Japan Chapter提供）は「携帯機器応用低消費電力MPEG2 MP@HL 動き検出プロセッサの開発」（村地勇一郎他：金沢大学）が受賞した。金沢大学のグループはSTARC共同研究の成果によるものである。



ポスターセッションIEEE奨励賞
（IEEE SSCS Japan Chapter提供）
（村地勇一郎・吉本雅彦教授：金沢大学）

イブニングパネル討論では、情報家電向けSoC開発の第一線で活躍する研究者、技術者を招いて『ナノテクノロジー時代の情報家電向けSoCアーキテクチャ』に関する実践的で本質に迫る議論が展開された。オーガナイザは内山邦男氏（日立）、モデレータは天野英晴教授（慶應義塾大学）、パネラーは道山淳児氏（松下電器）、大澤拓氏（NEC）、川崎郁也氏（ルネサステクノロジ）、高橋真史氏（東芝）、須賀敦浩氏（富士通研究所）である。デジタルカメラ、DVDレコーダ、デジタルTV、携帯電話、カーナビなど、情報家電の市場がますます拡大している。これらの機器では、通常の情報処理とともに、画像、オーディオ、グラフィクスなどのメディアデータを高速にしかも低電力で処理する必要がある。さらに近年では、一つの機器で静止画、動画、オーディオの記録・再生を実現するような機能の複合化も進んでいる。今後も、音声認識、暗号処理、バイオメトリクス認証、ソフトウェア無線など、新しい機能が次々と情報家電に融合されていく。この情報家電を実現する中核がSoCで、SoCは情報家電の多様な機能を、高速に、低電力で、しかも、フレキシブルに実装できなければならない。現在、専用アクセラレータ、DSP、ダイナミックリコンフィギュラブルプロセッサ、メディアプロセッサ、チップマルチプロセッサなどの多様なアーキテクチャが提案されている。これらのアーキテクチャでどれが本流となるのか、熱心な討議が展開された。



イブニングパネル討論会場風景

（研究推進部 平田雅規）

OCP : Open Core Protocol セミナー開催について、お知らせ！

今井 正紀

OCP-IPは、SoC設計の中で用いられるIP（設計資産）間のソケットインタフェース仕様OCP（Open Core Protocol）を策定し、標準化を推進している業界団体です。ソケットインタフェース仕様とは、バスプロトコル仕様そのものではなく、特定のオンチップバス仕様に依存しないでIP間の接続・通信のための規約を定めたものです。STARCのIP技術開発室は、IP機能性能検証環境の中で用いるIPの接続インタフェース仕様としてOCPを評価し、その有用性を確認しました。その結果、STARCはOCPをIP接続インタフェース標準のひとつとして推奨しています。また、STARCは2002年以来OCP-IPの会員になっています。日本では他に東芝、NECELなどがOCP-IPに加盟しています。今般、そのOCPの技術を広く知っていただくために日本でセミナーを開催することになりました。OCP-IPのプレジデント、イアン・マッキントッシュから挨拶が届きましたので、ここにその日本語訳を掲載させていただきます（セミナー日程は背表紙にあります）。

Open Core Protocol International Partnership (OCP-IP) :
Leading the Way in Industry Openness and Collaboration.

By Ian Mackintosh, President OCP-IP

OCP-IPは非営利組織であり、システムレベルでのインテグレーションにおける要件を包括的に満たす、IPコアを中心とした（コアセントリック）全面的にサポートされたオープン・ライセンスのプロトコルを提供しています。互換性があるVC（Virtual component）の迅速な作成とインテグレーションを保証するための完全なソケット標準としてOCP（Open core protocol）をサポート、および普及することを目的に2001年12月に設立されました。OCPは、IPコアの再利用を容易にし、SoC設計の製造コストとともに、設計時間とリスクを削減します。

OCPは、特定のバスプロトコルにも、そしていかなる特定の設計の実装にも独立なIPコアを、設計者が構築できるようにします。これはOCP準拠のIPコアを複数のSoC設計間で再利用しやすくします。OCPは、IPコア自身を繰り返し修正する必要をなくし、不変かつ普遍的なよく理解された仕方で表現されるように、すべてのIPコアの自然なインタフェース機能を定義することで、検証（シナリオ）とテストベンチを（再利用可能なように）保存します。

OCP-IPの主導的な役割を果たすGoverning Steering Committee（以下GSC）メンバーは、ノキア、テキサスインスツルメンツ、STマイクロエレクトロニクス、東芝半導体グループ、ソニックスです。OCP-IPは、IPベンダー、IDM（Integrated Device Manufacturer）、デザインハウス、その他、総数で100社を越える会員を抱え、急速に拡大しています。ECSI、Si2、OSCIおよびVSIAを含むいくつかの他の業界標準化団体と戦略的提携を行っています。とくに、VSIAはOCPソケットを推奨し、またOCP-IPはVSIAに加盟しています。

新しいOCP-IP日本語webサイトを見るには、以下を訪れてください。

<http://www.ocpip.org/japanese>

メンバーシップの申請は以下で可能となっています。

http://www.ocpip.org/data/OCPIP_Membership_Application.pdf

フォームに記入し、完成した申請フォームを1-503-297-1090へFAXしてください。詳細な情報はadmin@ocpip.orgへ問い合わせてください。OCP-IP仕様は、www.ocpip.orgで自由に利用可能となっています。

EDS Fair 2005 出展のご案内 (Electronic Design and Solution Fair 2005)

2005年1月27日(木)・28日(金) 10:00～18:00 パシフィコ横浜
STARCは『最先端SoC設計に活用できるSTARCの設計技術』をテーマに
EDS Fair 2005に参加いたします。

出展物紹介

(1) SoC設計技術開発

90nm世代の設計メソッドロジV1.5(階層設計対応)およびV2.0(低電力LSI設計対応:2005年4月リリース予定)
1000倍の高速化を可能とするSystemCベース高速協調シミュレーション技術
テストコストとテスト品質の最適化を可能とするテスト戦略支援技術とナビゲーションツール

(2) AS PLAプロジェクトによる90nm SoCテクノロジープラットフォーム開発

AS PLAプロジェクトによる90nm SoCテクノロジープラットフォーム
90nm SoCテクノロジープラットフォーム整備状況
Shuttle IP パートナープログラムと Shuttleスターシャトル[®] LSI試作サービス

(3) 大学共同研究テーマ紹介およびSoC設計技術者教育の取り組み

出展者セミナー

1月27日(木) 13:30～15:15 <セッション番号C11～C12>

最先端SoCの設計技術 - STARCの活動

講師 STARC 企画部長 豊田 栄次郎

設計メソッドロジSTARCAD-21の技術開発

その技術移転の状況

講師 STARC 設計技術開発部長 間 佐五郎

(休憩14:15～14:30)

ASPLAシャトルコンテンツ整備と90nm SoCテクノロジープラットフォーム

講師 STARC IP開発部長 伊藤 荘一

SoC / IP設計技術標準

講師 STARC 技監 中村 忠彦

OCP(Open Core Protocol) セミナー開催のご案内

2005年2月25日(金) 14:00～17:00 イノテックセミナールーム 新横浜
STARC主催により、OCPに関するテクニカルセミナー(無料)を上記の日時に開催いたします。
参加ご希望の方はSTARC Webページよりお申し込み下さい。

OCP技術の紹介

<テーマ> 『SoCプラグアンドプレイ設計のカギとなるOCP技術の紹介』

講演者: ソニックス社 日本支社代表 鈴木 一可氏