

H22年度
「次世代半導体回路構成(アーキテクチャ)
実用化支援事業」
【実施概要】

実施者 半導体理工学研究センター(STARC)

事業概要(1/4)

1. 事業概要

- ・ 事業実施者が優れた半導体回路アーキテクチャをベンチャー等中小企業や大学から公募し、半導体チップを設計・試作・評価する。
- ・ 優れた半導体回路アーキテクチャの実用化を支援することにより、高機能な情報通信機器の開発および製品化に寄与する。

2. 募集試作検証テーマ

- 1) 新構成アーキテクチャ（デジタルアシスタナログ、マルチチップ、ディペンダブル設計、その他新機能構成など）
- 2) SoC向け回路技術（高速I/F、セキュリティ関連、多機能混載、ばらつき対応、システム構成など）
- 3) バイオ、医療、環境、エネルギー関連の回路技術（センシング技術、RFID、埋め込みチップ、環境発電など）
- 4) 動作環境変動（レジリエント・デザイン、高信頼度化）、ノイズや消費電力／リークの制御細粒度化
- 5) シミュレーション高精度化モデリング技術

3. 使用プロセステクノロジー（技術情報概要：6-9頁）

使用できるプロセステクノロジー	0.35 μ m	90nm	65nm	40nm（*）
試作ファブ	ルネサス北日本 セミコンダクター	富士通セミコンダクター（設計データ） イー・シャトル（試作）		ルネサス エレクトロニクス
		1区画（ブロック）の1/2、1/4サイズのご利用も可能		
提供サンプル数	128個	30個		40個
推奨デザインハウス	——	テクノロジー移植済DH		同左

（*） 大学のみのご利用となります。

事業概要(2/4)

4. 募集対象者

- ・国内大学、または国内のベンチャー等中小企業(下表)であって国内に開発拠点を有する者

業種	従業員規模	資本金規模
製造業・その他の業種	300人以下	又は3億円以下

5. 費用支援

5-1 設計

- ・設計費用の2/3を支援、但し上限1000万円(2/3の分として)まで。これを超える額は事業利用者(応募し採択された方)の自己負担
- ・支援対象とする設計の範囲; 試作社のライブラリ/PDK使用以降、T/Oまでの設計
- ・支援対象とする設計の形態; デザインハウスに設計委託した分(自社設計は支援対象外)

5-2 チップ試作

全額支援(実施者が発注)

5-3 PKG組立

10万円を上限として全額支援

なお、特許出願や先行技術調査については、特許庁や地方自治体の支援制度を事業利用者でご活用いただく。

事業概要(3/4)

6. 応募時にご留意いただきたいこと

6-1 本スキームの対象範囲

- ・ 半導体回路構成(アーキテクチャ)の試作チップ検証まで(量産は対象外)
- ・ 募集試作検証テーマ(2.項)のいずれかに該当する内容であって、応募された試作検証テーマの中で委員会が採択したもの

6-2 要件審査(財務の健全性)書類の提出 (対象者:ベンチャー等中小企業)

ベンチャー等中小企業の応募者は、目標を達成するための経済的資金力確認のため、応募時に財務諸表を提出

6-3 採択された応募者(以下「事業利用者」と記載)に実施いただく事項

- 1) 検証回路を搭載したチップ設計、チップ測定・解析、および“試作検証結果報告書”の作成
- 2) マイルストーンごと目標達成状況の実施者への報告
 - これに対し、より良い技術成果に向けて委員から参考提言
 - 規定フォーマット(“スペックシート”)を使用
 - マイルストーンは、①採択通知直後 ②シミュレーション終了後 ③チップ測定解析後の3ポイント
- 3) 成果普及に向けた報告会でのプレゼンテーション。(実施年度の翌7月以降に少なくとも1回開催)

6-4 知財の扱い

- ・ 成果知財はアイデア提案者帰属
- ・ 試作検証結果報告書の著作権を国に譲渡

事業概要(4/4)

6-5 本スキームで得られた成果の扱い、等

- ・ 試作検証結果は知財を保護した上で実施者より一般公開
 - 実施者または事業利用者が概要を抽出(カタログ化)し、実施者等のホームページに掲載
 - より詳しい内容を知りたいと思わせる成果開示(アピール/宣伝)に期待
 - 成果公開により実施者に詳細内容の開示要求があった場合、要求者と事業利用者がNDAベースで協議
- ・ 予定する外部発表の事前許諾
 - 製造プロセス/デバイス特性の絶対値が推定できるデータが含まれる場合、実施者の許諾が必要(実施者はファブに確認)
- ・ 実施者による成果トレース(国プロ実施年度以降を含む)
 - 論文発表予定の実施者への事前申請と、論文への謝辞記載

6-6 その他

- ・ 輸出入管理(外為法)を遵守することの念書提出
- ・ 払出票報告(研究開発資材の使い切り)

6-7 応募提出書類と提出先、お問い合わせ先

- ・ 提出書類; ①応募用紙、②要件審査(財務の健全性)のための提出書類(大学、公的研究機関は①のみ)
- ・ 提出先; cktsupport@starc.or.jp(①②ともメールに電子ファイル添付)
- ・ お問い合わせ; 上記提出先に同じ

0.35 μm 試作仕様概要

■動作電圧が3.3Vと5V(I/O)のアナログデジタル混載LSI設計に最適

■主要デバイス特性

項目	特性/特長
動作最大電圧	低圧 3.60V 高圧(I/O) 5.50V
絶対最大定格	低圧 4.60V 高圧(I/O) 7.00V
$I_{ds}(P3V)@V_d=V_g=-3.30V$	$-125 \mu\text{A}@W/L=20/20 \mu\text{m}$
$I_{ds}(N3V)@V_d=V_g=3.30V$	$325 \mu\text{A}@W/L=20/20 \mu\text{m}$
アナログ容量	Poly-Si/Polycide $1.65\text{fF}/\mu\text{m}^2$
	ゲート酸化膜容量 $4.40\text{fF}/\mu\text{m}^2$
Poly-Si抵抗	$85 \Omega/\square$
Poly-Si高抵抗	$1.00\text{k}\Omega$ or $4.00\text{k}\Omega$
WELL抵抗	$650 \Omega/\square$
N+拡散層抵抗	$80.0 \Omega/\square$
P+拡散層抵抗	$180 \Omega/\square$
Poly-Si ヒューズ	$16.0 \Omega/\square$

■Cadence, SILVACO, Tanner対応PDKを提供。

■主要レイアウトルール

項目	最小寸法(μm)
Active Line/Space	0.80/0.45
Poly(=ゲート) Line/Space	0.40/0.55
CONT Line/Space	0.45/0.50
TC(=VIA) Line/Space	0.50/0.50
UC(=VIA2) Line/Space	0.50/0.50
M1(メタル1) Line/Space	0.70/0.50
M2(メタル2) Line/Space	0.70/0.50
M3(メタル3) Line/Space	0.70/0.50

(最小グリッドサイズ $0.005 \mu\text{m}$)

■推奨するチップ、パッケージ仕様

- ・チップサイズ: $3.8\text{mm} \times 3.5\text{mm}$
- ・ボンディングパッド数: 80
- ・パッケージ: QFP80ピン, 外形 $14\text{mm}\square$

90nm試作仕様概要

■主要デバイス特性(コア部)

Core Transistor	CS100A_LL			
	UHS	HS	STD	LL
Supply Voltage (V)	1.2			
Lgate Physical (nm)	80			
Gox - Core Physical (nm)	1.8			
Ids - NMOS (uA/um)	820	715	582	450
Ids - PMOS (uA/um)	-395	-320	-285	-200
Ioff - NMOS (nA/um)	30	3	0.3	0.02
Ioff - PMOS (nA/um)	-30	-3	-0.3	-0.01
Ig - NMOS (pA/um)	20			
Ig - PMOS (pA/um)	-4			

- 1) 下記以外のトランジスタの組み合わせは、自由に使用することができます。
- 2) 同一チップ上に、UHS トランジスタ、HS トランジスタ、STD トランジスタ、LL トランジスタを同時に使用することはできません。
- 3) 同一チップ上に、UHS トランジスタ、HS トランジスタ、STD トランジスタを同時に使用することはできません。

■主要デバイス特性(I/O部)

I/O Transistor	CS100A_LL				
	STD	HS	STD	LVt	STD
Supply Voltage (V)	1.8	2.5		3.3	
Lgate Physical (nm)	180	240		340	
Ids - NMOS (uA/um)	700	670	580	670	580
Ids - PMOS (uA/um)	-410	-340	-270	-360	-300
Ioff - NMOS (pA/um)	170	70	0.5	110	0.3
Ioff - PMOS (pA/um)	-800	-35	-1	-95	-1

- 1) 1.8V トランジスタと3.3V トランジスタは、同時に使用することができます。TGO (Triple Gate Oxide)方式です。
- 2) 同一チップ上に、1.8V トランジスタと、2.5V トランジスタを同時に使用することはできません。
- 3) 同一チップ上に、2.5V トランジスタと、3.3V トランジスタを同時に使用することはできません。

65nm試作仕様概要

■主要デバイス特性(コア部)

Core Transistor	CS200L		
	Lvt	SVt	SVt
Supply Voltage (V)	1.2 (注)		
Lgate Physical (nm)	50		60
Gox - Core Physical (nm)	1.7		
Ids - NMOS (uA/um)	780	640	565
Ids - PMOS (uA/um)	-360	-295	-240
Ioff - NMOS (nA/um)	6	0.60	0.21
Ioff - PMOS (nA/um)	-7	-0.52	-0.04
Ig - NMOS (pA/um)	100		120
Ig - PMOS (pA/um)	-30		-35

- 1) コアトランジスタのマルチスレッショルドはLow Vtトランジスタ (LVt) とStandard Vtトランジスタ (SVt) の2種類だけです。

注) 1.0 ~ 1.2Vの範囲で使用可能ですが、値は1.2V時のものです。

■主要デバイス特性(I/O部)

I/O Transistor	CS200L	
Supply Voltage (V)	1.8	3.3
Lgate Physical (nm)	180	340
Gox Physical (nm)	3.0	7.0
Ids - NMOS (uA/um)	620	670
Ids - PMOS (uA/um)	-290	-360
Ioff - NMOS (pA/um)	90	60
Ioff - PMOS (pA/um)	-100	-50

- 1) 1.8V トランジスタと3.3V トランジスタは、同時に使用することができます。TGO (Triple Gate Oxide)方式です。
- 2) 2.5VのI/Oは、3.3Vのデバイスを使います。Low Vtタイプを使うことで、要求性能は達成可能です。
- 3) 3.3V MOSFETは、Low Vtタイプのみ提供します。GIDLが小さいので十分にリークを抑制できます。

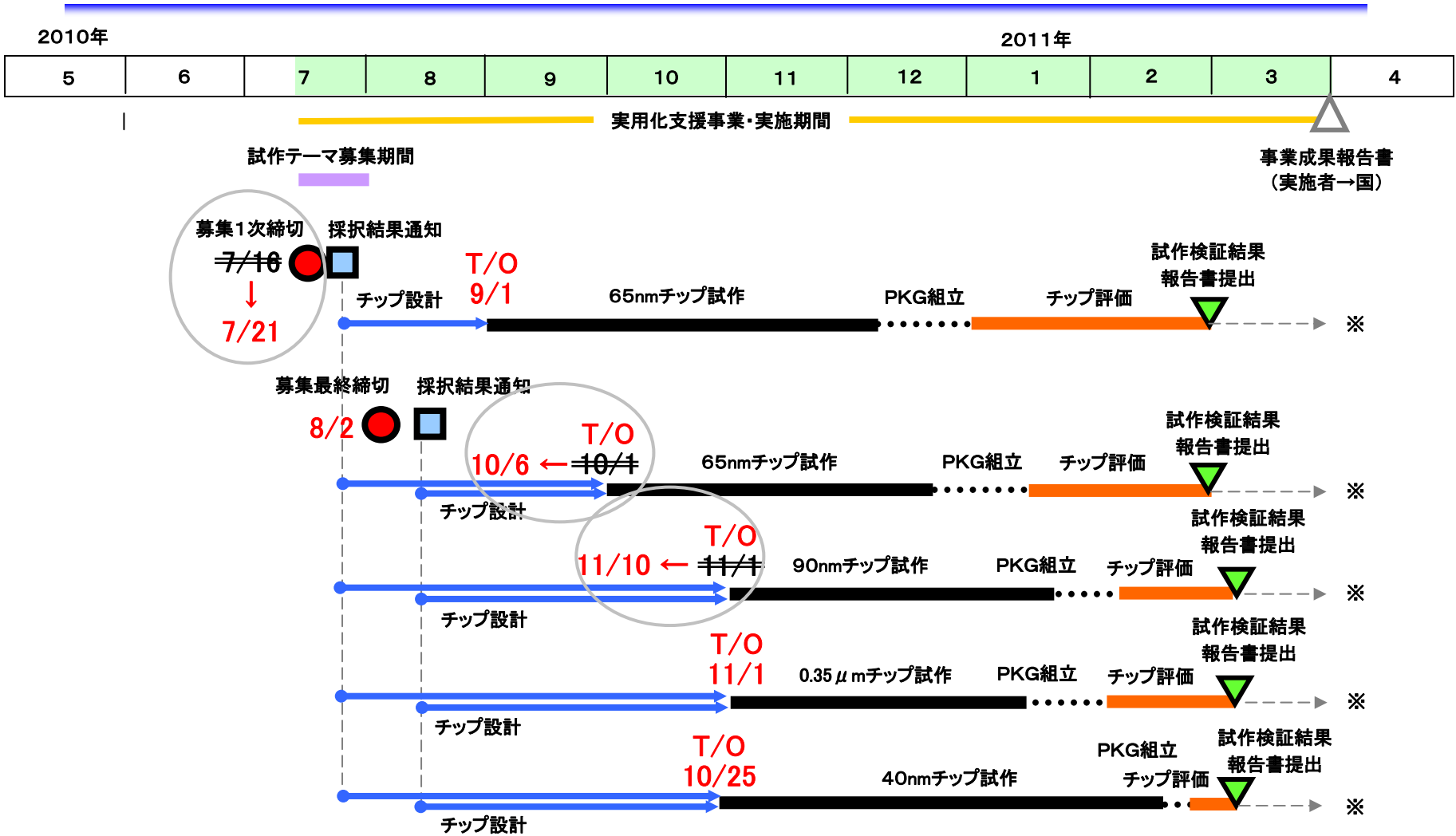
40nm試作仕様概要

■主要特性

プロセス	ゲート長 40nm シリコンゲートCMOS Cu配線 7層
電源電圧	内部 1.1V 入出力部 3.3V / 1.1V
消費電力	約1.1 ナノW / MHz/ゲート
遅延時間	10.4ピコ秒 (2NAND、F0=2)
パッケージ	FPBGA(オプション)
IP	プリミティブセル(LVT/MVT/HVT) 入出力セル 3.3V/1.1V(ダイレクト) SRAM(SP/DP) PLL

日程

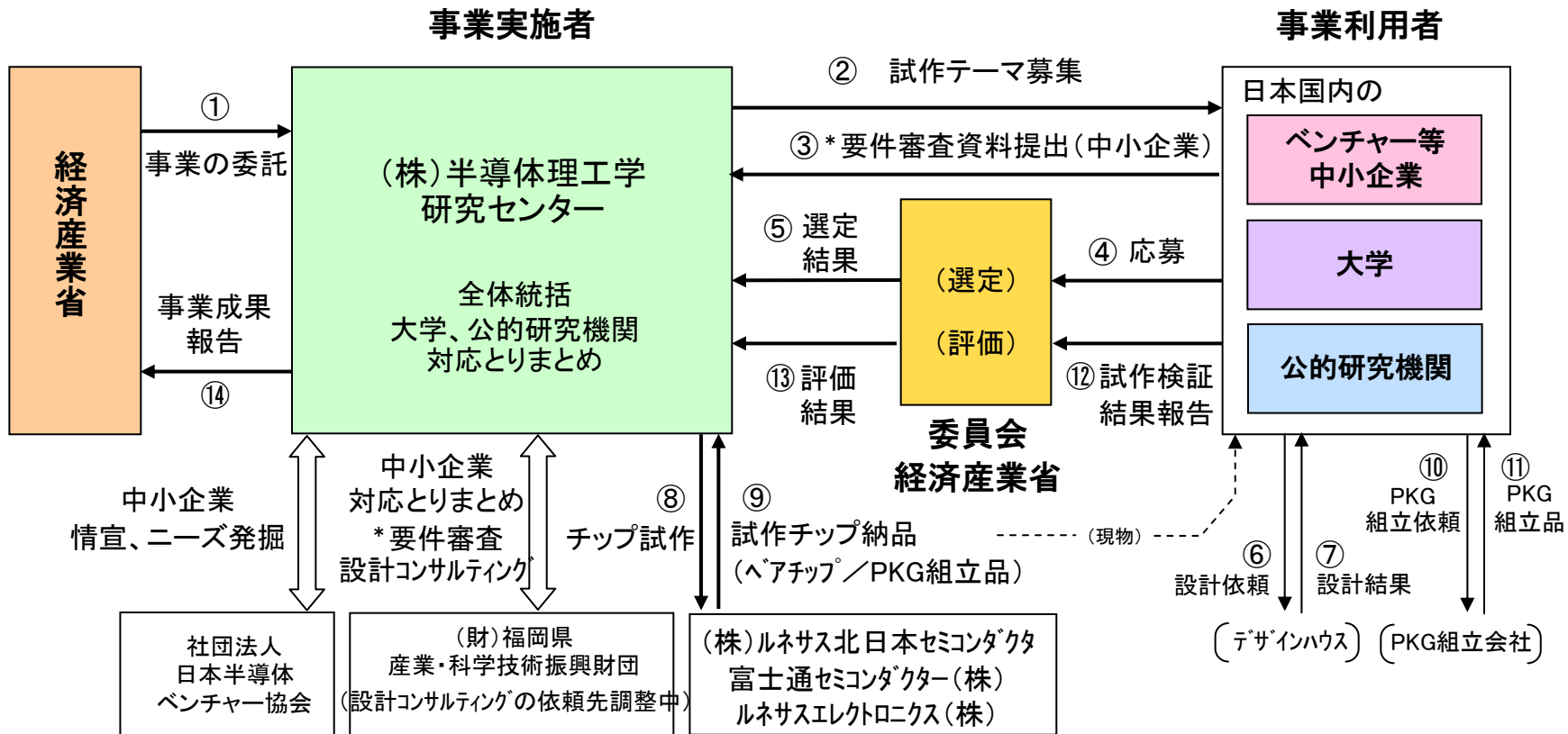
2010/07/15 STARC



- ・ 募集1次締切ではどのチップ試作も選択できます。募集最終締切では10月便11月便のみが対象となります。
 - ・ T/Oの日程は、シャトル試作を利用するため、絶対厳守していただく必要があります。
- ※ より充実したチップ評価結果が得られた場合、4月下旬までの間に報告書の差し替えが出来ます。

事業実施体制

①～⑮ : 実施順



*要件審査: 目標を達成するための経済的資金力の確認

実施フロー

